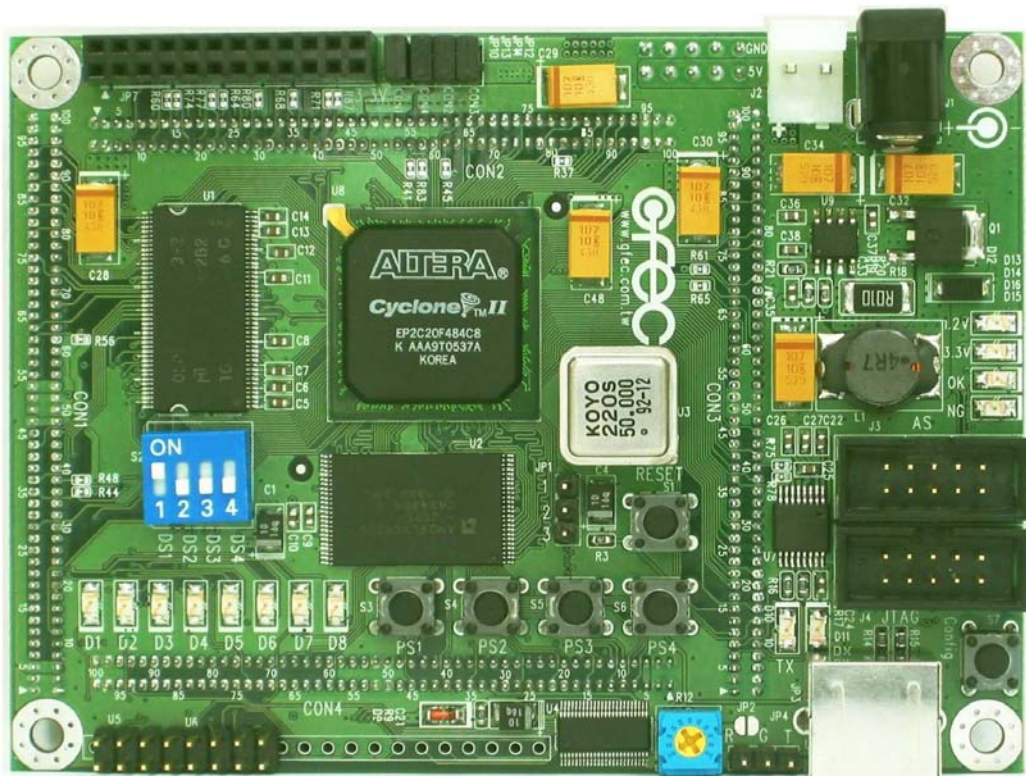


GFEC Cyclone II Starter Kit

研發電路板中文使用手冊



UG_EK2C20F484

產品名稱： GFEC Cyclone II Starter Kit 研發電路板
手冊版本： 2.2 UG_EK2C20F484
發表日期： 2007 年 7 月

版權所有，不得翻印茂綸股份有限公司。

本產品的所有部份，包括配件及軟體等，其所有權歸茂綸股份有限公司（以下稱茂綸）所有，未經茂綸公司許可，不得任意地仿製、拷貝、騰寫或轉譯。本使用手冊沒有任何型式的擔保、立場表達或其它暗示。若有任何因本使用手冊或其所提到之產品的所有資訊，所引起直接或間接的資料流失、利益損失或事業終止，茂綸及其所屬員工恕不為其擔負任何責任。除此之外，本使用手冊所提到的產品規格及資訊僅供參考，內容亦會隨時更新，恕不另行通知。本使用手冊的所有部份，包括硬體及軟體，若有任何錯誤，茂綸沒有義務為其擔負任何責任。

本使用手冊中所提及的產品名稱僅做識別之用，而這些名稱可能是屬於其它公司的註冊商標或是版權，在此聲明如下：

- Cyclone II 是 Altera FPGA 系列之名稱。

未提及之商標與名稱皆屬該公司所有。

在科技迅速的發展下，此發行手冊中的一些規格可能會有過時不適用的敘述，敬請見諒。在此不擔保本手冊無任何疏忽或錯誤亦不排除會再更新發行。手冊若有任何內容修改，恕不另行通知。研發電路板若有任何配件及硬體上的變更，使用手冊都會隨時更新。更新的詳細說明請您到茂綸的全球資訊網瀏覽，或直接與茂綸公司聯絡。

研發電路上的任何標籤或貼紙請勿自行撕毀與抹除，否則會影響到產品保固期限的認定標準。

目錄內容

GFEC CYCLONE II STARTER KIT 研發電路板 規格概要.....	6
本產品沒有附贈 NIOS II LICENSE	6
ATTENTION.....	6
1. 產品介紹.....	7
1.1 產品規格.....	8
1.2 注意事項.....	9
1.3 光碟安裝 將將隨附之光碟片放置 DVD 光碟機,並先安裝 QUARTUS II 71 注意:1.請至 ALTERA 網站申請 QUARTUS II WEB EDITOR LICENSE.....	10
2. GFEC CYCLONE II STARTER KIT 研發電路板外觀及電源說明	11
2.1. GFEC CYCLONE II STARTER KIT 研發電路板外觀圖說明	11
2.2. 電源系統.....	13
3. GFEC CYCLONE II 研發電路板元件說明	14
3.1. CYCLONE II DEVICE U8.....	14
3.2. FLASH MEMORY(U2)	15
3.3. SDRAM(U1).....	16
3.4. OSC(CLOCK)	17
3.5. PS2 KEYBAORD	17
3.6. BITS DIP SWITCH(S2)	17
3.7. LED(D1~D8)	17
3.8. PUSH BUTTON (S1,S3,S4,S5,S6)	19
3.9. 16X2 文字型 LCD 模組(U5)	19
3.10. RS-232(JP4).....	20
3.11. EXPANSION PROTOTYPE CONNECTOR(CON1~4)	21
4. 快速使用 GFEC CYCLONE II 研發電路板	29
4.1. 軟硬體需求.....	29
4.2. 電源安裝.....	29
4.3. 軟體操作.....	29
4.3.1. JTAG DOWNLOAD	29
4.3.2. ACTIVE SERIAL PROGRAMMING (AS)	33
4.4. AS MODE	35
4.5. JTAG MODE	35
5. 附錄.....	36

5.1.	BYTEBLASTER MV/II 在 WINDOWS 2K/XP 安裝指南	36
5.2.	MICROSOFT WINDOW XP SP2 相容性問題修正方法	41
5.3.	如何將 NIOS II 放進 CYCLONE II STARTER KIT	41
5.4.	擴充板對應 GFEC CYCLONE II STARTER KIT I/O 接腳	42
5.5.	USB 版本之 NIOS II STARTER KIT 說明	47
5.6.	STAND-ALONE FLASH PROGRAMMER	49
5.7.	電路圖	54

聯絡茂綸股份有限公司

台北總公司

地址:<231>台北縣新店市北新路三段207-5號14F

TEL:886-2-8913-2200

FAX:886-2-8913-2277

竹科辦事處

地址:<300>新竹市光復路一段526號3F

TEL:886-3-578-6766

FAX:886-3-577-4795

南科辦事處

地址:<701>台南市東區林森路一段395號14樓之2

TEL:886-6-236-8199

FAX:886-6-236-8099

技術支援專線

TEL:0800819595

茂綸全球資訊網頁

[HTTP://WWW.GFEC.COM.TW](http://WWW.GFEC.COM.TW)



GFEC Cyclone II Starter Kit 研發電路板 規格概要

本產品沒有附贈 NIOS II License

Feature

- Altera Cyclone II Family EP2C20F484C8 Device
(Provide 18752 LEs , 239,616 RAM Bits , 26 18X18 Multipliers
& 4 PLLs)
- Altera Serial Configuration Device EPCS4SI8
- 16M Bytes SDRAM Memory (MT48LC4M32B2)
- 8 M Bytes Flash Memory (AM29LV065D)
- 2X16 Character LCD Module
- PS2 Keyboard Interface
- RS232 Serial Communication Port
- 4 Bits DIP Switch
- 5 Push Button Switchs
- 8 LEDs
- 50 Mhz Oscillator
- Provide 185 In/Out Pin & 128 shareable In/Out Pin
- USB Power Cable
- Parallel Port Download Cable
- User Define Extension Board

新版之Cyclone II Starter Kit 另有USB to RS-232 port，相關說名請參考附錄5.5

Attention

- 當您拿到本實驗板後，請確認盒內東西是否完整
- 本實驗板擴充 I/O 電壓最多只能接受 3.3V 的信號，若不慎燒毀 IC (EP2C20F484C8)，本公司無保固之責任
- 在正常使用下，本實驗板提供 3 個月的保固期

1. 產品介紹

本實驗板是專門為 Altera Cyclone II Device Family 訂製的模擬板，若針對數位設計或 NIOS II 有興趣者可利用此實驗板模擬與實現自己想要的東西，本實驗板內建的 FPGA 為 EP2C20F484C8，此 IC 提供 18,752 LEs，315 支一般 I/O，239,616 bits Embedded Memory。詳細的資料與規格可由本實驗板提供之光碟片或至 Altera Web Site 取得(<http://www.altera.com>)。

1.1 產品規格

在您拿到茂綸 Cyclone II 研發電路板包裝盒後，請檢查下面所出的各項標準配件是否齊全：

- ☒Cyclone II 研發電路板一片
- ☒USB to DC Cable
- ☒USB Download Cable 一條
- ☒文字型 LCD
- ☒光碟片
- ☒擴充板

如果發現上述任何一件配件有短缺或損壞之情形，請儘速與茂綸股份有限公司聯絡。

1.2 注意事項

研發電路板由許多精密的積體電路及其他元件所構成，這些積體電路很容易因為遭到靜電影響而損壞。所以請在正式安裝使用前，做好下列準備並研讀完本使用手冊。

- 在將本研發電路板插入自行設計的系統時，如果發現在針腳有彎曲或不易插入之情形，切勿強行插入，否則造成針腳損毀不堪使用時，不在保固範圍之內。
- 在 Power On 之前，請再三確認供應電源的電壓及接線。
- 如有需要 ISP 功能，請在電源開起前先連接好本研發電路板和 Download Cable。
- 拿取研發電路板時請儘量避免觸碰金屬接線及積體電路元件本體部份。
- 如需以手直接接觸積體電路元件時，請戴上有抗靜電手環，避免積體電路元件受到損毀。
- 在研發電路板未安裝或使用時，需將元件置放在靜電墊或防靜電袋內。
- 請先將所有的設定點查證完畢無誤後再加入電源。
- 加入電源前應再三檢查電源電壓及電源接線。
- 本研發電路板嚴禁摔落碰撞，並勿讓導電物質接觸到 PCB 板上的任何線路或零件；當研發電路板已發現明顯之損壞，切勿加入電源測試以免造成危險及 IC 損毀。
- 操作人員請配帶靜電防治裝置。
- 本產品所使用之 ALTERA 元件之相關限制與特性，請參考 ALTERA 資料手冊。
- 本產品的所有可調整點，皆以活動式 JUMPER 設定，請勿自行加工設定。
- 電源線及 Download 線愈短愈好，以減少雜訊。
- 遇有使用上疑慮時，務必向本公司工程師詢問清楚後再行使用，以免操作不當造成損失。

1.3 光碟安裝

將隨附之光碟片放置 DVD 光碟機,並先安裝 Quartus II 7.1

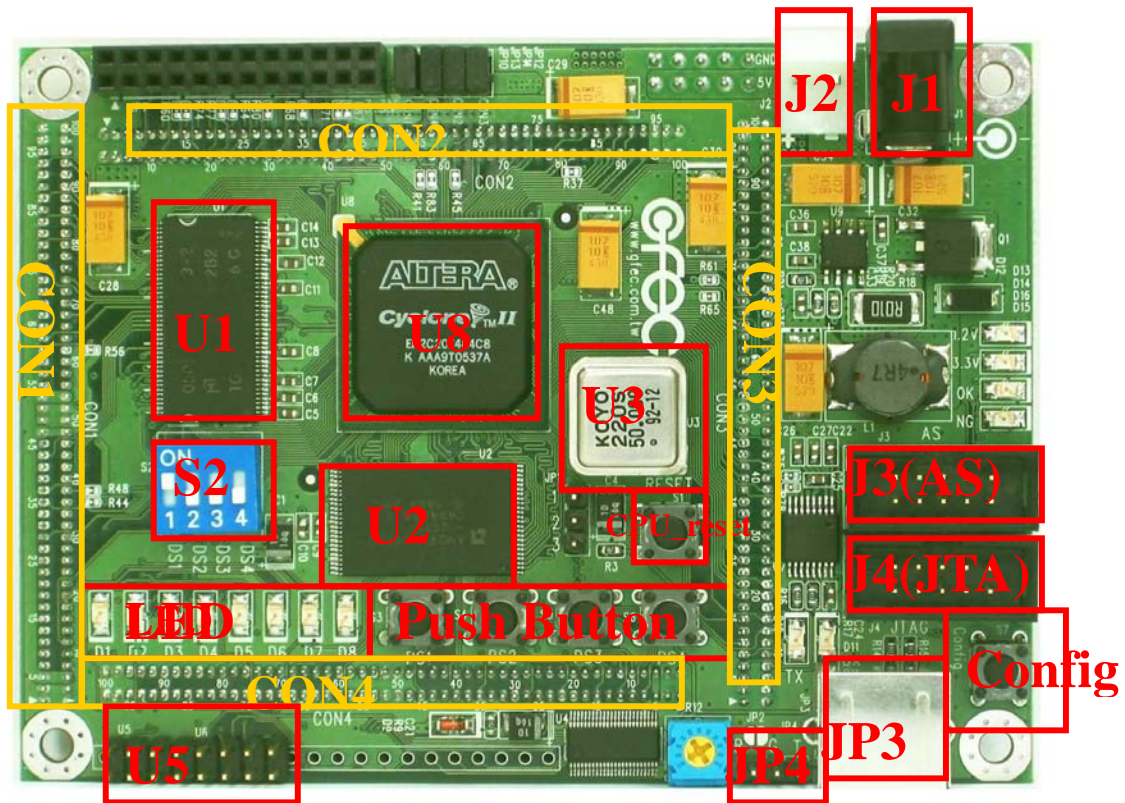
注意:1.請至 Altera 網站申請 Quartus II Web Editor License

2.本產品沒有附贈 NIOS II License,但因 NIOS II 為 OpenCore Plus IP, 雖然無法產生 pof,但仍可產生 time_limited .sof 來測試



2. GFEC Cyclone II Starter Kit 研發電路板外觀及電源說明

2.1.GFEC Cyclone II Starter Kit 研發電路板外觀圖說明



U1 : SDRAM(16Mbytes ,32-bit wide)

U2 : Flash(8M bytes)

U3 : 50Mhz OSC

U8 : Cyclone II (EP2C20F484C8)

J1 : 5V DC Power Supply Connector

J2 : 5V DC Power Supply Connector

J3 : JTAG Connector

J4 : AS Connector

JP3 : PS2 keyboard

S2: 4-bits Dip Switch

LED : User LED(D1~D8)

Push Button : 4 User-Defined Push-Button Switches

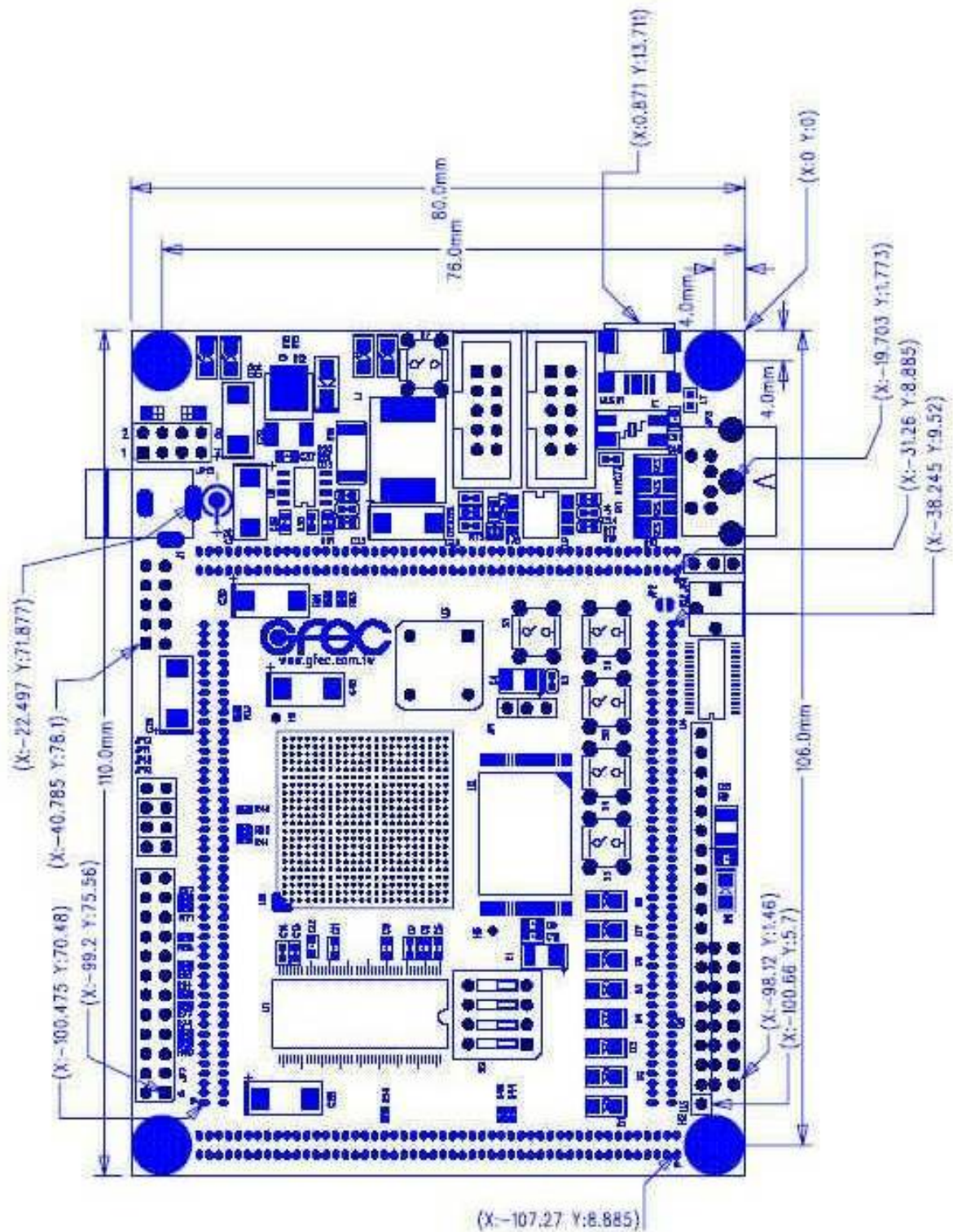
Config: : FPGA Reset

CON1~4 : Expansion Prototype Connector

U5 : 16 X 2 文字型模組

JP4 : RS-232(RXD,TXD,GND)

CPU_Reset : NIOS_Reset

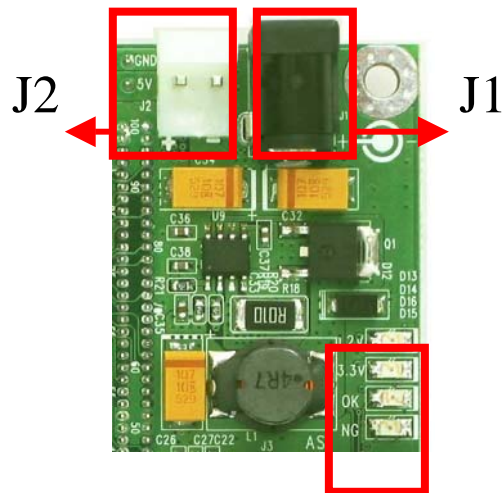


2.2. 電源系統

本電路板內含電源處理電路，電源輸入方式共有兩種，其使用方式詳列於下：

- 使用隨附之 USB to DC CABLE ,一邊插入電腦之 USB,另一邊插入 J1 即可
- Check J2 正負極後連接直流電源供應器，輸入電壓為 DC 5V。

以上任何一個動作完成時,D13(1.2V),D14(3.3V)將亮起



3. GFEC Cyclone II 研發電路板元件說明

3.1.Cyclone II Device U8

Stratix II Device Features	
Feature	EP2C20F484C8
LES	18,752
M4K RAM blocks	52
Total RAM bits	239,616
Embedded multipliers	26
PLLs	4
Maximum user I/O pins	315
Voltage	1.2 V (internal), 3.3 V(I/O)

3.2.Flash Memory(U2)

U2 是 8Mbyte AMD AM29LV065D Flash Memory,,本 IC 連接至 FPGA 接腳如下

Flash(AM29LV065)			
Flash Pin	FPGA Pin	Flash Pin	FPGA Pin
FLASH_DQ0	Y6	FLASH_A5	AB12
FLASH_DQ1	AB6	FLASH_A6	AA12
FLASH_DQ2	W7	FLASH_A7	AB13
FLASH_DQ3	Y7	FLASH_A8	AA16
FLASH_DQ4	AB7	FLASH_A9	AB17
FLASH_DQ5	V8	FLASH_A10	AB8
FLASH_DQ6	W8	FLASH_A11	AA17
FLASH_DQ7	AA8	FLASH_A12	AB18
FLASH_WE#	AB16	FLASH_A13	AA18
FLASH_RESET#	AA5	FLASH_A14	AB19
FLASH_ACC	GND	FLASH_A15	AA19
FLASH_FRY/BY#	AA15	FLASH_A16	AB20
FLASH_CE#	AA6	FLASH_A17	Y10
FLASH_OE#	Y5	FLASH_A18	AA13
FLASH_A0	AB5	FLASH_A19	W9
FLASH_A1	AB10	FLASH_A20	Y9
FLASH_A2	AA10	FLASH_A21	AA7
FLASH_A3	AB11	FLASH_A22	AA20
FLASH_A4	AA11		

3.3.SDRAM(U1)

U1 是 Micron MT48LC4M32B2 SDRAM chip, 本 IC 連接至 FPGA
接腳如下

SDRAM (MT48LC4M32)					
SDRAM PIN	FPGA PIN	SDRAM PIN	FPGA PIN	SDRAM PIN	FPGA PIN
SDRAM_DQ0	Y2	SDRAM_DQ23	D4	SDRAM_DQM0	P6
SDRAM_DQ1	V4	SDRAM_DQ24	C2	SDRAM_DQM1	T2
SDRAM_DQ2	Y3	SDRAM_DQ25	C1	SDRAM_DQM2	G3
SDRAM_DQ3	W3	SDRAM_DQ26	D2	SDRAM_DQM3	H2
SDRAM_DQ4	U3	SDRAM_DQ27	D1	SDRAM_WE#	N3
SDRAM_DQ5	T3	SDRAM_DQ28	E2	SDRAM_CAS#	N4
SDRAM_DQ6	P3	SDRAM_DQ29	E1	SDRAM_RAS#	N6
SDRAM_DQ7	P5	SDRAM_DQ30	F2	SDRAM_CS#	M5
SDRAM_DQ8	T1	SDRAM_DQ31	F1	SDRAM_CKE	R2
SDRAM_DQ9	U2	SDRAM_A0	H4	SDRAM_CLK	U4
SDRAM_DQ10	U1	SDRAM_A1	H5		
SDRAM_DQ11	V2	SDRAM_A2	H6		
SDRAM_DQ12	V1	SDRAM_A3	H1		
SDRAM_DQ13	W2	SDRAM_A4	J2		
SDRAM_DQ14	W1	SDRAM_A5	J1		
SDRAM_DQ15	Y1	SDRAM_A6	N2		
SDRAM_DQ16	G5	SDRAM_A7	N1		
SDRAM_DQ17	G6	SDRAM_A8	P2		
SDRAM_DQ18	F3	SDRAM_A9	P1		
SDRAM_DQ19	F4	SDRAM_A10	H3		
SDRAM_DQ20	E3	SDRAM_A11	M6		
SDRAM_DQ21	E4	SDRAM_BA0	R1		
SDRAM_DQ22	D3	SDRAM_BA1	J4		

3.4. OSC(clock)

U3 為 50Mhz clock,連接至 FPGA 接腳如下

OSC(CLK)	
Clock	FPGA PIN
SYS_CLK	L1

3.5. PS2 Keybaord

JP3 為 PS2 Keyboard Connector, 連接至 FPGA 接腳如下:

PS2	
PS2 PIN	FPGA PIN
K_clk	AA14
K_data	AB15

3.6. Bits Dip Switch(S2)

S2 為 4 Bits Dip Switch ,當開關撥至 ON 時為低電為, 連接至 FPGA 接腳如下:

DIP SW	
SW PIN	FPGA PIN
S2_SW1	W4
S2_SW2	Y4
S2_SW3	AB3
S2_SW4	AA3

3.7.LED(D1~D8)

D1~D8 為 LED,當 FPGA 送低電位信號給 LED 時,LED 將亮起, 連接至

FPGA 接腳如下:

LED	
LED PIN	FPGA PIN
D1	Y17
D2	Y16
D3	T6
D4	T5
D5	R6
D6	R5
D7	W16
D8	U15



3.8.Push Button (S1,S3,S4,S5,S6)

當按下 S1,S3~S6 任何一個按鍵時,將會送低電位信號給 FPGA, 連接至 FPGA 接腳如下:

PUSH SW	
SW PIN	FPGA PIN
S1	U8
S3	AA4
S4	W5
S5	AA9
S6	AB9

3.9. 16X2 文字型 LCD 模組(U5)

U5 為 16X2 文字型 LCD 模組,連接至 FPGA 接腳及硬體安裝方式如下:

LCD MODULE	
LCD PIN	FPGA PIN
RS	AB4
R/W	U9
E	V9
DB0	U10
DB1	V11
DB2	U13
DB3	Y13
DB4	U14
DB5	V14
DB6	W14
DB7	Y14



3.10. RS-232(JP4)

RS-232	
RS-232 PIN	FPGA PIN
T(TXD)	Y19
G(GND)	GND
R(RXD)	Y18

3.11. Expansion Prototype Connector(CON1~4)

CON1~4 為間距 1.27mm connector, 連接至 FPGA 接腳如下:

CON1	FPGA PIN	POWER BANK	FEATURE	CON1	FPGA PIN	POWER BANK	FEATURE
JP5_01	GND			JP5_02	GND		
JP5_03	GND			JP5_04	GND		
JP5_05	VCC_IO1			JP5_06	VCC_IO1		
JP5_07	AA3	8	S2_SW4	JP5_08	AA4	8	S3
JP5_09	Y3		SDRAM_DQ2	JP5_10	AB3	8	S2_SW3
JP5_11	Y1		SDRAM_DQ15	JP5_12	Y4		S2_SW2
JP5_13	W5		S4	JP5_14	Y2		SDRAM_DQ0
JP5_15	W2	1	SDRAM_DQ13	JP5_16	W4	1	S2_SW1
JP5_17	W1	1	SDRAM_DQ14	JP5_18	W3	1	SDRAM_DQ3
JP5_19	V2	1	SDRAM_DQ11	JP5_20	V4	1	SDRAM_DQ1
JP5_21	U4	1	SDRAM_CLK	JP5_22	V1	1	SDRAM_DQ12
JP5_23	U2	1	SDRAM_DQ9	JP5_24	U3	1	SDRAM_DQ4
JP5_25	T2	1	SDRAM_DQM1	JP5_26	U1	1	SDRAM_DQ10
JP5_27	T5	1	D4	JP5_28	T1	1	SDRAM_DQ8
JP5_29	R1	1	SDRAM_BA0	JP5_30	T3	1	SDRAM_DQ5
JP5_31	R4	1	35/50 ONLY	JP5_32	T6	1	D3
JP5_33	R5	1	D6	JP5_34	R2	1	SDRAM_CKE
JP5_35	R7	1	20/35 ONLY	JP5_36	R6	1	D5
JP5_37	P1	1	SDRAM_A9	JP5_38	R8	1	20/35 Only
JP5_39	P3	1	SDRAM_DQ6	JP5_40	P2	1	SDRAM_A8
JP5_41	P6	1	SDRAM_DQM0	JP5_42	P4	1	35/50 Only
JP5_43	N2	1	SDRAM_A6	JP5_44	P5	1	SDRAM_DQ7
JP5_45	N4	1	SDRAM_CAS#	JP5_46	N1	1	SDRAM_A7
JP5_47	VCC_IO1			JP5_48	VCC_IO1		
JP5_49	GND			JP5_50	GND		
JP5_51	GND			JP5_52	GND		
JP5_53	VCC_IO1			JP5_54	VCC_IO1		
JP5_55	M1	1	CLK2	JP5_56	N3	1	SDRAM_WE#
JP5_57	M5	1	SDRAM_CS#	JP5_58	N5	1	35/50 Only

JP5_59	L1	1	U3_8	JP5_60	N6	1	SDRAM_RAS#
JP5_61	L8	1	20/35 ONLY	JP5_62	M2	1	CLK3
JP5_63	J1	2	SDRAM_A5	JP5_64	M6	1	SDRAM_A11
JP5_65	J4	2	SDRAM_BA1	JP5_66	L2	2	CLK2
JP5_67	J5	2	35/50 ONLY	JP5_68	J2	2	SDRAM_A4
JP5_69	J6	2	35/50 ONLY	JP5_70	H6	2	SDRAM_A2
JP5_71	H5	2	SDRAM_A1	JP5_72	H4	2	SDRAM_A0
JP5_73	H3	2	SDRAM_A10	JP5_74	H2	2	SDRAM_DQM3
JP5_75	H1	2	SDRAM_A3	JP5_76	G6	2	SDRAM_DQ17
JP5_77	G5	2	SDRAM_DQ16	JP5_78	G3	2	SDRAM_DQM2
JP5_79	F2	2	SDRAM_DQ30	JP5_80	F1	2	SDRAM_DQ31
JP5_81	F4	2	SDRAM_DQ19	JP5_82	F3	2	SDRAM_DQ18
JP5_83	E2	2	SDRAM_DQ28	JP5_84	E1	2	SDRAM_DQ29
JP5_85	E4	2	SDRAM_DQ21	JP5_86	E3	2	SDRAM_DQ20
JP5_87	D2	2	SDRAM_DQ26	JP5_88	D1	2	SDRAM_DQ27
JP5_89	D4	2	SDRAM_DQ23	JP5_90	D3	2	SDRAM_DQ22
JP5_91	D6	2		JP5_92	D5	2	
JP5_93	C2	2	SDRAM_DQ24	JP5_94	C1	2	SDRAM_DQ25
JP5_95	VCC_IO1			JP5_96	VCC_IO1		
JP5_97	GND			JP5_98	GND		
JP5_99	GND			JP5_100	GND		

CON2	FPGA PIN	POWER BANK	FEATURE	CON2	FPGA PIN	POWER BANK	FEATURE
JP6_01	GND			JP6_02	GND		
JP6_03	GND			JP6_04	GND		
JP6_05	VCC_IO2			JP6_06	VCC_IO2		
JP6_07	B3	3,4	JP7_3	JP6_08	A3	3,4	JP7_4
JP6_09	B4	3,4		JP6_10	A4	3,4	
JP6_11	B5	3,4	JP7_5	JP6_12	A5	3,4	JP7_6
JP6_13	B6	3,4		JP6_14	A6	3,4	
JP6_15	H7	3,4	20/35 ONLY	JP6_16	G7	3,4	20/35 ONLY
JP6_17	E7	3,4	JP7_8	JP6_18	D7	3,4	JP7_7
JP6_19	C7	3,4	JP7_9	JP6_20	B7	3,4	JP7_10
JP6_21	A7	3,4		JP6_22	H8	3,4	20 ONLY
JP6_23	G8	3,4	20 ONLY	JP6_24	F8	3,4	JP7_12
JP6_25	E8	3,4	JP7_11	JP6_26	D8	3,4	
JP6_27	B8	3,4	JP7_13	JP6_28	A8	3,4	JP7_14
JP6_29	H9	3,4	20 ONLY	JP6_30	F9	3,4	
JP6_31	E9	3,4	JP7_15	JP6_32	D9	3,4	JP7_16
JP6_33	C9	3,4		JP6_34	B9	3,4	
JP6_35	A9	3,4	JP7_17	JP6_36	H10	3,4	20 ONLY
JP6_37	F10	3,4	JP7_18	JP6_38	C10	3,4	
JP6_39	B10	3,4	JP7_19	JP6_40	A10	3,4	JP7_20
JP6_41	H11	3,4	20/35 ONLY	JP6_42	G11	3,4	20/35 ONLY
JP6_43	F11	3,4		JP6_44	E11	3,4	
JP6_45	D11	3,4		JP6_46	B11	3,4	
JP6_47	VCC_IO2			JP6_48	VCC_IO2		
JP6_49	GND			JP6_50	GND		
JP6_51	GND			JP6_52	GND		
JP6_53	VCC_IO2			JP6_54	VCC_IO2		
JP6_55	H12	3,4	20 ONLY	JP6_56	A11	3,4	
JP6_57	G12	3,4	20 ONLY	JP6_58	E12	3,4	CLK12
JP6_59	F12	3,4		JP6_60	B12	3,4	CLK8
JP6_61	D12	3,4	CLK10	JP6_62	H13	3,4	20 ONLY
JP6_63	A12	3,4	CLK9	JP6_64	C13	3,4	
JP6_65	F13	3,4		JP6_66	A13	3,4	

JP6_67	B13	3,4		JP6_68	H14	3,4	20/35 ONLY
JP6_69	J14	3,4	20/35 ONLY	JP6_70	E14	3,4	
JP6_71	F14	3,4		JP6_72	C14	3,4	
JP6_73	D14	3,4		JP6_74	A14	3,4	
JP6_75	B14	3,4		JP6_76	G15	3,4	20 ONLY
JP6_77	H15	3,4	20/35 ONLY	JP6_78	E15	3,4	
JP6_79	F15	3,4		JP6_80	B15	3,4	
JP6_81	D15	3,4		JP6_82	G16	3,4	20/35 ONLY
JP6_83	A15	3,4		JP6_84	C16	3,4	
JP6_85	D16	3,4		JP6_86	A16	3,4	
JP6_87	B16	3,4		JP6_88	A17	3,4	
JP6_89	B17	3,4		JP6_90	C17	3,4	
JP6_91	A18	3,4		JP6_92	B18	3,4	
JP6_93	C18	3,4		JP6_94	A19	3,4	
JP6_95	VCC_IO2			JP6_96	VCC_IO2		
JP6_97	GND			JP6_98	GND		
JP6_99	GND			JP6_100	GND		

CON3	FPGA PIN	POWER BANK	FEATURE	CON3	FPGA PIN	POWER BANK	FEATURE
JP8_01	GND			JP8_02	GND		
JP8_03	GND			JP8_04	GND		
JP8_05	VCC_IO3			JP8_06	VCC_IO3		
JP8_07		8	RXD	JP8_08		8	TXD
JP8_09	Y19	5,6		JP8_10	Y18	5,6	
JP8_11	Y21	5,6		JP8_12	Y20	5,6	
JP8_13	W20	5,6		JP8_14	Y22	5,6	
JP8_15	W22	5,6		JP8_16	W21	5,6	
JP8_17	V20	5,6		JP8_18	V19	5,6	
JP8_19	V22	5,6		JP8_20	V21	5,6	
JP8_21	U22	5,6		JP8_22	U21	5,6	
JP8_23	U20	5,6		JP8_24	U19	5,6	
JP8_25	T22	5,6		JP8_26	U18	5,6	
JP8_27	T21	5,6		JP8_28	T18	5,6	
JP8_29	R22	5,6		JP8_30	R21	5,6	
JP8_31	R20	5,6		JP8_32	R19	5,6	
JP8_33	R18	5,6		JP8_34	R17	5,6	
JP8_35	P18	5,6		JP8_36	P17	5,6	
JP8_37	P15	5,6	20/35 ONLY	JP8_38	N22	5,6	
JP8_39	N21	5,6		JP8_40	N15	5,6	20/35 ONLY
JP8_41	M22	5,6	CLK6	JP8_42	M21	5,6	CLK7
JP8_43	M19	5,6		JP8_44	M18	5,6	
JP8_45	L22	5,6	CLK4	JP8_46	L21	5,6	CLK5
JP8_47	VCC_IO3			JP8_48	VCC_IO3		
JP8_49	GND			JP8_50	GND		
JP8_51	GND			JP8_52	GND		
JP8_53	VCC_IO3			JP8_54	VCC_IO3		
JP8_55	L19	5,6		JP8_56	L18	5,6	
JP8_57	K22	5,6		JP8_58	K20	5,6	
JP8_59	J22	5,6		JP8_60	K21	5,6	
JP8_61	J20	5,6		JP8_62	J21	5,6	
JP8_63	J18	5,6		JP8_64	J19	5,6	
JP8_65	J15	5,6	20/35 ONLY	JP8_66	J17	5,6	

JP8_67	H18	5,6		JP8_68	H19	5,6	
JP8_69	H16	5,6	20/35 ONLY	JP8_70	H17	5,6	
JP8_71	G21	5,6		JP8_72	G22	5,6	
JP8_73	G18	5,6		JP8_74	G20	5,6	
JP8_75	F22	5,6		JP8_76	G17	5,6	
JP8_77	F20	5,6		JP8_78	F21	5,6	
JP8_79	E21	5,6		JP8_80	E22	5,6	
JP8_81	E19	5,6		JP8_82	E20	5,6	
JP8_83	D22	5,6		JP8_84	E18	5,6	
JP8_85	D20	5,6		JP8_86	D21	5,6	
JP8_87	C22	5,6		JP8_88	D19	5,6	
JP8_89	C20	5,6		JP8_90	C21	5,6	
JP8_91	B19	4		JP8_92	C19	5,6	
JP8_93	B20	4		JP8_94	A20	4	
JP8_95	VCC_IO3			JP8_96	VCC_IO3		
JP8_97	GND			JP8_98	GND		
JP8_99	GND			JP8_100	GND		

CON4	FPGA PIN	POWER BANK	FEATURE	CON4	FPGA PIN	POWER BANK	FEATURE
JP9_01	GND			JP9_02	GND		
JP9_03	GND			JP9_04	GND		
JP9_05	VCC_IO4			JP9_06	VCC_IO4		
JP9_07	AA20	7,8	FLASH_A22	JP9_08	AB20	7,8	FLASH_A16
JP9_09	AA19	7,8	FLASH_A15	JP9_10	AB19	7,8	FLASH_A14
JP9_11	AA18	7,8	FLASH_A13	JP9_12	AB18	7,8	FLASH_A12
JP9_13	Y17	7,8	D1	JP9_14	AA17	7,8	FLASH_A11
JP9_15	AB17	7,8	FLASH_A9	JP9_16	R16	7,8	20/35 ONLY
JP9_17	T16	7,8	20/35 ONLY	JP9_18	W16	7,8	D7
JP9_19	Y16	7,8	D2	JP9_20	AA16	7,8	FLASH_A8
JP9_21	AB16	7,8	FLASH_WE#	JP9_22	R15	7,8	20/35 ONLY
JP9_23	T15	7,8	20 ONLY	JP9_24	U15	7,8	D8
JP9_25	V15	7,8	[NC][DB6]	JP9_26	AB15	7,8	DAT_JP11_1
JP9_27	AA15	7,8	FLASH_FRY/BY#	JP9_28	W15	7,8	[NC][DB7]
JP9_29	U14	7,8	[DB4][DB2]	JP9_30	R14	7,8	20/35 ONLY
JP9_31	AA14	7,8	CLK_JP11_5	JP9_32	V14	7,8	[DB5][DB3]
JP9_33	W14	7,8	[DB6][DB4]	JP9_34	AB14	7,8	[NC][RST]
JP9_35	R13	7,8	20 ONLY	JP9_36	Y14	7,8	[DB7][DB5]
JP9_37	Y13	7,8	[DB3][DB1]	JP9_38	U13	7,8	[DB2][DB0]
JP9_39	AB13	7,8	FLASH_A7	JP9_40	AA13	7,8	FLASH_A18
JP9_41	U12	7,8	CLK14	JP9_42	T12	7,8	20 ONLY
JP9_43	W12	7,8	CLK13	JP9_44	V12	7,8	CLK12
JP9_45	AB12	7,8	FLASH_A5	JP9_46	AA12	7,8	FLASH_A6
JP9_47	VCC_IO4			JP9_48	VCC_IO4		
JP9_49	GND			JP9_50	GND		
JP9_51	GND			JP9_52	GND		
JP9_53	VCC_IO4			JP9_54	VCC_IO4		
JP9_55	T11	7,8	20/35 ONLY	JP9_56	R11	7,8	20/35 ONLY
JP9_57	V11	7,8	[DB1][E]	JP9_58	U11	7,8	CLK15
JP9_59	AA11	7,8	FLASH_A4	JP9_60	R12	7,8	20 ONLY
JP9_61	R10	7,8	20 ONLY	JP9_62	W11	7,8	
JP9_63	Y10	7,8	FLASH_A17	JP9_64	AB11	7,8	FLASH_A3
JP9_65	AB10	7,8	FLASH_A1	JP9_66	U10	7,8	[DB0][R/W]

JP9_67	R9	7,8	20 ONLY	JP9_68	AA10	7,8	FLASH_A2
JP9_69	V9	7,8	[E][D/I]	JP9_70	P9	7,8	20 ONLY
JP9_71	Y9	7,8	FLASH_A20	JP9_72	U9	7,8	[R/W][CSB]
JP9_73	AB9	7,8	S6	JP9_74	W9	7,8	FLASH_A19
JP9_75	T8	7,8	20/35 ONLY	JP9_76	AA9	7,8	S5
JP9_77	V8	7,8	FLASH_DQ5	JP9_78	P8	7,8	20 ONLY
JP9_79	AA8	7,8	FLASH_DQ7	JP9_80	U8	7,8	S1
JP9_81	T7	7,8	20/35 ONLY	JP9_82	W8	7,8	FLASH_DQ6
JP9_83	Y7	7,8	FLASH_DQ3	JP9_84	AB8	7,8	FLASH_A10
JP9_85	AB7	7,8	FLASH_DQ4	JP9_86	W7	7,8	FLASH_DQ2
JP9_87	AA6	7,8	FLASH_CE#	JP9_88	AA7	7,8	FLASH_A21
JP9_89	Y5	7,8	FLASH_OE#	JP9_90	Y6	7,8	FLASH_DQ0
JP9_91	AB5	7,8	FLASH_A0	JP9_92	AB6	7,8	FLASH_DQ1
JP9_93	AB4	7,8	[RS][CSA]	JP9_94	AA5	7,8	FLASH_RESET#
JP9_95	VCC_IO4			JP9_96	VCC_IO4		
JP9_97	GND			JP9_98	GND		
JP9_99	GND			JP9_100	GND		

4. 快速使用 GFEC Cyclone II 研發電路板

4.1. 軟硬體需求

- Cyclone II Board
- USB to DC Download Cable
- USB Down Load Cable
- Quartus II 5.1 SP2 Web Editor 或之後版本

4.2. 電源安裝

使用隨附之 USB to DC CABLE ,一邊插入電腦之 USB,另一邊插入 J1 即可

以上動作完成時,D13(1.2V),D14(3.3V)將亮起,若 LED 未亮起,代表電源發生問題

4.3. 軟體操作

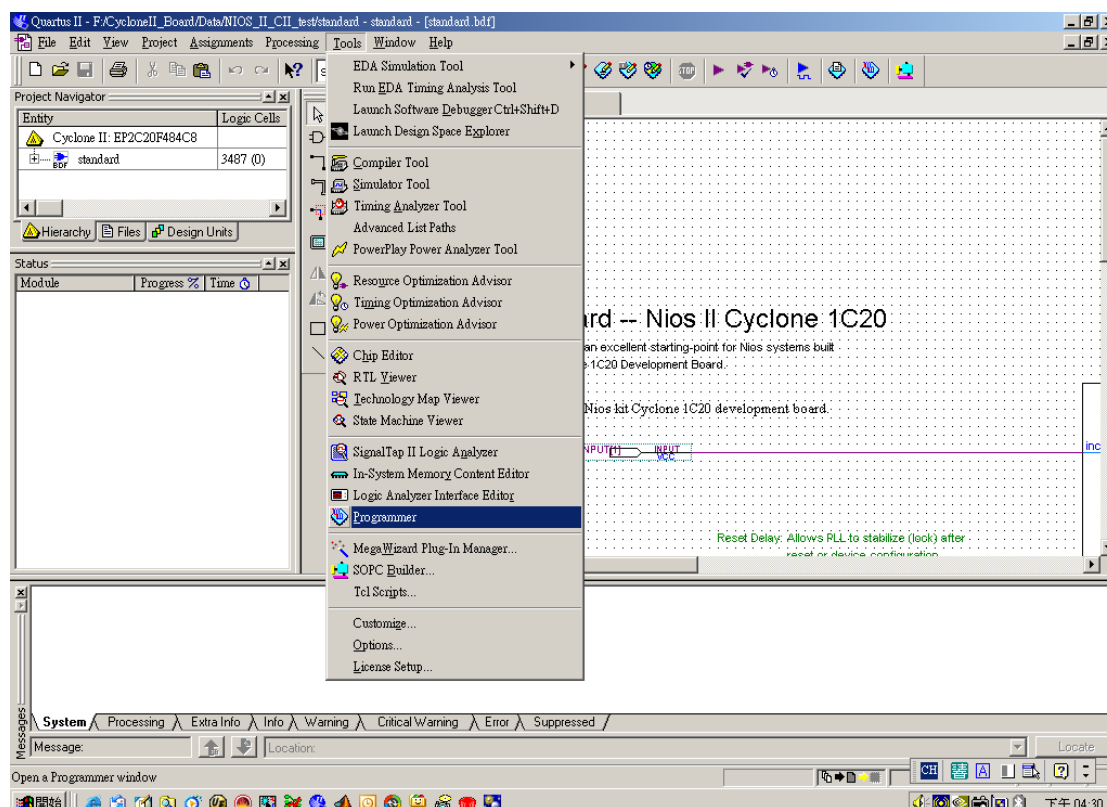
因為 FPGA 本身為 SRAM 為基礎的製程而製作,所以在本研發板上共提供兩種模式 JTAG(*.SOF)和 AS(*.POF)以進行 FPGA 的規化;JTAG 模式為主要對 FPGA 進行規化,AS 模式主要為燒錄 Serial EPROM 使用。以下就以 Step by Step 的方式協且了解如何進行燒錄動作。

如果只是為了在實驗室燒錄 FPGA 或 EPROM,而不需進行 Compile 時,可以不必安裝完整版的 Quartus II,可以只安裝 Quartus II Programmer Only 程式,此程式大約為 20~30MB,可以較為簡省硬碟空間且較不佔用系統資源,操做方法亦無不同。此程式可以 Altera 網站上下載,或由茂綸所提供的安裝光碟中找尋。

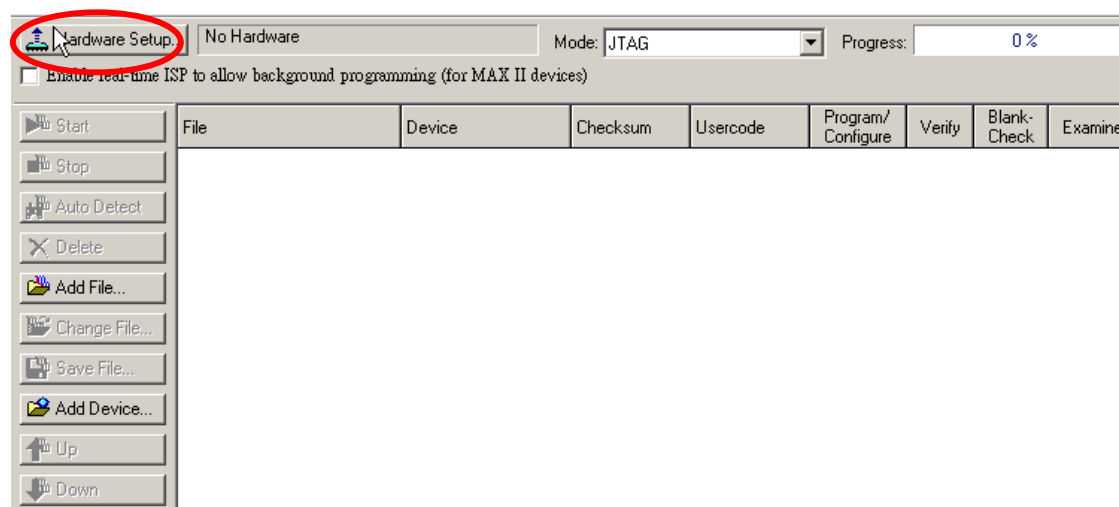
4.3.1. JTAG Download

目前 JTAG 為主要規化 Altera Cyclone II FPGA 使用,需用 Quartus II 產生之燒錄檔 SOF 做規化。使用此種模式時,電源關閉後,資料即消失,需在重新啟動實驗板電源後,再重新做一次步驟。

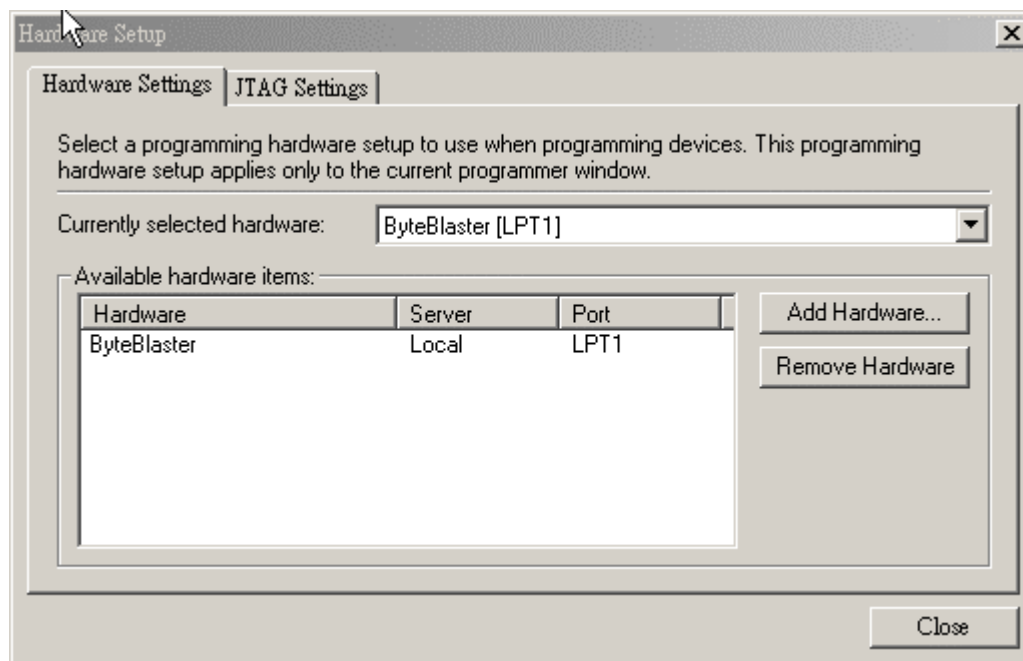
1. 在 Quartus II → Tools → Programmer 執行。



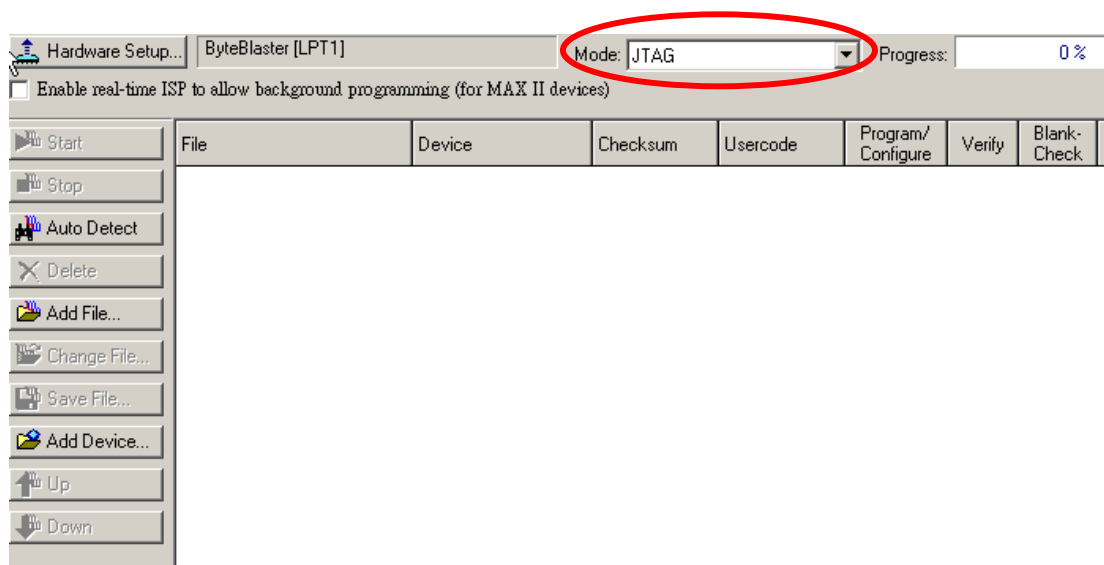
2. 先進行 Hardware Setup，設定燒錄的硬體。



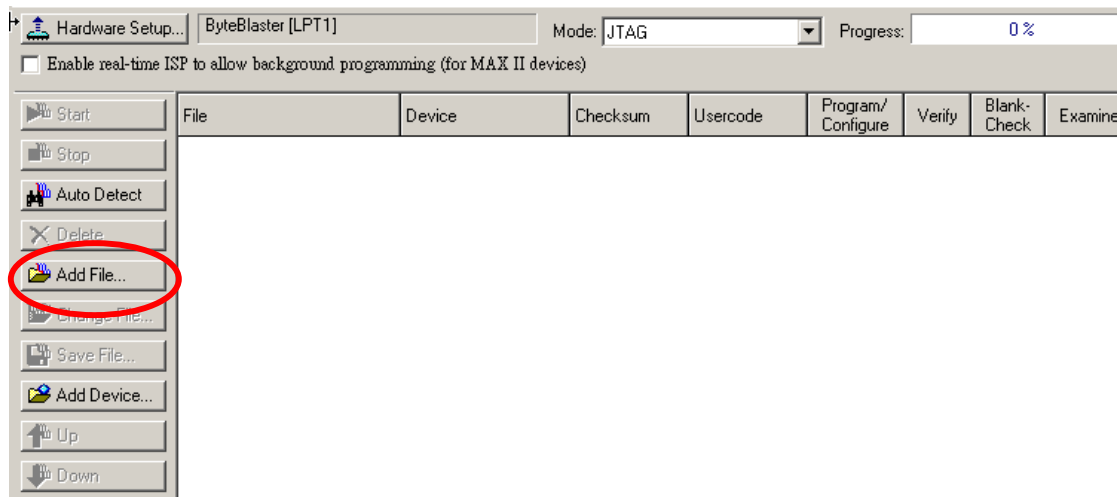
- 選擇目前使用硬體，Bytebalster II、Byteblaster MV 或 USB-Blaster 其中選擇一個硬體。若無出現 ByteBlaster，請點選 Add Hardware,若還是出現 Error 訊息,請參考附錄 5.1 將 Driver 加進去



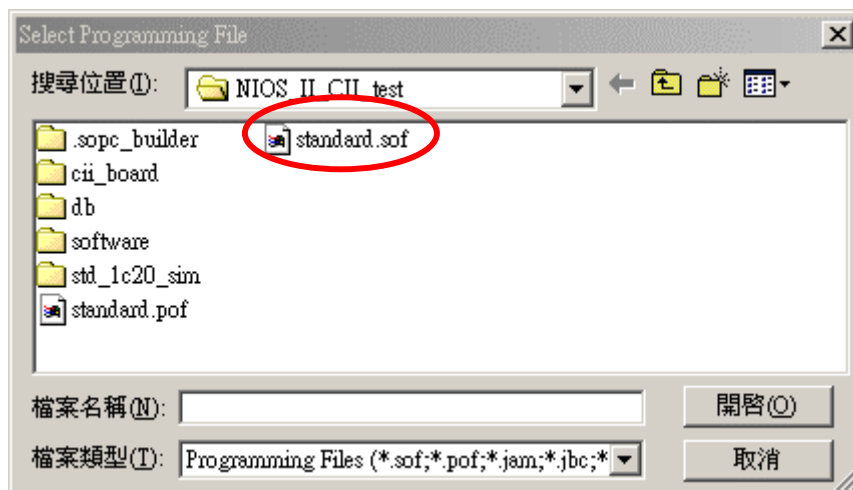
4. 選擇 JTAG mode。



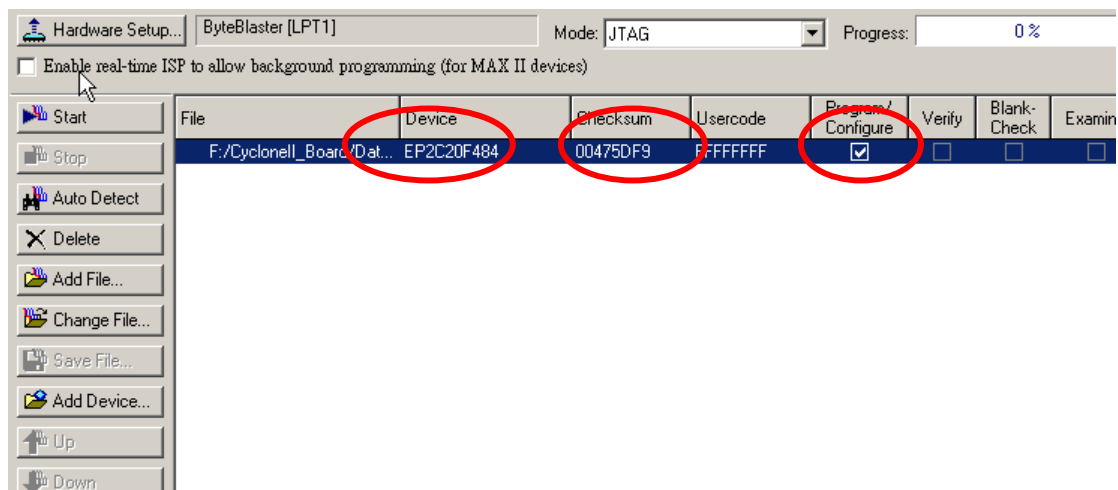
5. 從 Add File 加入檔案。



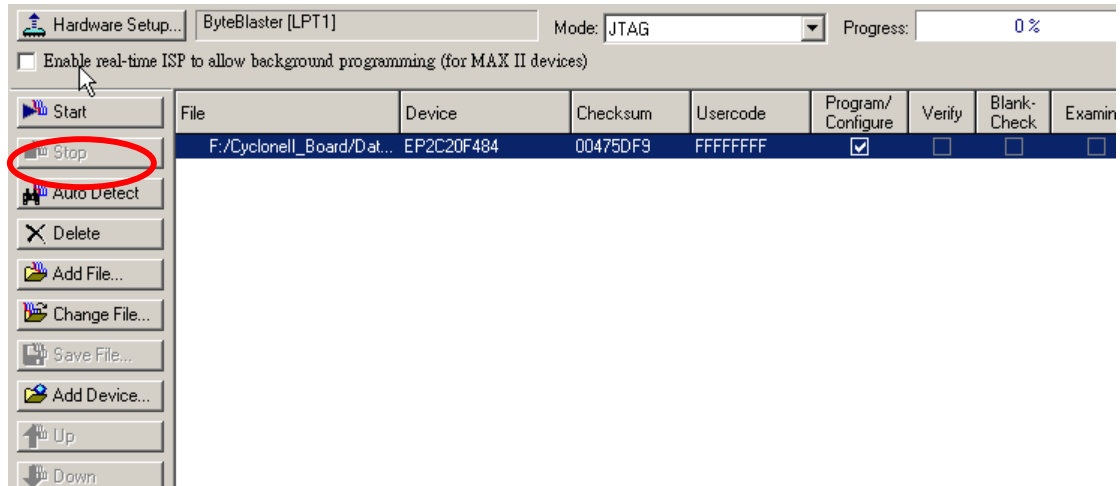
6. 選擇要進行燒錄的檔案 (*.POF)。



7. 確定 Checksum 和 Device 及點選 Program/configure。



8. 進行燒錄 Start。

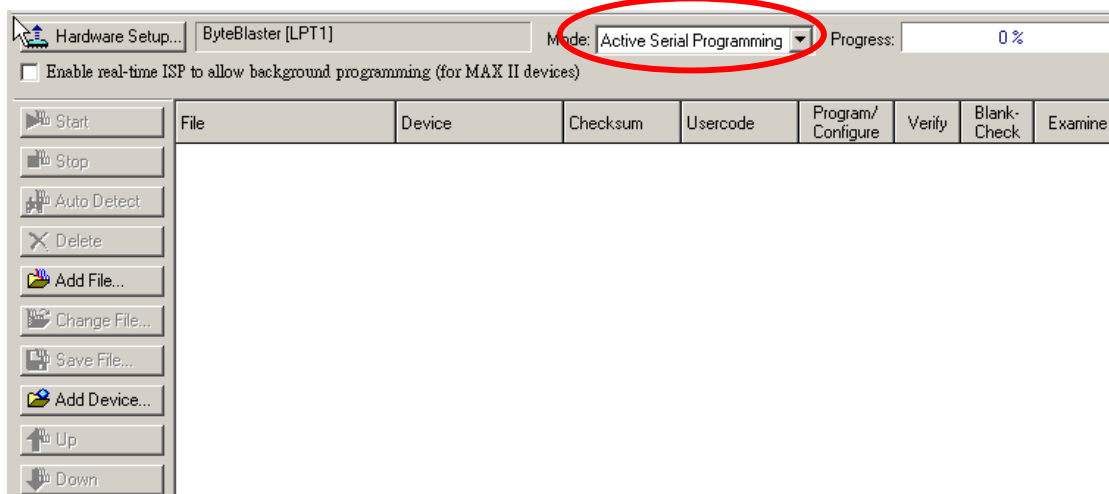


當燒錄完成，D15(OK) 將亮起

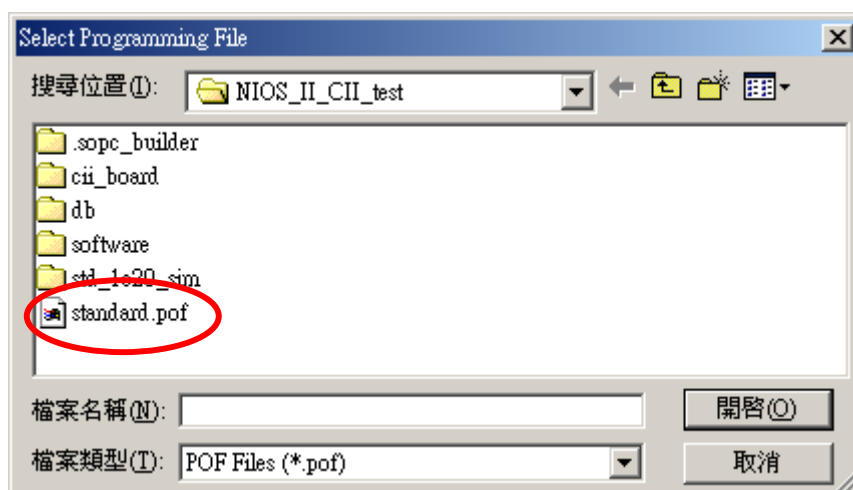
4.3.2. Active Serial Programming (AS)

使用 Active Serial Programming (AS) 模式燒錄 Serial Configuration Device (EPCS4)，Serial Configuration Device 一經燒錄後，即會在每次實驗板電源啟動後，自動規化 Altera Cyclone II Device Family.

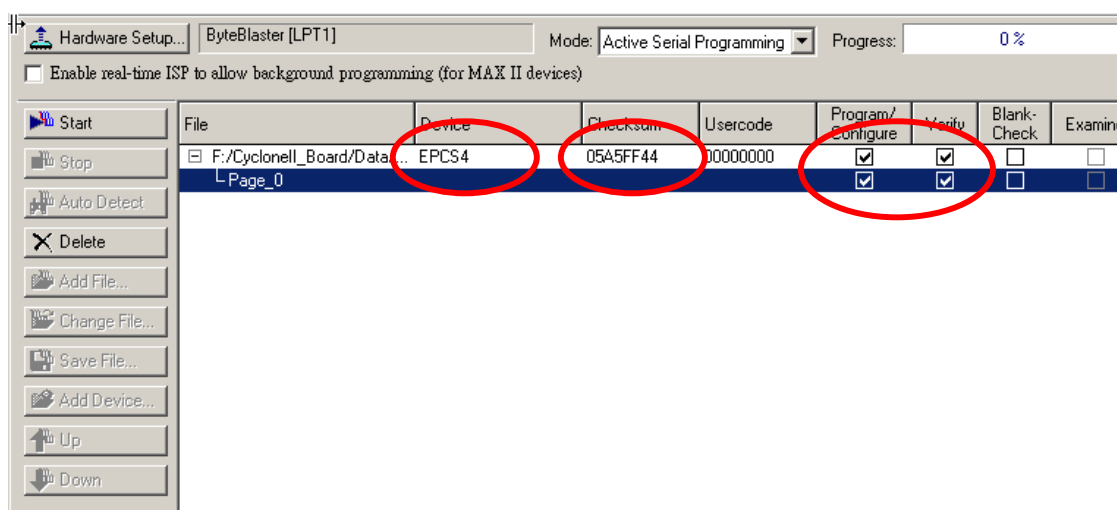
1. 選擇 Active Serial Programming Mode。如 Hardware Setup 為 No Hardware 時，需要重新進行 4.3.1 JTAG mode 中 Step 2 ~ Step 3。



2. 點選 Add File，選擇要燒錄進去 Serial EPROM 的燒錄檔 (*.POF)。



3. 確定 Device, Checksum, Program/Configure 及 Verify 是否正確及打勾。



4. 選擇 Start 進行燒錄。

5. Re-Configure

本實驗提供一 Push Button Switch 如下圖，可提供重新由 Serial Configuration Device 下載到 FPGA，當 Configure 完成時，OK 燈將亮起



4.4.AS Mode

Altera FPGA 可由許多規劃方式進行燒錄，本研發電路板於出廠時已經附 Configuration Device EPCS4，並於研發電路板上留有 AS 連接埠，可以使用附贈的 Download Cable 插入 J3(AS)，並將 Quartus II 所產生之*.pof 燒入即可。

4.5.JTAG Mode

本研發電路板，是供一 JTAG Connector 以供在研發初期，RTL code 尚未完全完成，須要經常的更改燒錄程式使用，以減少使用 Configuration Device 的燒錄時間及燒錄次數。

可以使用附贈的 Download Cable 插入 J4(JTAG)，並將 Quartus II 所產生之*.sof 燒入即可。詳細 ISP 之使用方法，

5. 附錄

5.1. Byteblaster MV/II 在 Windows 2K/XP 安裝指南

如果在 Programmer 進行 Hardwar Step 時，如果無法找到任何硬體，則需要使用下列步驟進行手動安裝。

1. Support version :

- Maxplus2 9.6 or later
- Quartus 2000.03 or later

2. DRIVERS PATH :

- -Maxplus2 <Maxplus2 install path >\Drivers\win2000\
Default path=c:\maxplus2\drivers\win2000
- -Quartus <Quartus install path>\Drivers\win2000
Default path=c:\Quartus\drivers\win2000

3. 安裝程序

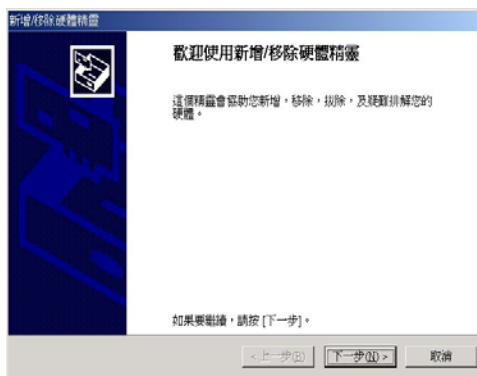
- 到**控制台**



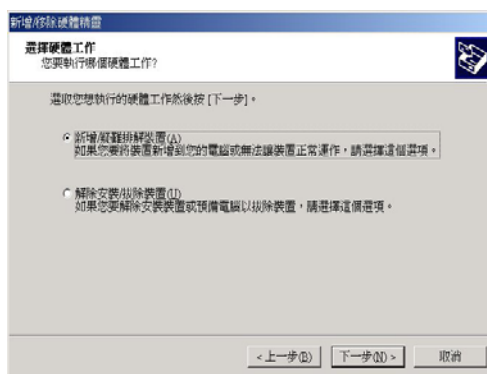
- 選取



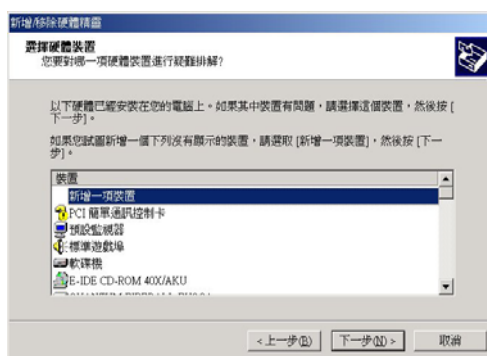
- 選取 **下一步**



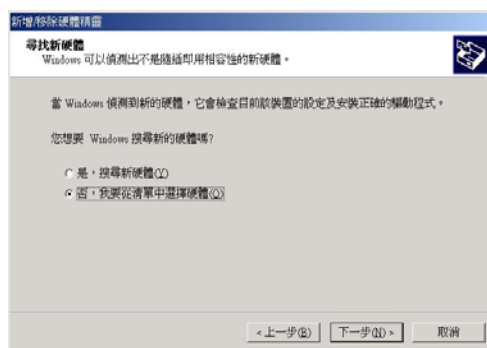
- 選取 下一步



- 選取 新增一項裝置



- 選取 否,我要從清單中選取硬體



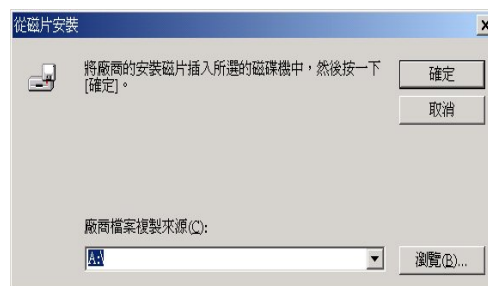
- 選取 音效,視訊及遊戲控制器



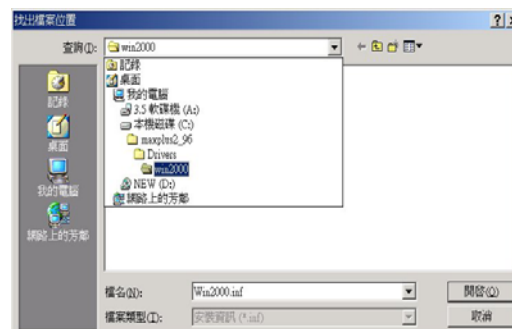
- 選取 **從磁片安裝**



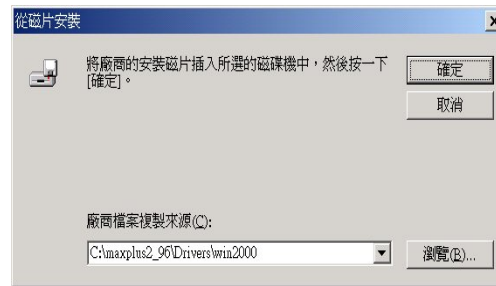
- 選取 **瀏覽**



- 找出檔案位置後，選取 **開啟**



- 選取 **確定**



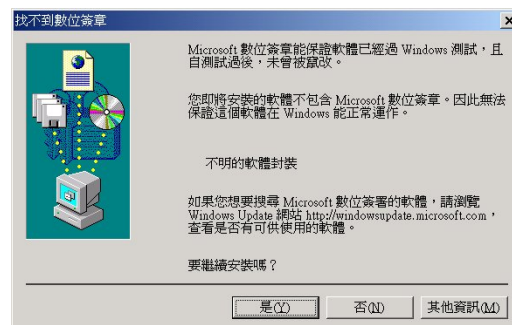
■ 選取 是



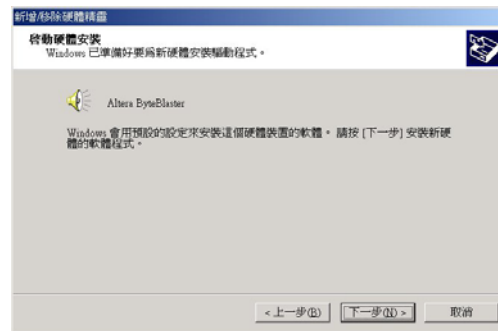
■ 選取 Altera Byteblaster



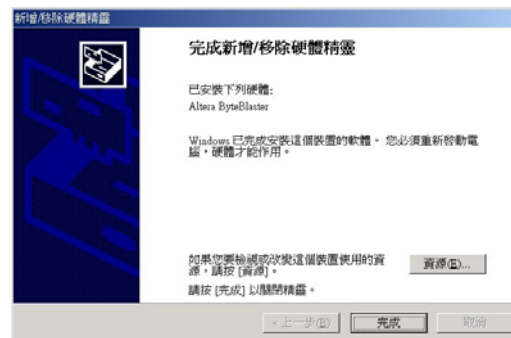
■ 選取 是



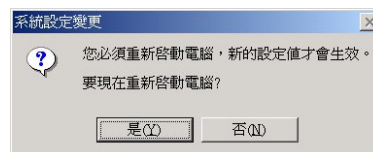
■ 選取 下一步



- 選取 **完成**

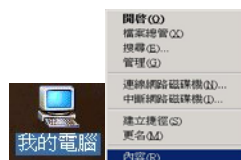


- **重新啟動電腦**



4. 確定是否安裝成功

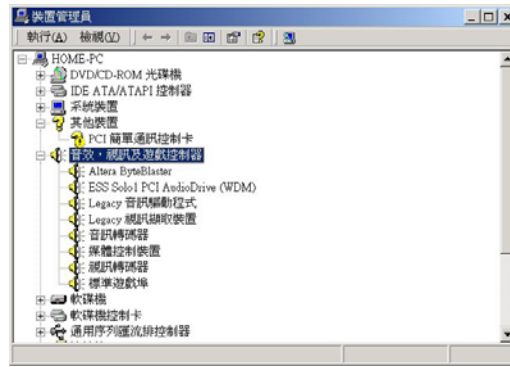
- 到桌面上 選取**我的電腦**按滑鼠右鍵 選取 **內容**



- 選取 硬體下的**裝置管理員**



- 選取 **音效, 視訊及遊戲控制器**



Altera Byteblaster 如有出現在上面,則表示安裝成功 !!

5.2. Microsoft Window XP SP2 相容性問題修正方法

如果使用者在微軟 Window XP 中，先安裝 Quartus II 軟體後，再行安裝微軟 Windows XP SP2 的軟體時，須要重新安裝 Byteblaster 的驅動程式，才可以再使用 Programmer 進程式 Download 至硬體。其重新安裝方式如下：

Cd quartus\drivers\i386

Bblpt.exe /r —removes the ByteBlaster driver

Bblpt /i —reinstalls the ByteBlaster driver

Net start ALTERABYTEBLASTER

5.3. 如何將 NIOS II 放進 Cyclone II Starter Kit

1. 請 copy gfec_cyclone_ii_starter_kit(光碟\Test_File\board_description\)
至 NIOS II install\altera\kits\nios2_60\components
2. niosII_lab(光碟\\Test File\C II\Standard)有現成之 nios II project,,
您可直接使用本 project 去測試

5.4.擴充板對應 GFEC Cyclone II Starter Kit I/O 接腳

JP5		JP6		JP7	
1	GND	1	GND	1	GND
2	GND	2	GND	2	GND
3	TXD	3	RXD	3	Y19
4	Y18	4	Y21	4	Y20
5	W20	5	Y22	5	W22
6	W21	6	V20	6	V19
7	V22	7	V21	7	U22
8	U21	8	U20	8	U19
9	T22	9	U18	9	T21
10	T18	10	R22	10	R21
11	R20	11	R19	11	R18
12	R17	12	P18	12	P17
13	P15	13	N22	13	N21
14	N15	14	M22	14	M21
15	M19	15	M18	15	L22
16	L21	16	NC	16	NC
17	GND	17	GND	17	GND
18	L19	18	L18	18	K22
19	K20	19	J22	19	K21
20	J20	20	J21	20	J18
21	J19	21	J15	21	J17
22	H18	22	H19	22	H16
23	H17	23	G21	23	G22
24	G18	24	G20	24	F22
25	G17	25	F20	25	F21
26	E21	26	E22	26	E19
27	E20	27	D22	27	E18
28	D20	28	D21	28	C22
29	D19	29	C20	29	C21
30	B19	30	C19	30	B20
31	A20	31	NC	31	NC
32	GND	32	GND	32	GND
33	GND	33	GND	33	GND

JP19		JP20	
1	GND	1	GND
2	GND	2	GND
3	B3	3	A3
4	B4	4	A4
5	B5	5	A5
6	B6	6	A6
7	H7	7	G7
8	E7	8	D7
9	C7	9	B7
10	A7	10	H8
11	G8	11	F8
12	E8	12	D8
13	B8	13	A8
14	H9	14	F9
15	E9	15	D9
16	C9	16	B9
17	A9	17	H10
18	F10	18	C10
19	B10	19	A10
20	H11	20	G11
21	F11	21	E11
22	D11	22	B11
23	GND	23	GND
24	GND	24	GND
25	H12	25	A11
26	G12	26	E12
27	F12	27	B12
28	D12	28	H13
29	A12	29	C13
30	F13	30	A13
31	B13	31	H14
32	J14	32	E14
33	F14	33	C14
34	D14	34	A14
35	B14	35	G15

36	H15	36	E15
37	F15	37	B15
38	D15	38	G16
39	A15	39	C16
40	D16	40	A16
41	B16	41	A17
42	B17	42	C17
43	A18	43	B18
44	C18	44	A19
45	GND	45	GND
46	GND	46	GND

JP12		JP13		JP14	
1	GND	1	GND	1	GND
2	GND	2	GND	2	GND
3	AA3	3	AA4	3	Y3
4	AB3	4	Y1	4	Y4
5	W5	5	Y2	5	W2
6	W4	6	W1	6	W3
7	V2	7	V4	7	U4
8	V1	8	U2	8	U3
9	T2	9	U1	9	T5
10	T1	10	R1	10	T3
11	R4	11	T6	11	R5
12	R2	12	R7	12	R6
13	P1	13	R8	13	P3
14	P2	14	P6	14	P4
15	N2	15	P5	15	N4
16	N2	16	NC	16	NC
17	GND	17	GND	17	GND
18	M1	18	N3	18	M5
19	N5	19	L1	19	N6
20	L8	20	M2	20	J1
21	M6	21	J4	21	L2
22	J5	22	J2	22	J6
23	H6	23	H5	23	H4

24	H3	24	H2	24	H1
25	G6	25	G5	25	G3
26	F2	26	F1	26	F4
27	F3	27	E2	27	E1
28	E4	28	E3	28	D2
29	D1	29	D4	29	D3
30	D6	30	D5	30	C2
31	C1	31	NC	31	NC
32	GND	32	GND	32	GND
33	GND	33	GND	33	GND

JP10		JP11	
1	GND	1	GND
2	GND	2	GND
3	AA20	3	AB20
4	AA19	4	AB19
5	AA18	5	AB18
6	Y17	6	AA17
7	AB17	7	R16
8	T16	8	W16
9	Y16	9	AA16
10	AB16	10	R15
11	T15	11	U15
12	V15	12	AB15
13	AA15	13	W15
14	U14	14	R14
15	AA14	15	V14
16	W14	16	AB14
17	R13	17	Y14
18	Y13	18	U13
19	AB13	19	AA13
20	U12	20	T12
21	W12	21	V12
22	AB12	22	AA12
23	GND	23	GND
24	GND	24	GND

25	T11	25	R11
26	V11	26	U11
27	AA11	27	R12
28	R10	28	W11
29	Y10	29	AB11
30	AB10	30	U10
31	R9	31	AA10
32	V9	32	P9
33	Y9	33	U9
34	AB9	34	W9
35	T8	35	AA9
36	V8	36	P8
37	AA8	37	U8
38	T7	38	W8
39	Y7	39	AB8
40	AB7	40	W7
41	AA6	41	AA7
42	Y5	42	Y6
43	AB5	43	AB6
44	AB4	44	AA5
45	GND	45	GND
46	GND	46	GND

5.5.USB 版本之 NIOS II Starter Kit 說明

本實驗版另提供 USB 介面,相關說明如下

5.5.1. 電源系統

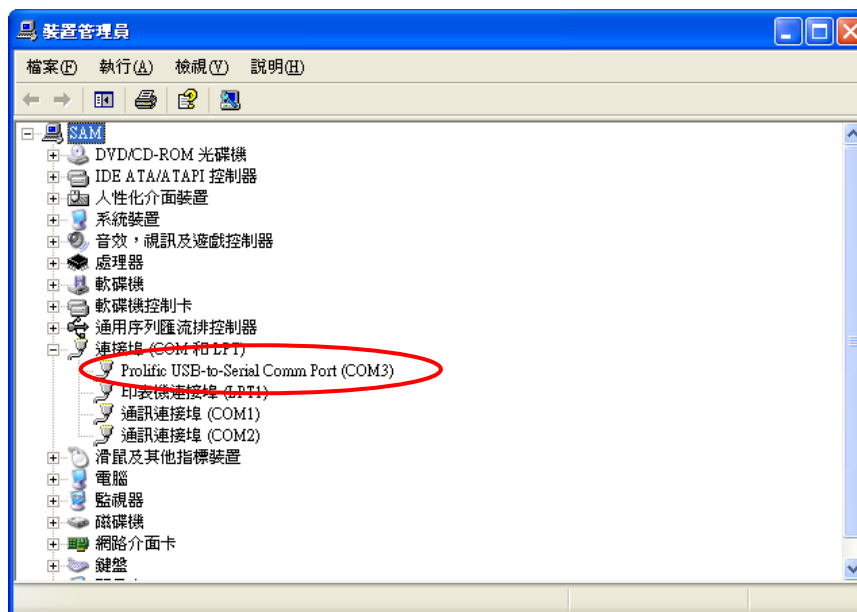


若將 Jumper 如圖所示短路,,電原由 MUSB1 提供,反之電原由 J1 提供

5.5.2. USB 使用方式

5.5.2.1 安裝 Driver(Driver 路徑在光碟片...\driver\ PL-2303 Driver Installer.exe)

5.5.2.2 PL-2303X 為 USB to Serial Bridge Controller,當 Driver 安裝完後,,mini USB 連接線接至 MUSB 和 PC 後,電腦端裝備管理員將出現下列畫面



5.5.2.3 轉換後之 pin 如下

RS-232	
RS-232 PIN	FPGA PIN
TXD	Y21
RXD	Y20

5.6.Stand-Alone Flash Programmer

為單獨進行本研發電路板上的 Flash 去行燒錄或清除之動作，故可依照以下流程進行之。

所須配件如下：

- Altera Quartus II Programmer。
- GFEC Cyclone II Star Kit。
- GFEC Cyclone II Star Kit Flash Programmer Pack¹。
- 50Mhz Oscillator。
- USB Download Cable。
- Power Cable

燒錄步驟

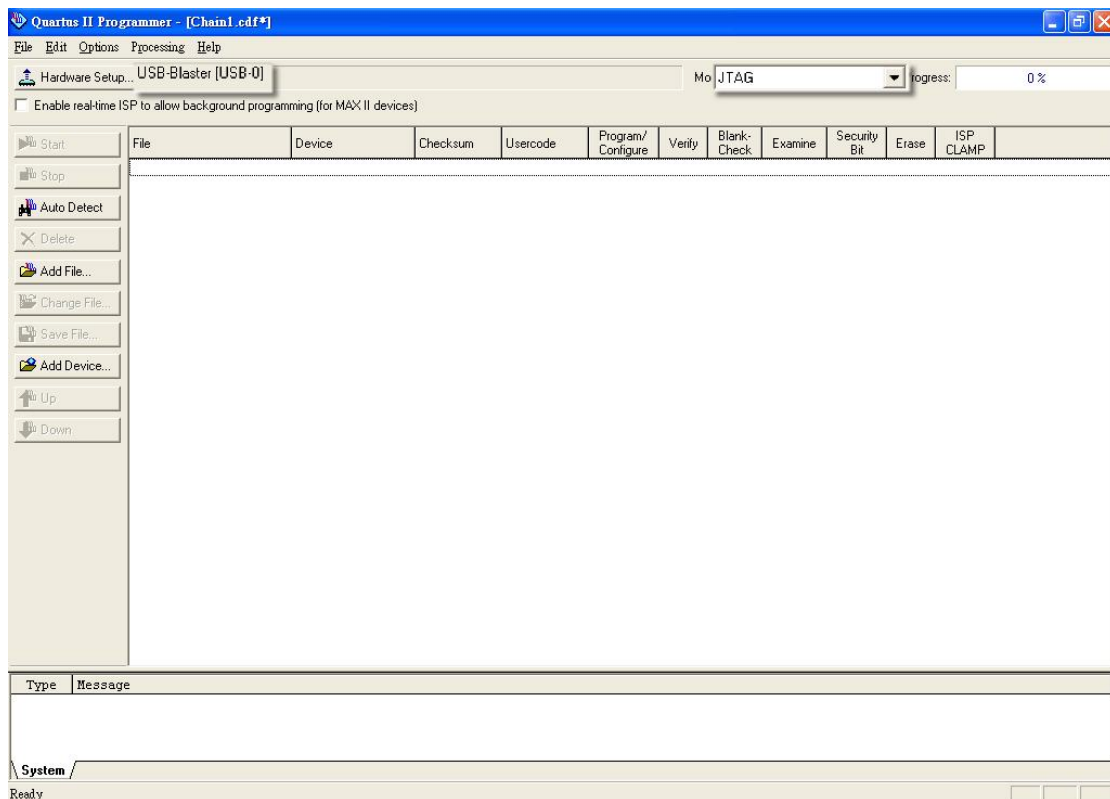
如欲進行 Flash 清除及寫入，可依照以下步驟進行：

1. 將 GFEC Cyclone II Flash Programmer Pack 解壓縮至硬碟，與預燒錄的 Flash 檔案至於同一目錄。
2. 從”開始→Altera→Quaruts II 7.1”執行 **Quartus II 7.1 Programmer**。

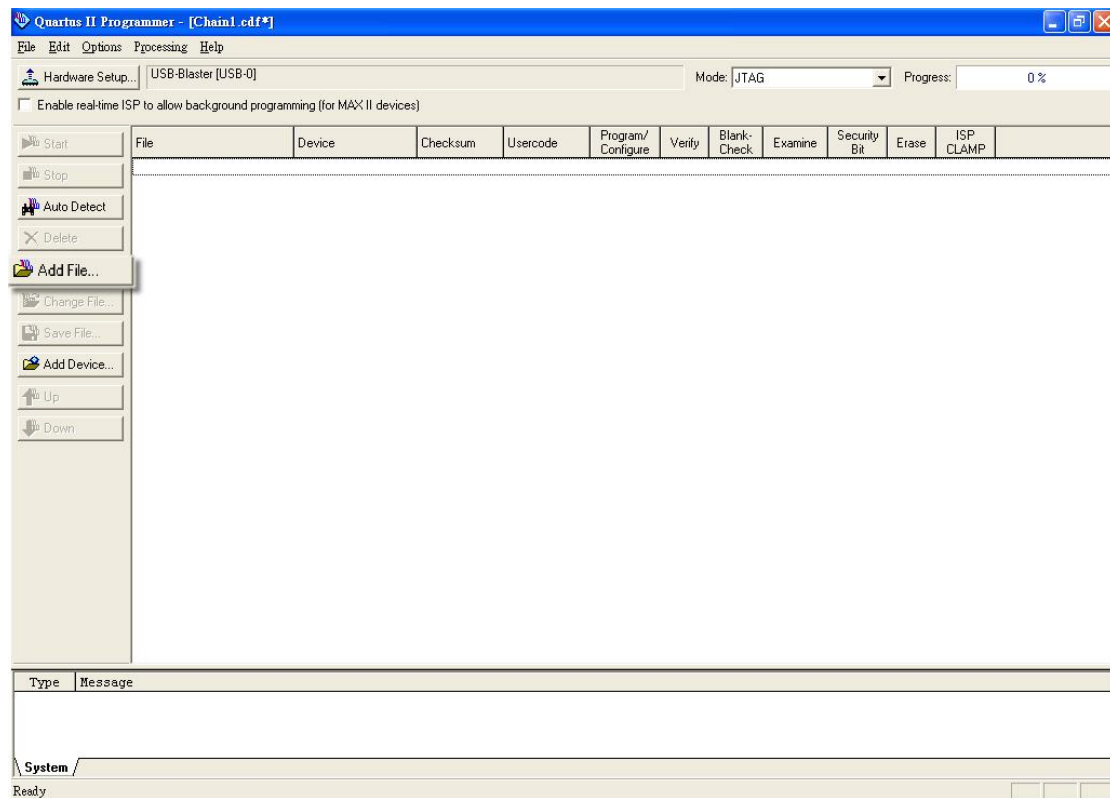


3. 確定 Mode 為 JTAG 及 Hardware setup 為 USB-Blaster。

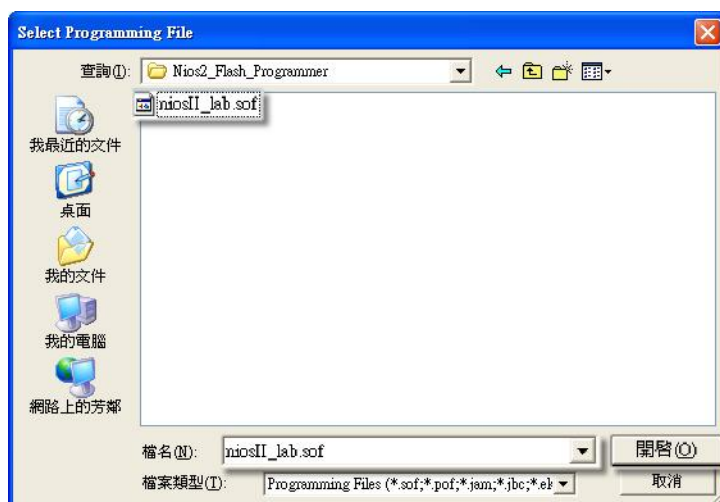
¹ GFEC Cyclone II Star Kit Flash Programmer Pack 可由安裝光碟中目錄下..\Nios2_Flash_Programmer_pack 尋得，亦可由 Galaxy Far East Corp 的網站下載，網址為 http://www.gfec.com.tw/word_file/Nios2_Flash_Programmer_pack.rar。



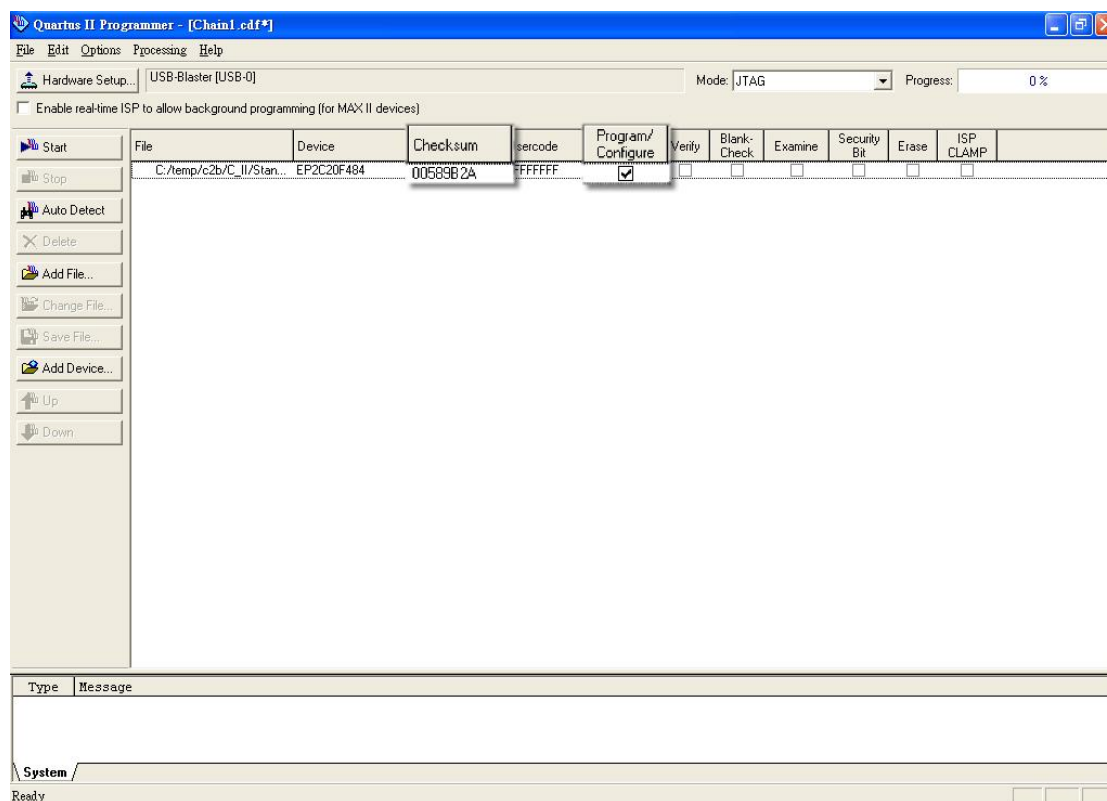
4. 加入 SOF 檔案。



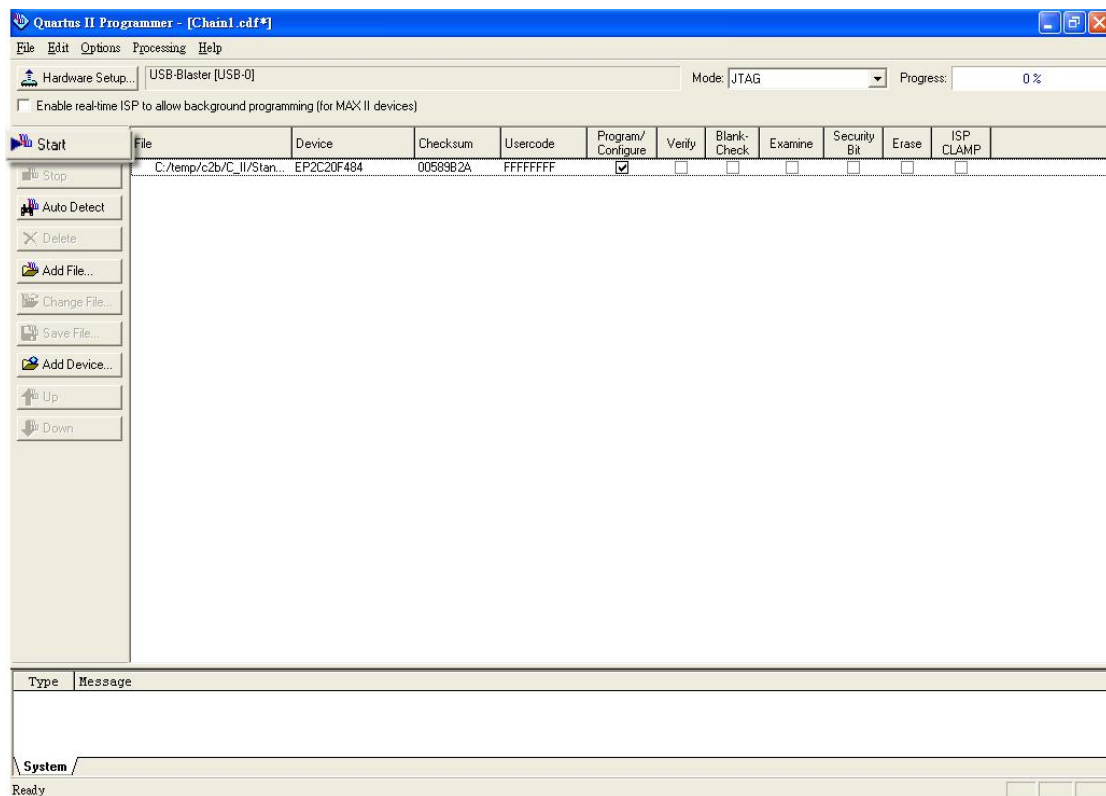
- 選擇 niosII_lab.sof。



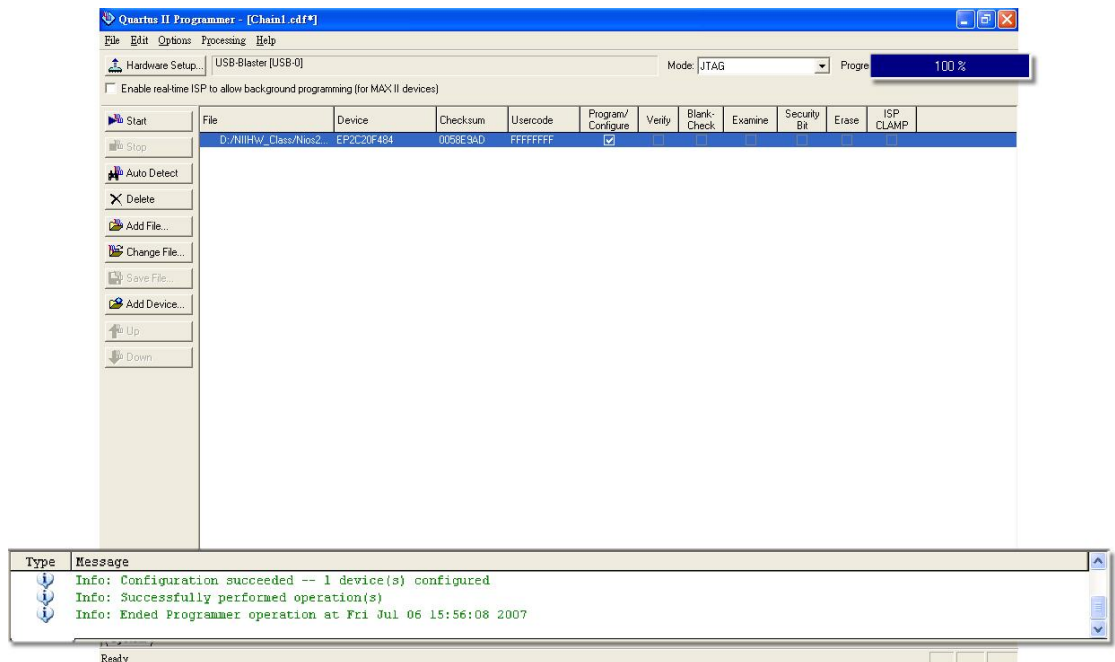
- 確定 Checksum 值為 0058E9AD，並勾選 Program/Configure。



- 將電源接入 GFEC Cyclone II Star Kit 及將 Download Cable 連接電腦 USB 埠和 GFEC Cyclone II Star Kit 的 JTAG 接頭。等 GFEC Cyclone II Star Kit 的電源指示燈點亮時。於 Quartus II Programmer 中按”開始”，進行燒錄。



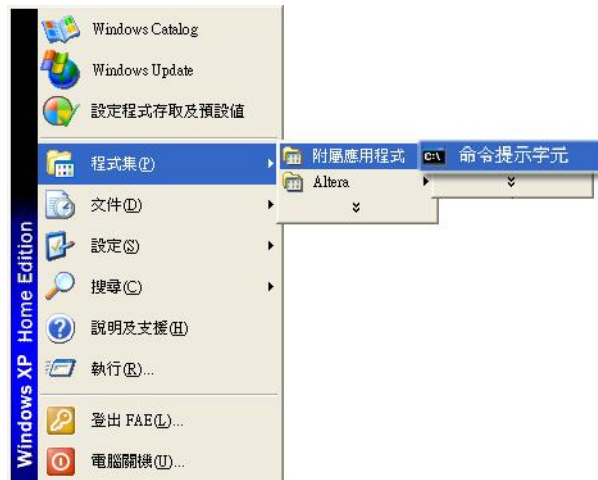
8. 待 Process 至 100%，訊息視窗亦顯示完成訊息。



9. 燒錄完成後，可以觀察 GFEC Cyclone II Nios Star Kit LED 從 D1~D8 皆被點亮，OK 燈號亦為綠燈。



10. 執行”命令提示字元”。



11. 切換目錄至儲存有欲燒錄 Flash 的目錄，使用以下指令進行 Flash 的寫入及清除。

- 使用以下指令清除整個 Flash。
`nios2-flash-programmer --cable="Usb-blastar[USB-0]" -b\0x00000000 --erase-all`

- 使用以下指令，將 S-Record 格式的 *.flash 檔案自 0x???????? 的位置開始寫入 Flash。

```
nios2-flash-programmer --cable="Usb-blaster[USB-0]" --base\
0x???????? --program *.flash
```

常見問題

1. 若於步驟 11 中，出現以下訊息，如何處理？

There are no Nios II processors available which match the values specified.
Please check that your PLD is correctly configured, downloading a new
SOF file if necessary.

請重新執行整個步驟。

2. 若於步驟 8 中無法燒錄時，出現錯誤訊息如下，如何處理？

Error: Can't access JTAG Chain

Error: Operation failed

請重新確定步驟 7。

3. 如何產生步驟 11 中所需的 Flash 檔？

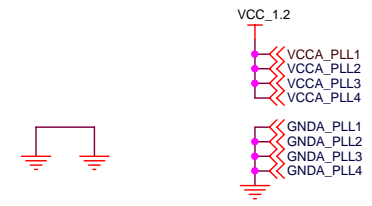
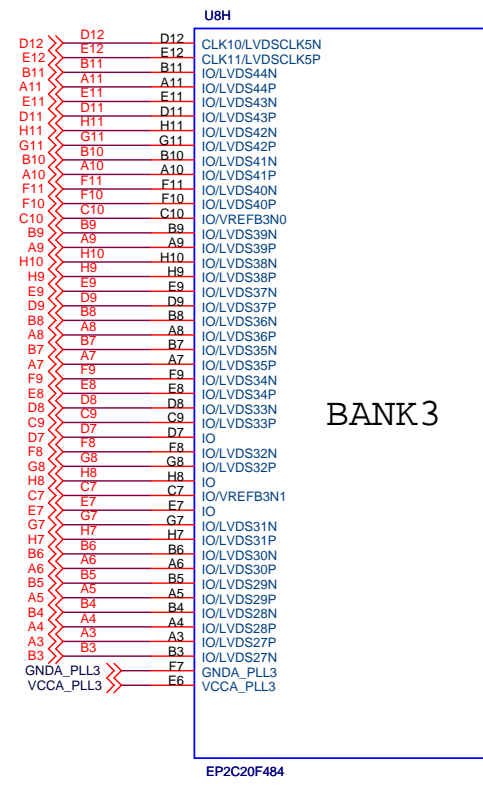
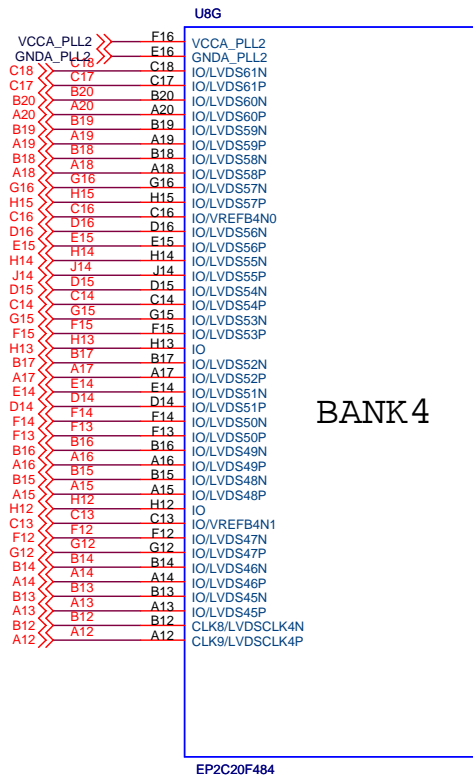
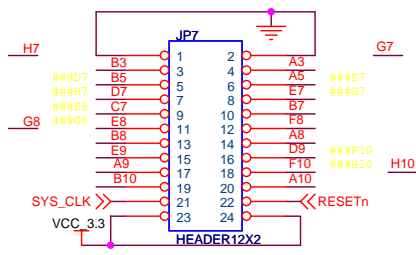
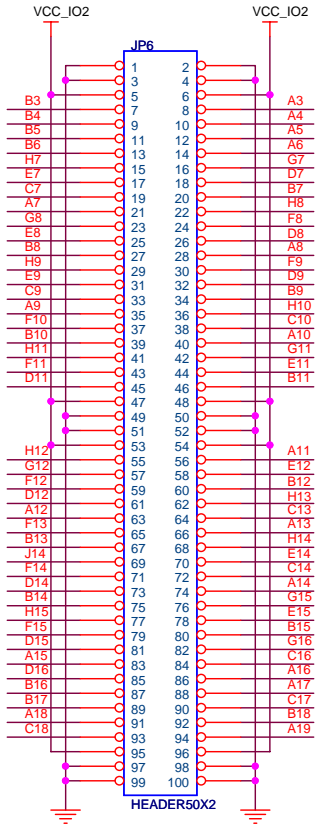
先將準備好的 HEX 檔案，使用 GFEC Cyclone II Star Kit Flash Programmer Pack 中的 hex2bin.exe 轉成二進制檔案。在有安裝 Nios II IDE 開發環境的電腦中，開起 Nios II IDE Shell，執行 bin2flash 的指令將二進制的檔案轉換成可以供燒錄用 S-Record 格式的 Flash 檔案。亦可使用 GFEC Cyclone II Star Kit Flash Programmer Pack 中的 bin2srec.exe，轉換成 S-Record 檔案，以供燒錄使用。其指令如下：

```
bin2srec *****.bin > *****.flash
```

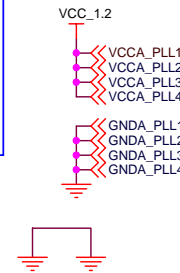
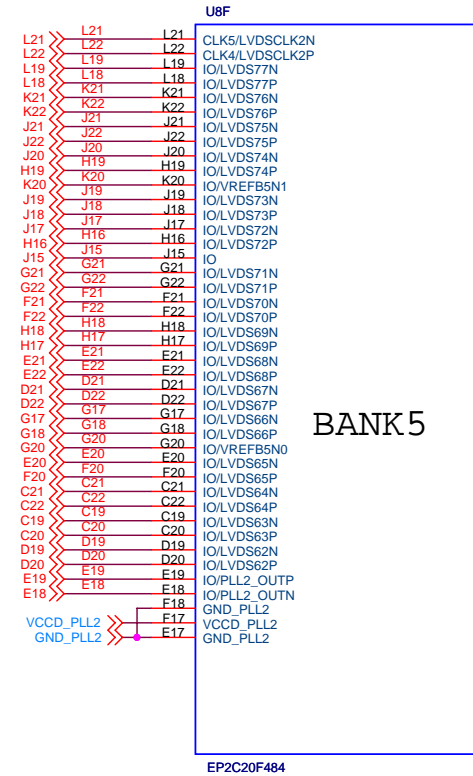
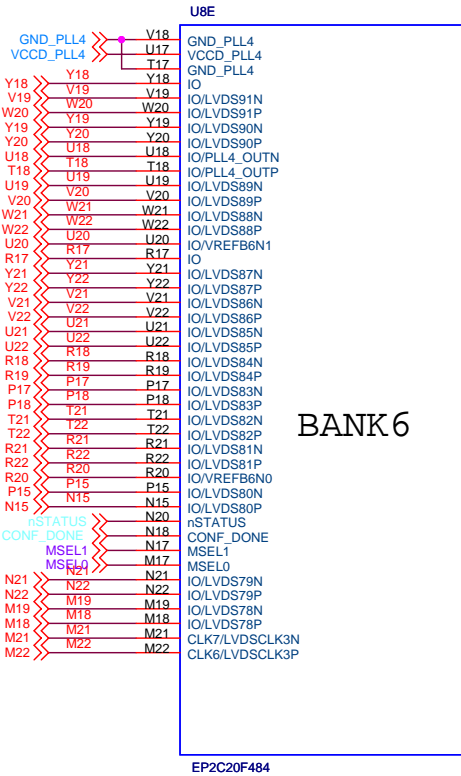
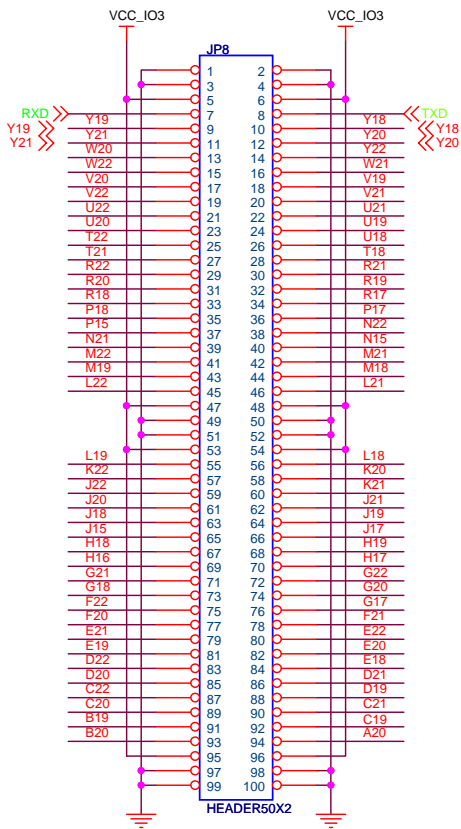
4. 若於步驟 11 中，出現 Not a valid S-Record 訊息如何處理？

將欲進行燒錄至 Flash 的檔案轉換成符合 S-Record 格式的檔案，以進行燒錄動作。

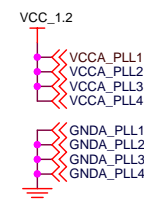
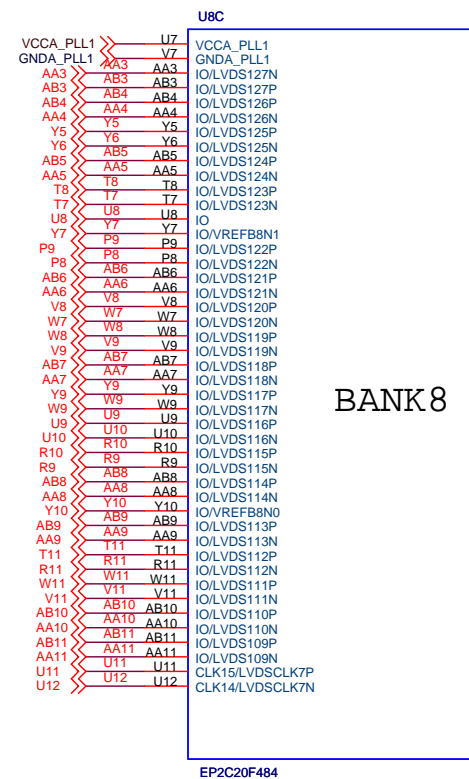
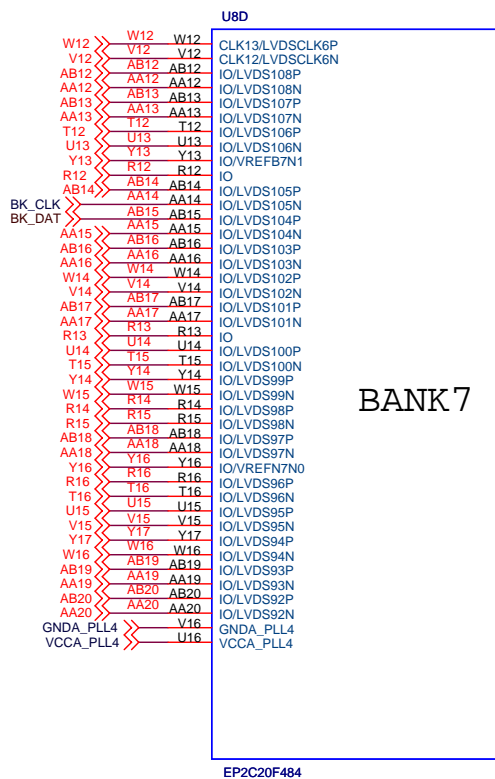
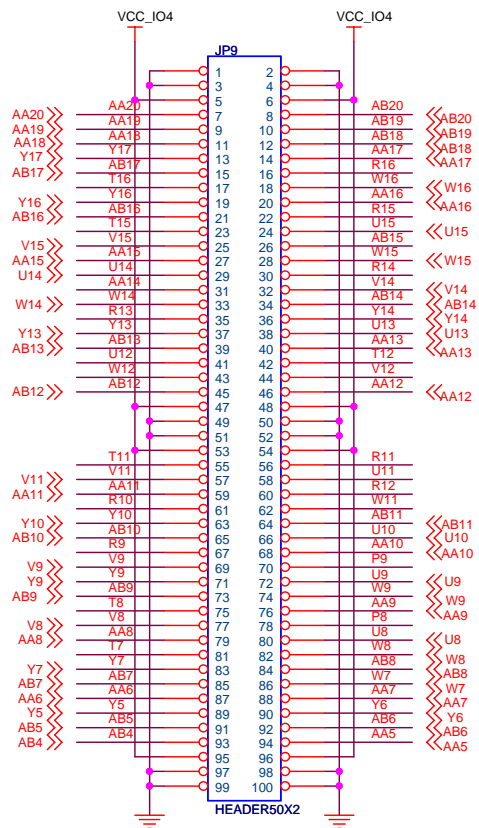
5.7. 電路圖



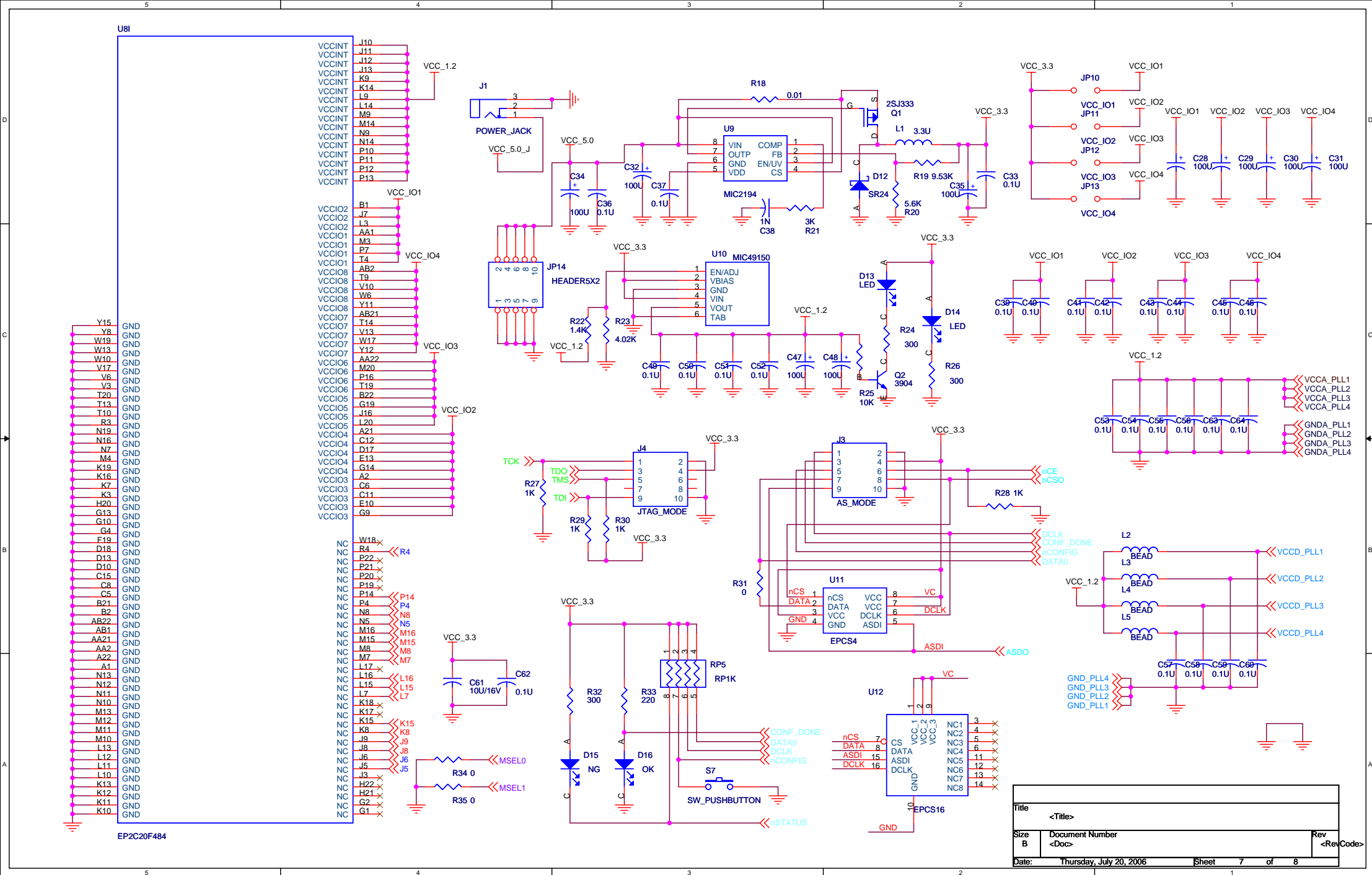
Title			<Title>
Size	Document Number	Rev	<RevCode>
B	<Doc>		
Date:	Thursday, July 20, 2006	Sheet	4 of 8

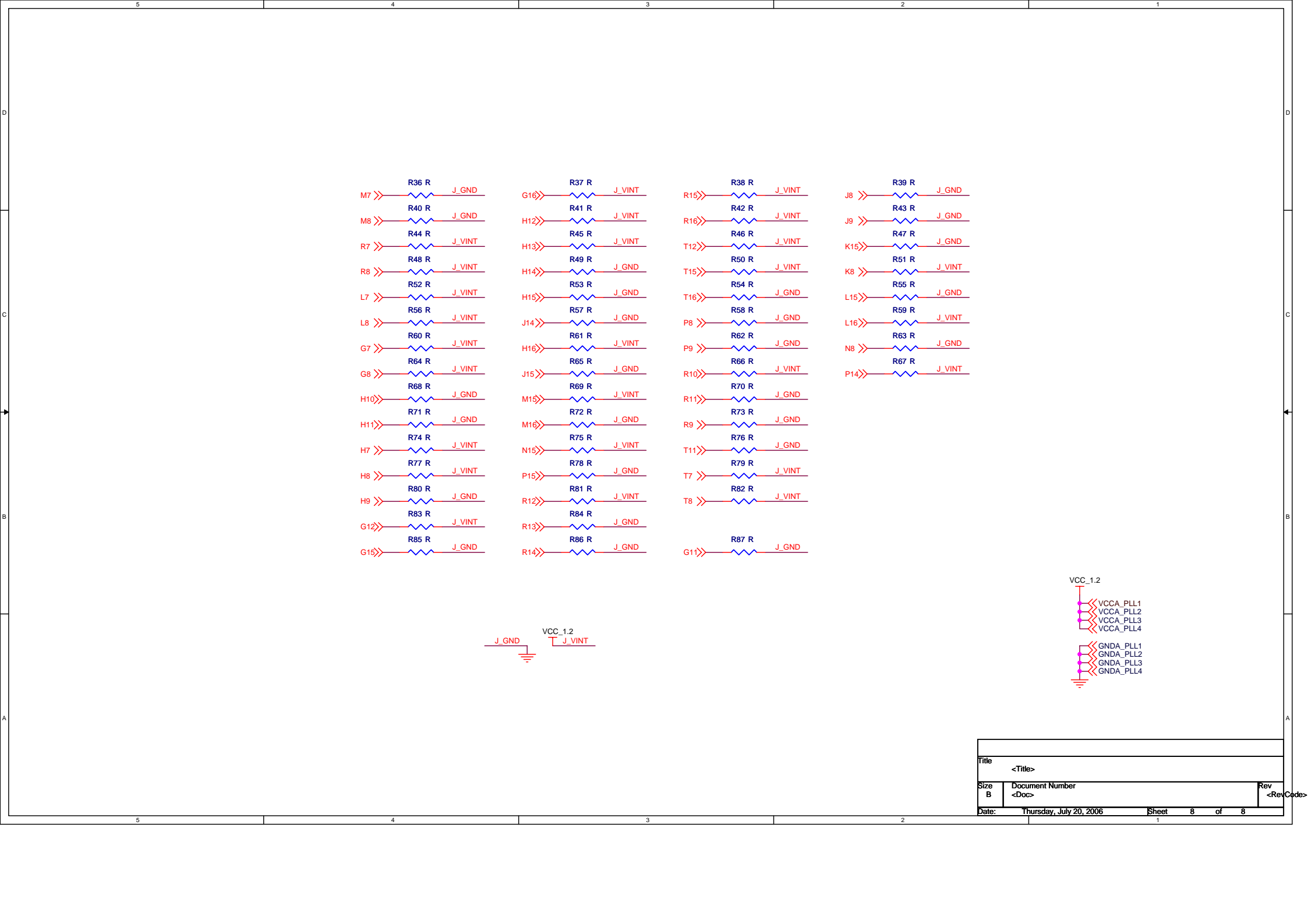


Title			<Title>
Size	Document Number	Rev	
B	<Doc>	<RevCode>	
Date:	Thursday, July 20, 2006	Sheet	5 of 8



Title			<Title>
Size	Document Number	Rev	<RevCode>
B	<Doc>		
Date:	Thursday, July 20, 2006	Sheet	6 of 8





Title			<Title>
Size	Document Number	Rev	
B	<Doc>	<RevCode>	
Date:	Thursday, July 20, 2006	Sheet	8 of 8