

45V 耐圧 $I_o = 500\text{ mA}$ 出力可変型 低飽和レギュレータ

■ 特長

- AEC-Q100 grade 1 準拠
- 高速応答性
- 広範囲動作電圧 $4.0\text{ V to }40\text{ V}$
- 広範囲動作温度 $T_a = -40^\circ\text{C to }125^\circ\text{C}$
- 高精度 ADJ 電圧 $V_{ADJ} = 1.24\text{ V} \pm 1.0\%$ ($T_a = 25^\circ\text{C}$)
 $V_{ADJ} = 1.24\text{ V} \pm 2.0\%$ ($T_a = -40^\circ\text{C to }125^\circ\text{C}$)
- 設定可能出力電圧範囲 $2.5\text{ V to }16\text{ V}$
- 出力電流 500 mA (min)
- ON/OFF 制御
- セラミックコンデンサ対応
- 低電圧誤動作防止回路内蔵
- サーマルシャットダウン回路内蔵
- 過電流保護回路内蔵
- パッケージ TO-252-5-L5

■ アプリケーション

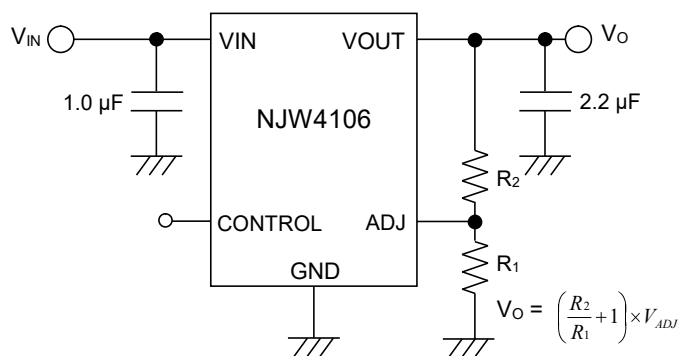
- カーアクセサリ
- 車載 ECU
- 産業機器

■ 概要

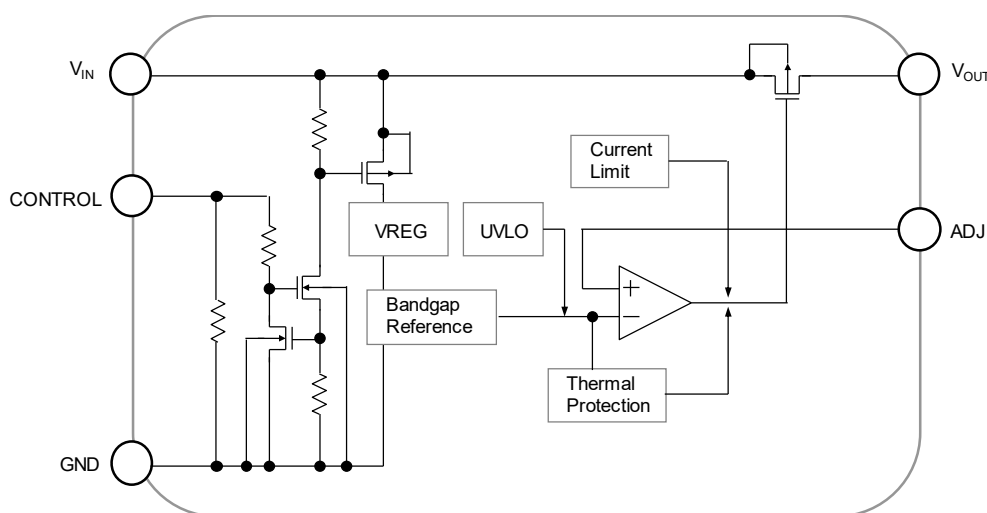
NJW4106 は 45V 耐圧、 $I_o = 500\text{ mA}$ の低飽和レギュレータです。高速応答性を実現しており、負荷電流や電源電圧の過渡的な変動に対して、安定した出力電圧特性を得ることができます。

出力電圧は 2.5 V から 16 V の範囲で設定可能です。ADJ 電圧精度は $V_{IN} = V_O + 1\text{ V to }40\text{ V}$, $I_o = 0\text{ mA to }500\text{ mA}$, $T_a = -40^\circ\text{C to }125^\circ\text{C}$ の広範囲条件下で $1.24\text{ V} \pm 2.0\%$ を実現しているため、車載アプリケーションや高信頼性が要求されるアプリケーションに最適です。

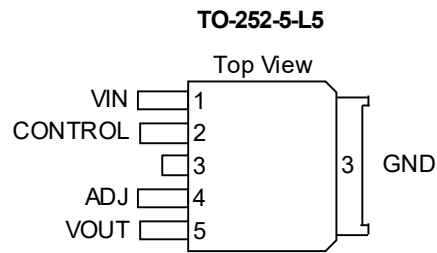
■ 標準回路図



■ ブロック図

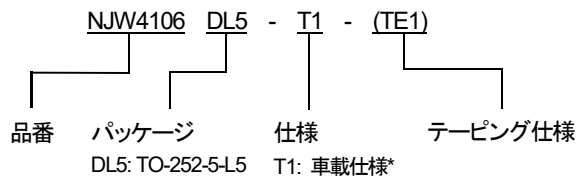


■ 端子配置図



端子番号	端子名	機能
1	VIN	入力端子
2	CONTROL	ON/OFF 制御端子
3	GND	グラウンド端子
4	ADJ	可変出力設定端子
5	VOUT	出力端子

■ 製品名構成



*車載仕様に関する詳細は弊社 Web サイトをご参照ください。
(https://www.njr.co.jp/electronic_device/semiconductor/application/automotive.html)

■ オーダーインフォメーション

製品名	パッケージ	RoHS	Halogen-Free	めっき組成	マーキング	製品重量 (mg)	最低発注数量 (pcs)
NJW4106DL5-T1 (TE1)	TO-252-5-L5	○	○	Sn-2Bi	4106T1	301	3000

■ 絶対最大定格

項目	記号	定格	単位
入力電圧	V_{IN}	-0.3 to 45	V
コントロール端子電圧	V_{CONT}	-0.3 to 45	V
ADJ 端子電圧	V_{ADJ}	-0.3 to 6	V
出力電圧	V_O	-0.3 to $V_{IN} \leq +17^{(1)}$	V
消費電力 ($T_a = 25^\circ\text{C}$) TO-252-5-L5	P_D	2-Layer / 4-Layer / High Power 4-Layer 870 ⁽²⁾ / 3000 ⁽³⁾ / 4700 ⁽⁴⁾	mW
ジャンクション温度	T_j	-40 to 150	$^\circ\text{C}$
保存温度	T_{stg}	-50 to 150	$^\circ\text{C}$

(1) 入力電圧が 17 V 以下の場合、出力電圧の定格は入力電圧と等しくなり、入力電圧が 17 V を超える場合、出力電圧の定格は 17 V となります。

(2) 2-Layer: 基板実装時 76.2 mm × 114.3 mm × 1.6 mm (2 層 FR-4) で EIA/JEDEC 準拠による。

(3) 4-Layer: 基板実装時 76.2 mm × 114.3 mm × 1.6 mm (4 層 FR-4) で EIA/JEDEC 準拠による。

(4 層基板内箔: 74.2 mm × 74.2 mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用。)

(4) High Power 4-Layer: 基板実装時 76.2 mm × 114.3 mm × 1.6 mm (4 層 FR-4)。

(4 層基板内箔: 74.2 mm × 74.2 mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用。)

*各基板の仕様は熱特性の「基板仕様一覧」をご参照ください。

■ 推奨動作条件

項目	記号	値	単位
入力電圧	V_{IN}	4.0 to 40	V
コントロール電圧	V_{CONT}	0 to 40	V
設定出力電圧	V_O	2.5 to 16	V
出力電圧設定用抵抗	R_1	5 to 500	k Ω
出力電流	I_O	0 to 500	mA
動作温度	T_{opr}	-40 to 125	$^\circ\text{C}$

■ 電気的特性

指定なき場合は、 $V_O \geq 3\text{ V}$ 時: $V_{IN} = V_O + 1\text{ V}$, $C_{IN} = 1.0\text{ }\mu\text{F}$, $C_O = 2.2\text{ }\mu\text{F}$, $R_1 = 250\text{ k}\Omega$, $T_a = 25^\circ\text{C}$ $V_O < 3\text{ V}$ 時: $V_{IN} = 4.0\text{ V}$, $C_{IN} = 1.0\text{ }\mu\text{F}$, $C_O = 4.7\text{ }\mu\text{F}$, $R_1 = 250\text{ k}\Omega$, $T_a = 25^\circ\text{C}$

項目	記号	条件	最小	標準	最大	単位
ADJ 電圧	V_{ADJ}	$V_{IN} = 4\text{ V to } 40\text{ V}$ ($V_O < 3\text{ V}$), $V_{IN} = V_O + 1\text{ V to } 40\text{ V}$ ($V_O \geq 3\text{ V}$), $I_O = 0\text{ mA to } 500\text{ mA}$	-1.0%	1.24	+1.0%	V
		$V_{IN} = 4\text{ V to } 40\text{ V}$ ($V_O < 3\text{ V}$), $V_{IN} = V_O + 1\text{ V to } 40\text{ V}$ ($V_O \geq 3\text{ V}$), $I_O = 0\text{ mA to } 500\text{ mA}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-2.0%	-	+2.0%	
無負荷時無効電流	I_Q	$I_O = 0\text{ mA}$, I_{CONT} を除く	-	65	105	μA
		$I_O = 0\text{ mA}$, I_{CONT} を除く, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	115	
OFF 時無効電流	$I_{Q(OFF)}$	$V_{CONT} = 0\text{ V}$	-	-	1	μA
		$V_{CONT} = 0\text{ V}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	1	
出力電流	I_O	$V_O \times 0.9$	500	-	-	mA
		$V_O \times 0.9$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	500	-	-	
ラインレギュレーション	$\Delta V_O / \Delta V_{IN}$	$V_{IN} = V_O + 1\text{ V to } 40\text{ V}$, $I_O = 30\text{ mA}$, $V_O = 5.0\text{ V}$	-	-	34.0	mV
		$V_{IN} = V_O + 1\text{ V to } 40\text{ V}$, $I_O = 30\text{ mA}$, $V_O = 5.0\text{ V}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	51.0	
ロードレギュレーション	$\Delta V_O / \Delta I_O$	$I_O = 0\text{ mA to } 500\text{ mA}$, $V_O = 5.0\text{ V}$	-	-	22.5	mV
		$I_O = 0\text{ mA to } 500\text{ mA}$, $V_O = 5.0\text{ V}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	45.0	
リップル除去比	RR	$V_{IN} = V_O + 1\text{ V}$, $e_{in} = 200\text{ mVrms}$, $f = 1\text{ kHz}$, $I_O = 30\text{ mA}$, $V_O = 5.0\text{ V}$	-	53	-	dB
入出力間電位差 1	ΔV_{IO1}	$I_O = 300\text{ mA}$	-	0.24	0.42	V
		$I_O = 300\text{ mA}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	0.60	
入出力間電位差 2	ΔV_{IO2}	$I_O = 500\text{ mA}$	-	0.40	0.70	V
		$I_O = 500\text{ mA}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	1.00	
コントロール電流	I_{CONT}	$V_{CONT} = 1.6\text{ V}$	-	0.5	2.0	μA
		$V_{CONT} = 1.8\text{ V}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	3.0	
出力 ON 制御電圧	$V_{CONT(ON)}$		1.6	-	-	V
		$T_a = -40^\circ\text{C to } 125^\circ\text{C}$	1.8	-	-	
出力 OFF 制御電圧	$V_{CONT(OFF)}$		-	-	0.6	V
		$T_a = -40^\circ\text{C to } 125^\circ\text{C}$	-	-	0.6	
UVLO解除電圧	V_{UVLO}	$V_{IN} = \text{low to high}$	2.3	2.7	3.1	V
		$V_{IN} = \text{low to high}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	2.2	-	3.2	
UVLOヒステリシス電圧	V_{HYS}	$V_{IN} = \text{high to low}$	200	500	-	mV
		$V_{IN} = \text{high to low}$, $T_a = -40^\circ\text{C to } 125^\circ\text{C}$	200	-	-	
出力電圧温度係数	$\Delta V_O / \Delta T_a$	$T_a = -40^\circ\text{C to } 125^\circ\text{C}$, $I_O = 30\text{ mA}$	-	± 50	-	ppm/ $^\circ\text{C}$

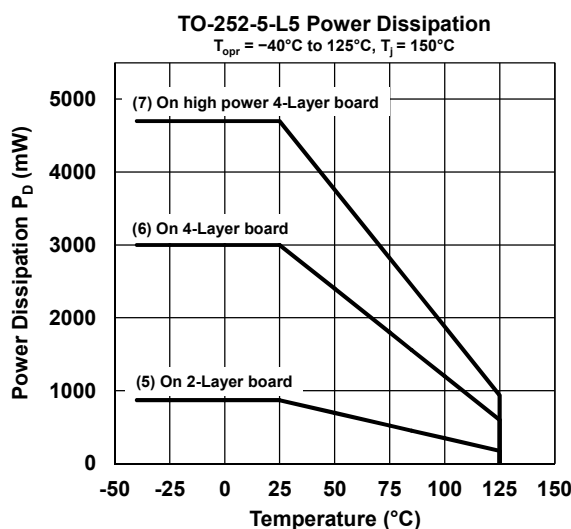
■ 熱特性

項目	記号	値	単位
ジャンクションー周囲雰囲気間 TO-252-5-L5	θ_{ja}	2-Layer / 4-Layer / High Power 4-Layer 143 ⁽⁵⁾ / 41 ⁽⁶⁾ / 26 ⁽⁷⁾	°CW
ジャンクションーケース表面間 TO-252-5-L5	ψ_{jt}	2-Layer / 4-Layer / High Power 4-Layer 30 ⁽⁵⁾ / 15 ⁽⁶⁾ / 11 ⁽⁷⁾	°CW

■ 基板仕様一覧

基板		JEDEC 準拠 2 層基板	JEDEC 準拠 4 層基板	High Power 4 層基板
サイズ		76.2 × 114.3 mm, t = 1.6 mm		
材質		FR-4		
銅箔	表面層 (厚さ: 70 μ m)	NJR 推奨フットパターン及び 測定用配線	NJR 推奨フットパターン及び 測定用配線	NJR 推奨フットパターン 放熱用パターン 50 × 50 mm 及び測定用配線
	2 層 (厚さ: 35 μ m)	-	74.2 × 74.2 mm	74.2 × 74.2 mm
	3 層 (厚さ: 35 μ m)	-	74.2 × 74.2 mm	74.2 × 74.2 mm
	裏面層 (厚さ: 70 μ m)	-	-	74.2 × 74.2 mm
サーマルビア		-	表面層から 2 層まで接続	全層接続

■ 消費電力ー周囲温度特性例



(5) 2-Layer: 基板実装時 76.2 mm × 114.3 mm × 1.6 mm (2 層 FR-4)で EIA/JEDEC 準拠による。

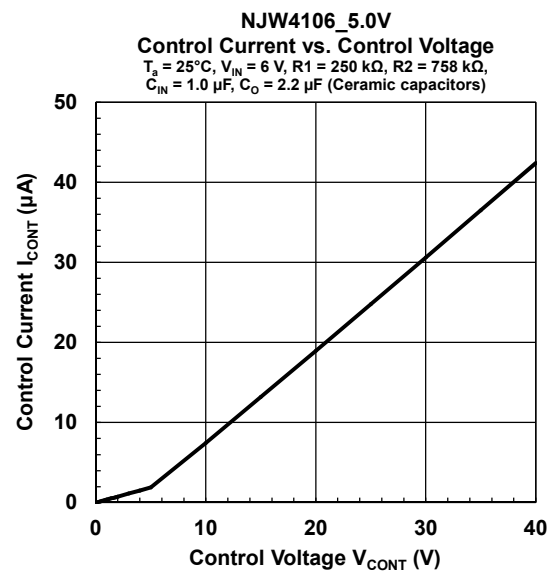
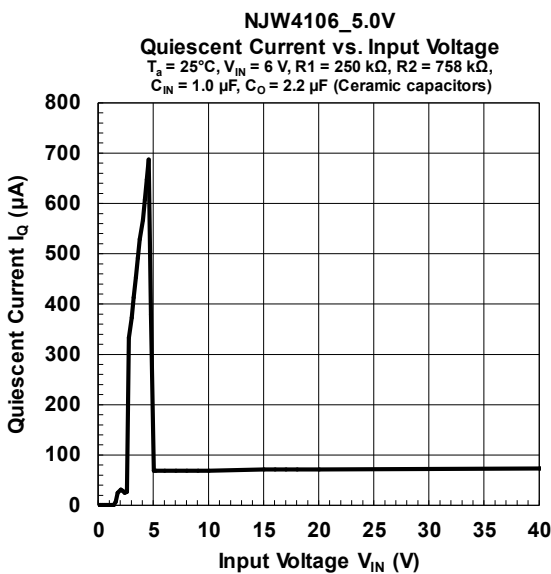
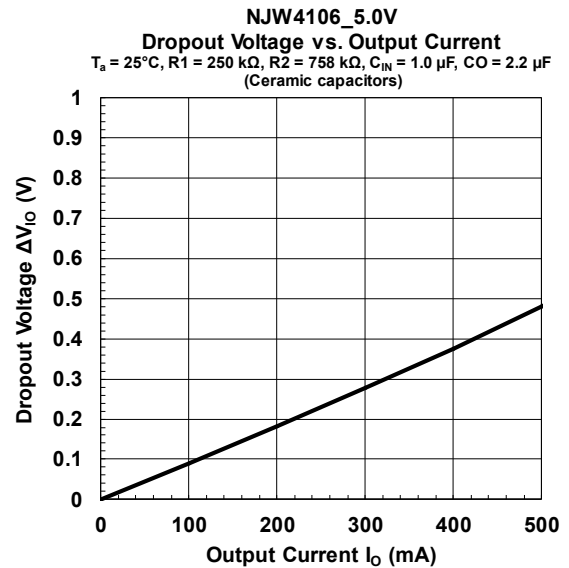
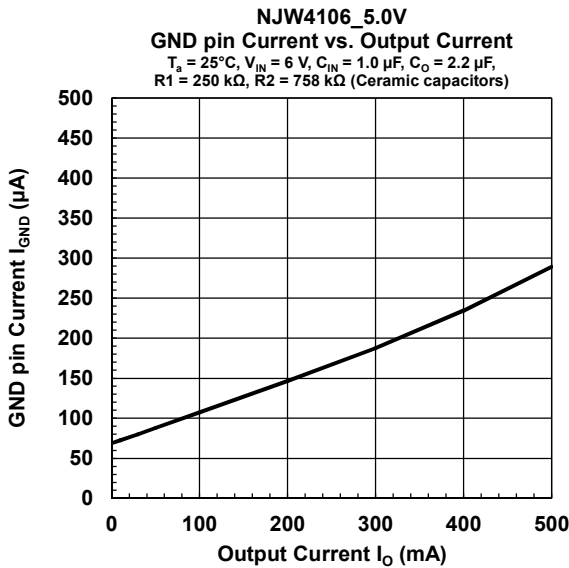
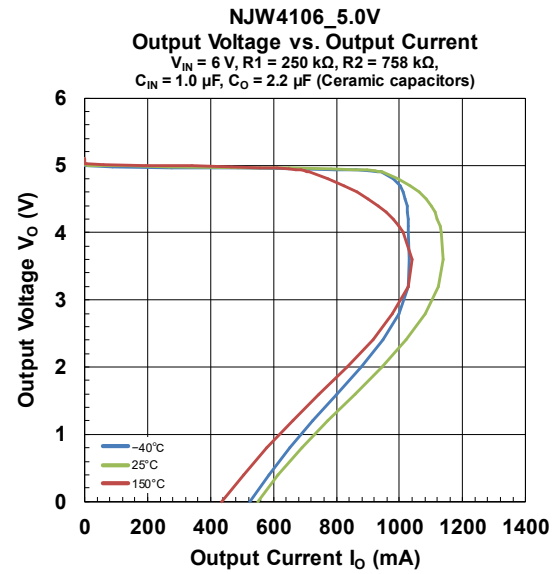
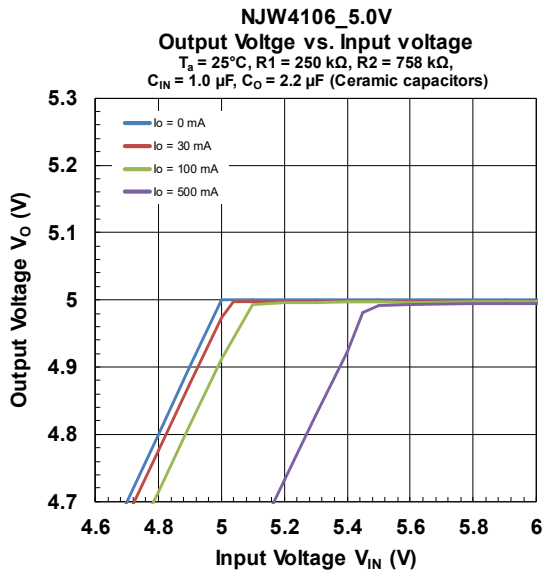
(6) 4-Layer: 基板実装時 76.2 mm × 114.3 mm × 1.6 mm (4 層 FR-4)で EIA/JEDEC 準拠による。

(4 層基板内箔: 74.2 mm × 74.2 mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用。)

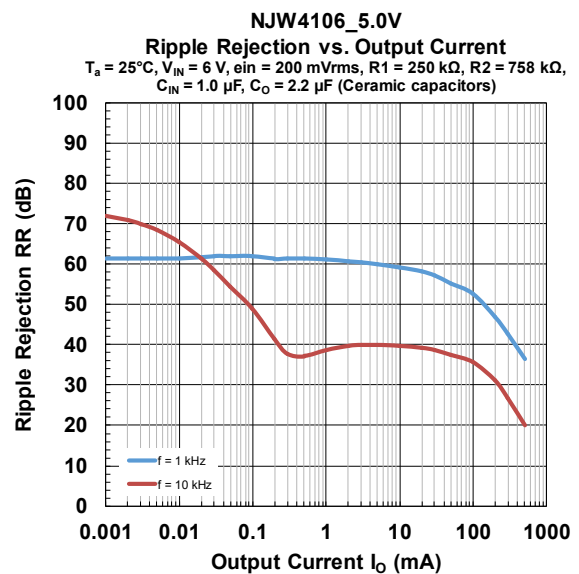
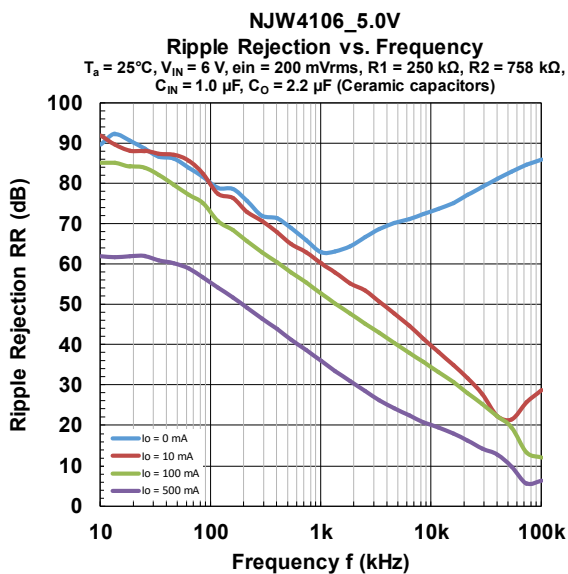
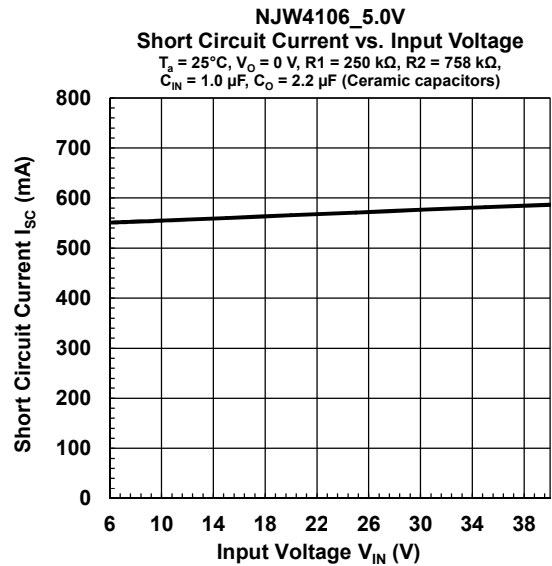
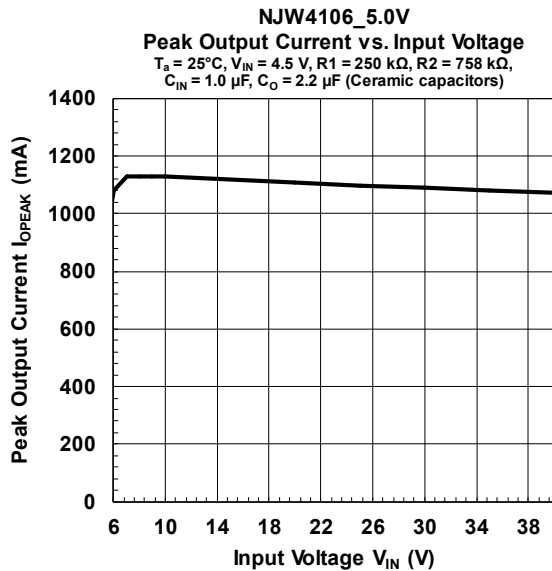
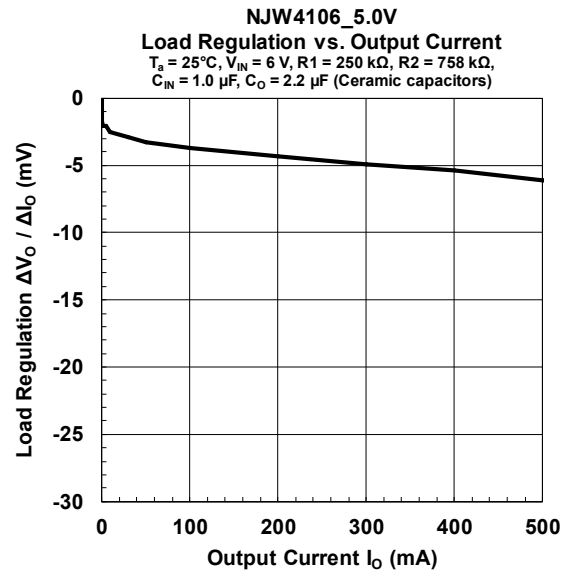
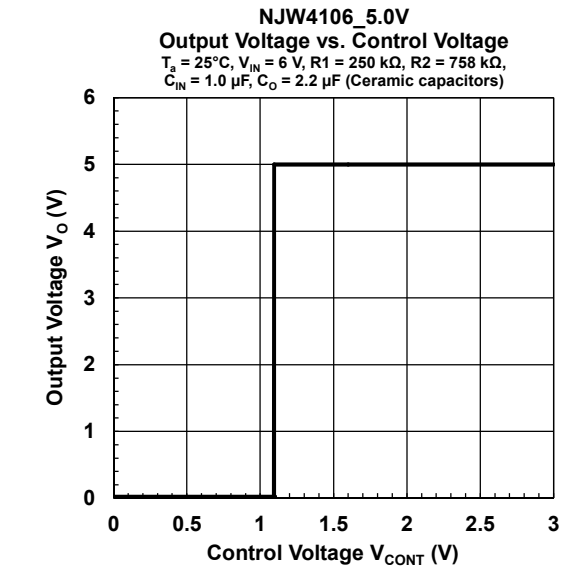
(7) High Power 4-Layer: 基板実装時 76.2 mm × 114.3 mm × 1.6 mm (4 層 FR-4)。

(4 層基板内箔: 74.2 mm × 74.2 mm、JEDEC 規格 JESD51-5 に基づき、基板にサーマルビアホールを適用。)

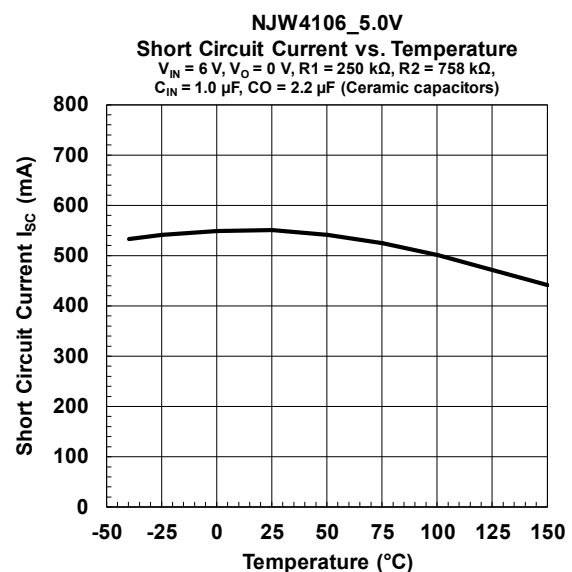
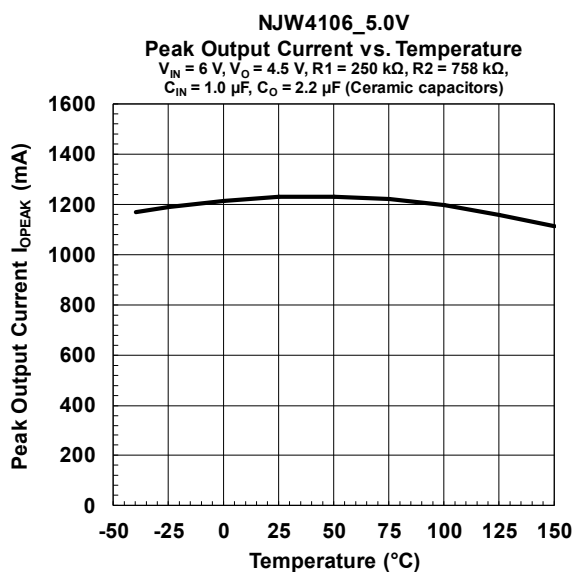
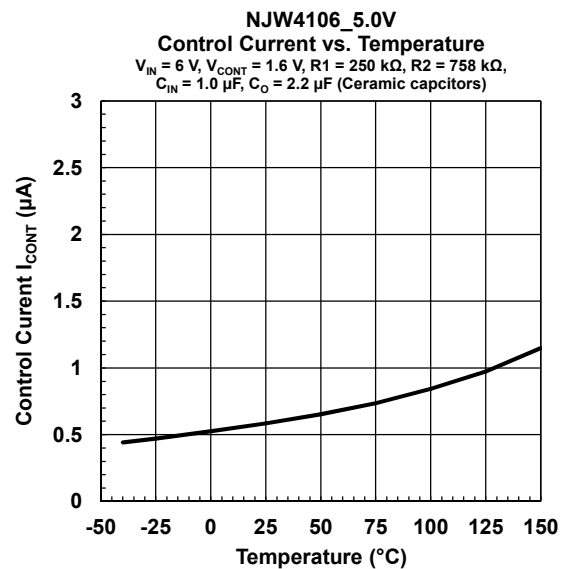
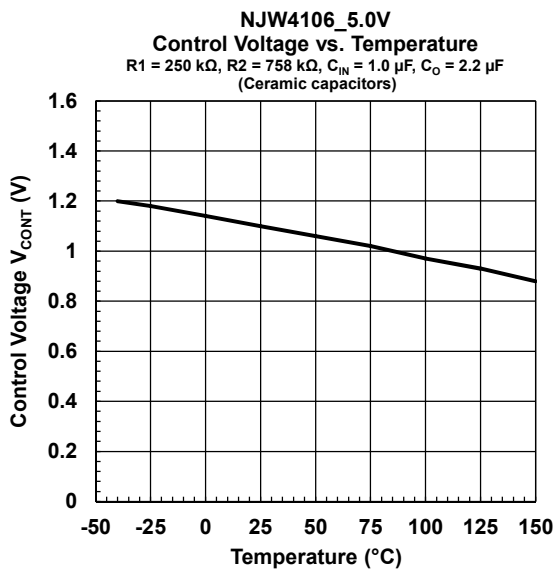
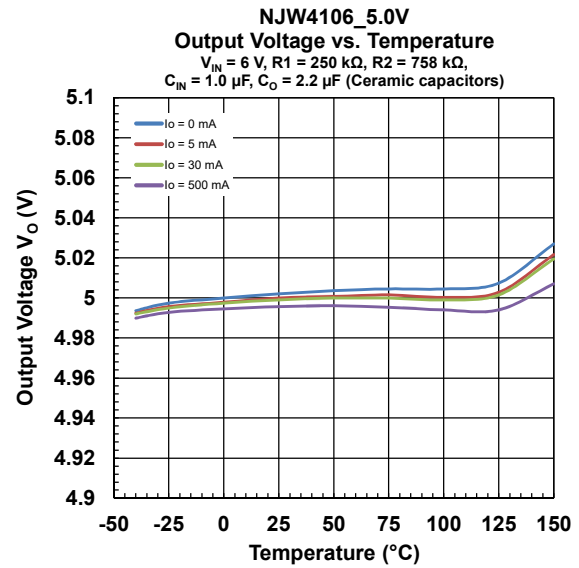
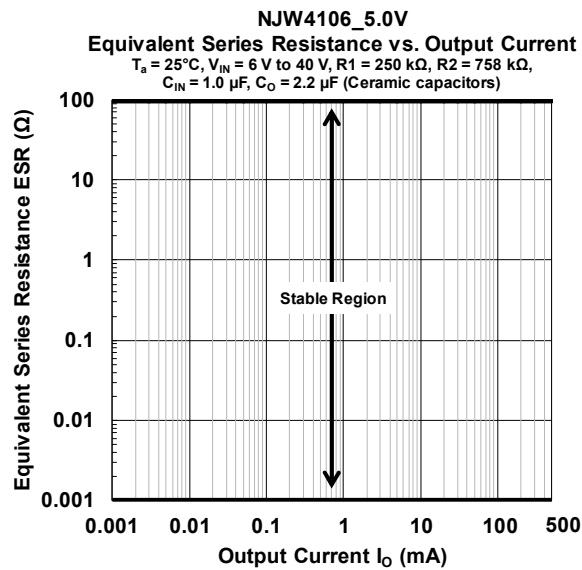
■ 特性例



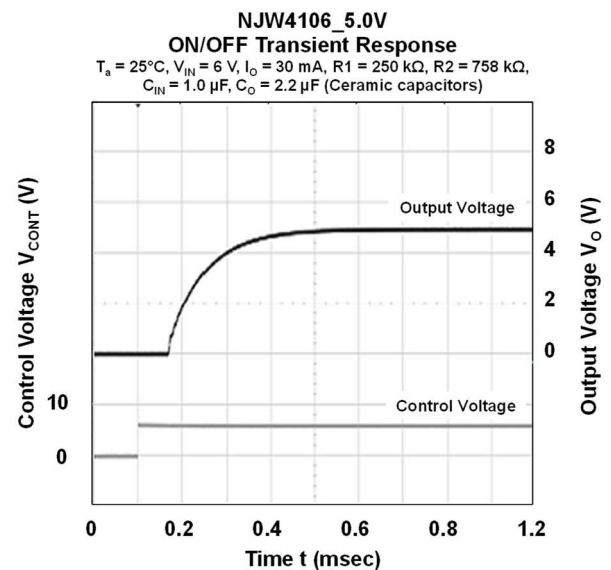
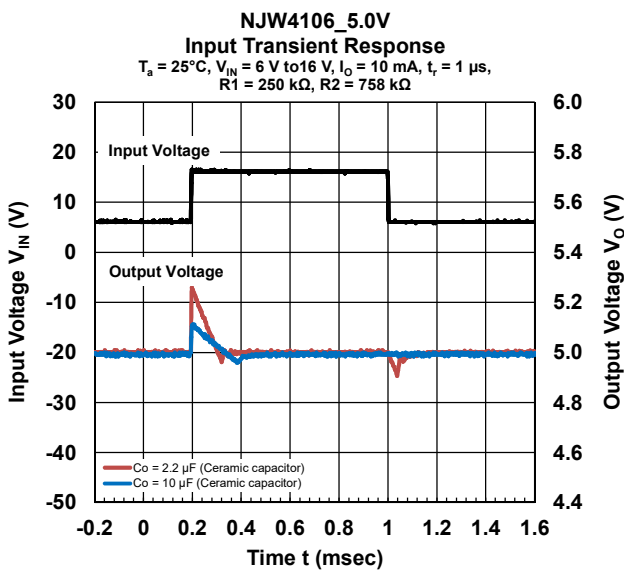
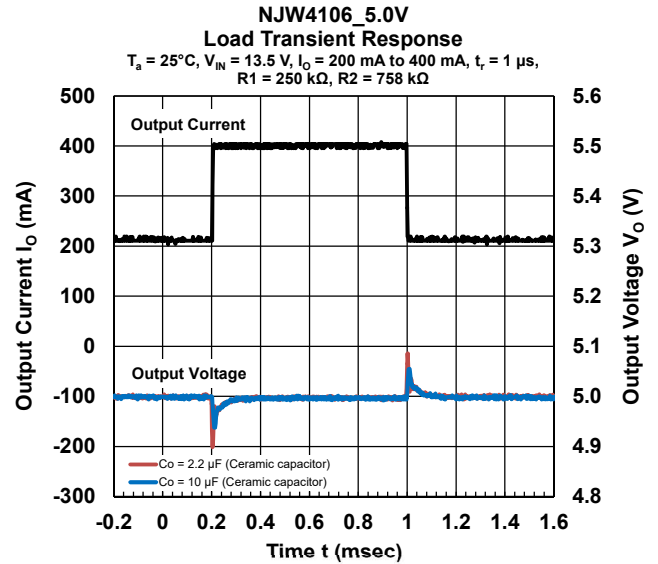
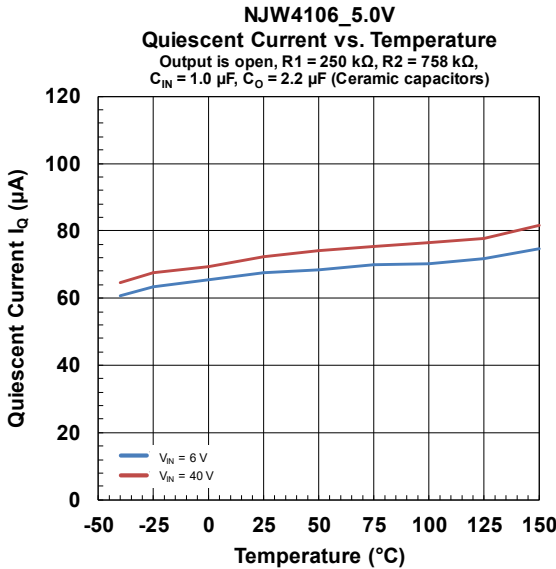
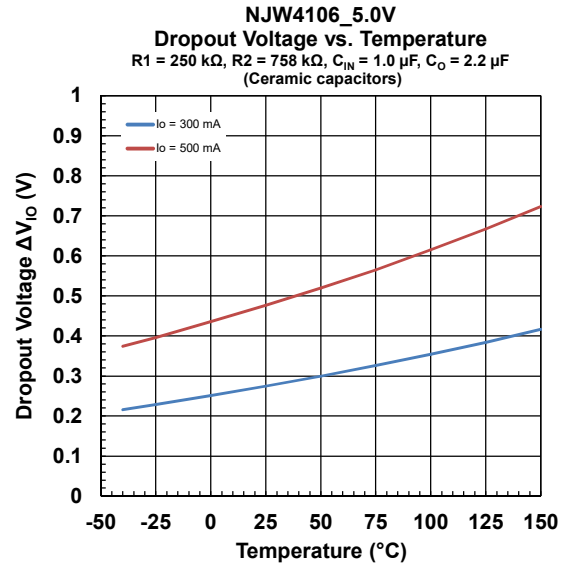
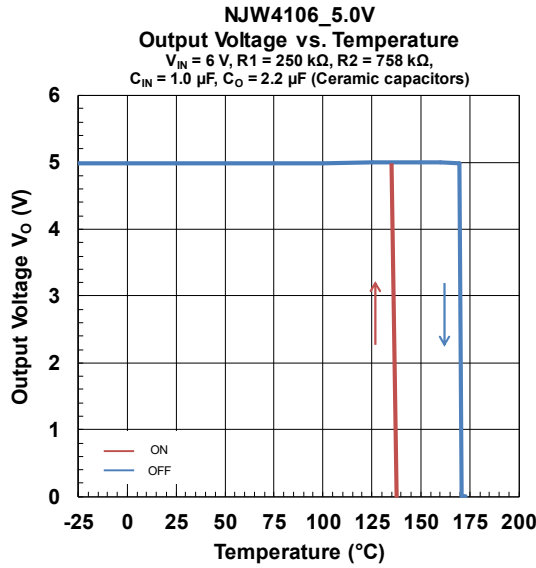
■ 特性例



■ 特性例

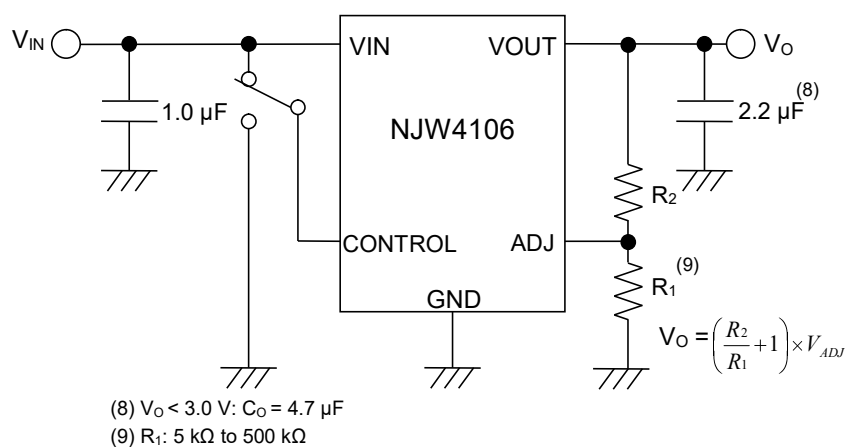


■ 特性例



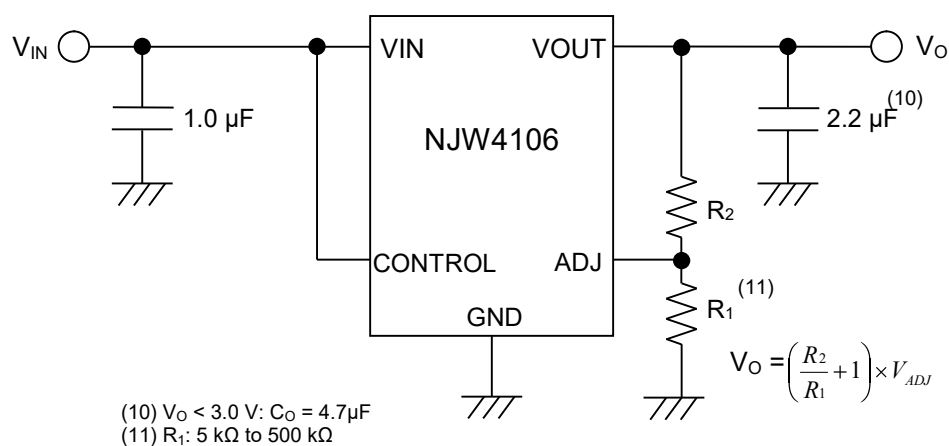
■ 標準回路図

① ON/OFF 機能使用時



CONTROL 端子は High レベルで ON し、オープンもしくは GND レベルで OFF します。

② ON/OFF 機能未使用時



CONTROL 端子は V_{IN} に接続してください。

■ アプリケーションノート

入力コンデンサ (C_{IN})

C_{IN} は電源インピーダンスが高い場合や、 V_{IN} 又は GND 配線が長くなった場合の発振を防止する効果があります。そのため、1.0 μ F 以上の C_{IN} を V_{IN} 端子－GND 端子間にできるだけ配線が短くなるように接続してください。

出力コンデンサ (C_O)

C_O はレギュレータ内蔵のエラーアンプの位相補償を行うために必要であり、容量値と ESR (Equivalent Series Resistance: 等価直列抵抗) が回路の安定度に影響を与えます。推奨容量値未満や安定動作領域外の ESR の C_O を使用すると内部回路の安定度が低下し、出力ノイズやリングングの増加、発振の可能性があります。安定動作のために 2.2 μ F 以上($V_O \geq 3$ V 時)で安定動作領域内($0.001 \Omega \leq \text{ESR} \leq 100 \Omega$)の C_O を、 V_{OUT} 端子－GND 端子間に最短配線で接続して下さい。推奨容量値は出力電圧により異なり、特に低出力電圧品では大きな容量を必要とする場合がありますので出力電圧毎に推奨容量値をご確認ください。容量値は大きいほど出力ノイズとリップル成分が減少し、出力負荷変動に対する応答性も向上させることができます。

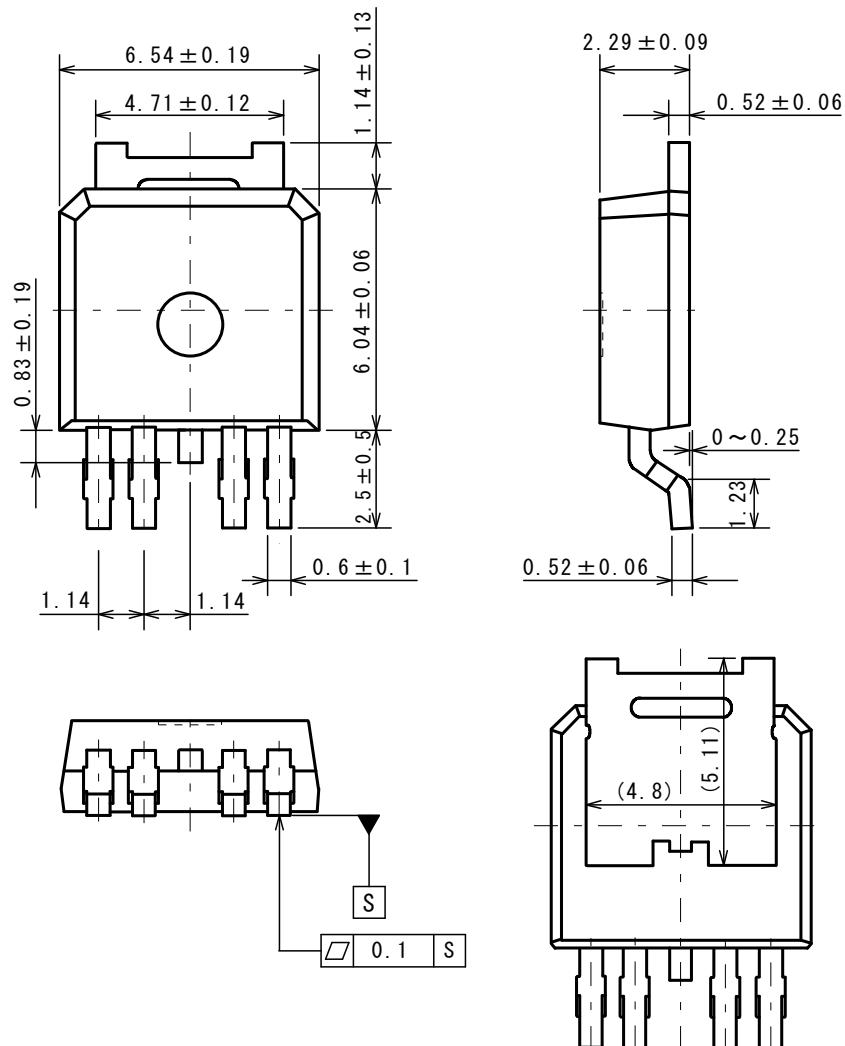
一般的にコンデンサは特性変動(周波数特性、温度特性、DC バイアス特性、等)による容量低下が発生します。コンデンサ選定の際は公称値に対するばらつきや上記特性変動等も加味して適切なコンデンサを選定してください。

低電圧誤動作防止回路 (UVLO)

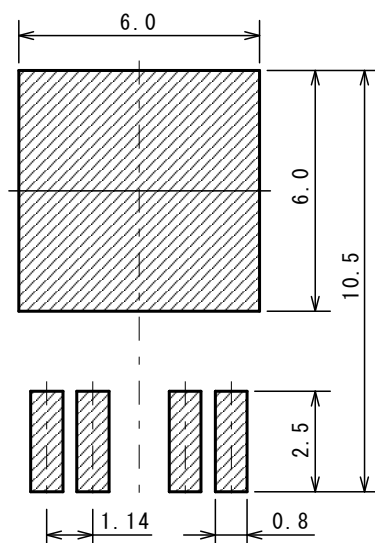
NJW4106 は UVLO 回路を内蔵しており入力電圧が低くなった場合の誤動作を防止します。入力電圧が上昇し、UVLO 解除電圧 (2.7 V, typ)を超えると出力電圧が立ち上がります。入力電圧が低下し、UVLO 検出電圧(2.2 V, typ)*となると出力電圧が立下ります。

*UVLO 検出電圧 (2.2 V, typ) = UVLO 解除電圧 (2.7 V, typ) - UVLO ヒステリシス電圧 (500 mV, typ)

■ 外形寸法図

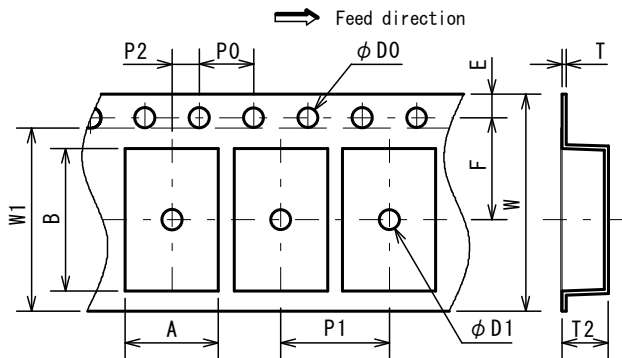


■ フットパターン



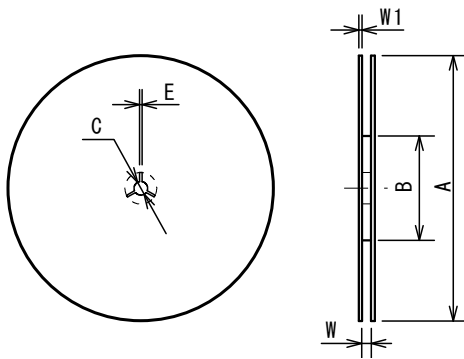
■ 包装仕様

テーピング寸法



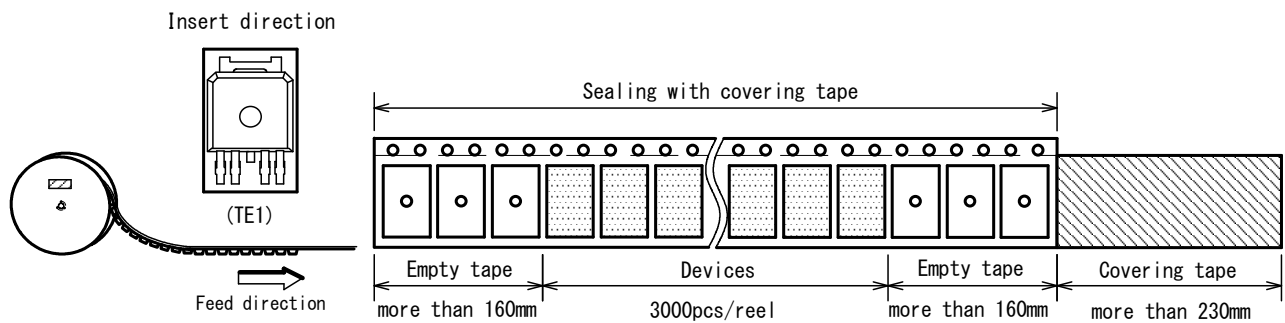
SYMBOL	DIMENSION	REMARKS
A	6.9 ± 0.1	BOTTOM DIMENSION
B	10.5 ± 0.1	BOTTOM DIMENSION
D0	$1.5^{+0.1}_0$	
D1	$1.5^{+0.1}_0$	
E	1.75 ± 0.1	
F	7.5 ± 0.1	
P0	4.0 ± 0.1	
P1	8.0 ± 0.1	
P2	2.0 ± 0.1	
T	0.3 ± 0.1	
T2	3.4 max	
W	16.0 ± 0.3	
W1	13.5	THICKNESS 0.1max

リール寸法

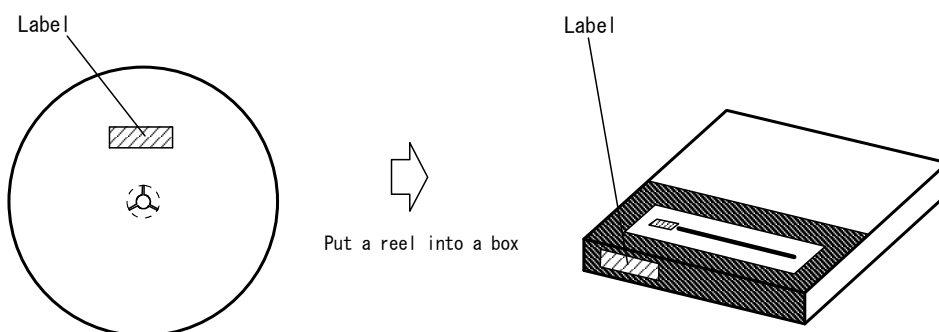


SYMBOL	DIMENSION
A	$\phi 330 \pm 2$
B	$\phi 80 \pm 1$
C	$\phi 13 \pm 0.5$
E	2
W	17.5 ± 0.5
W1	2 ± 0.5

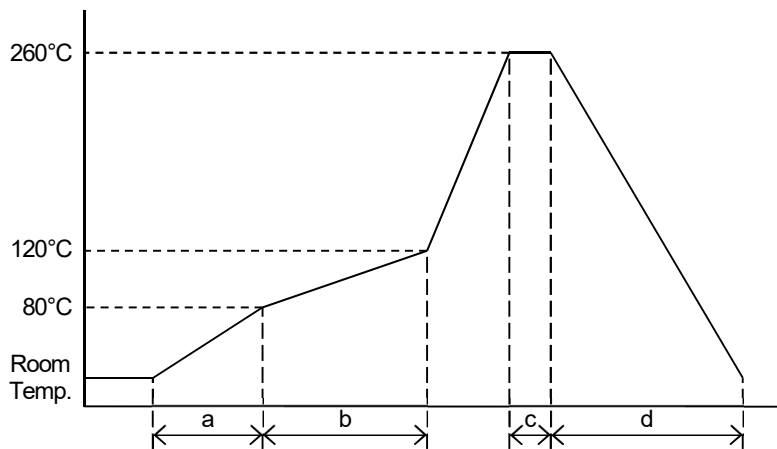
テーピング状態



梱包状態



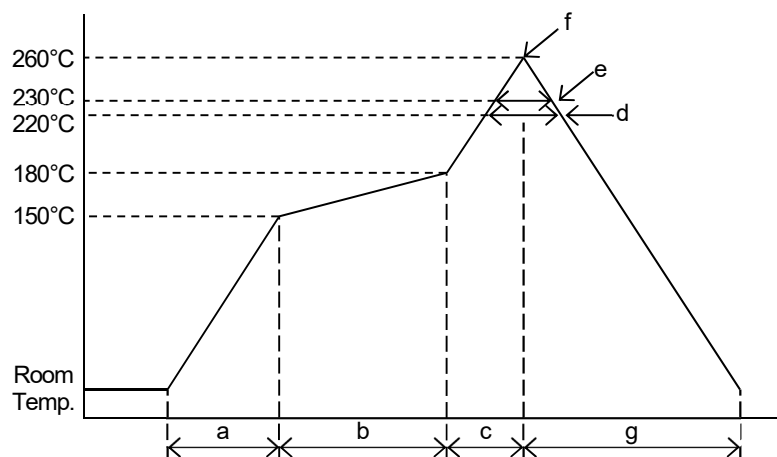
■ 推奨実装方法 フロー温度プロファイル



a	温度上昇勾配	1 to 7°C/s
b	予備加熱温度 予備加熱時間	80 to 120°C 60 to 120s
c	ピーク温度 ピーク時間	260°C 以下 10s 以内
d	冷却温度勾配	1 to 7°C/s

温度測定点: パッケージ表面

リフロー温度プロファイル



a	温度上昇勾配	1 to 4°C/s
b	予備加熱温度 予備加熱時間	150 to 180°C 60 to 120s
c	温度上昇勾配	1 to 4°C/s
d	実装領域 A 温度 時間	220°C 60s 以内
e	実装領域 B 温度 時間	230°C 40s 以内
f	ピーク温度	260°C 以下
g	冷却温度勾配	1 to 6°C/s

温度測定点: パッケージ表面

■ 改訂履歴

日付	版数	変更内容
2021.06.09	Ver.1.0	新規リリース

【注意事項】

1. 当社は、製品の品質、信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生することがあります。当社半導体製品の故障により結果として、人身事故、火災事故、社会的な損害等を生じさせることのないように、お客様の責任においてフェールセーフ設計、冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行い、機器の安全性の確保に十分留意されますようお願いいたします。
2. このデータシートの掲載内容の正確さには万全を期しておりますが、掲載内容について何らかの法的な保証を行うものではありません。とくに応用回路については、製品の代表的な応用例を説明するためのものです。また、産業財産権その他の権利の実施権の許諾を伴うものではなく、第三者の権利を侵害しないことを保証するものでもありません。
このデータシートに記載されている商標は、各社に帰属します。
3. このデータシートに掲載されている製品を、特に高度の信頼性が要求される下記の機器にご使用になる場合は、必ず事前に当社営業窓口までご相談願います。
 - (ア) 航空宇宙機器
 - (イ) 海底機器
 - (ウ) 発電制御機器（原子力、火力、水力等）
 - (エ) 生命維持に関する医療装置
 - (オ) 防災 / 防犯装置
 - (カ) 輸送機器（飛行機、鉄道、船舶等）
 - (キ) 各種安全装置
4. このデータシートに掲載されている製品の仕様を逸脱した条件でご使用になりますと、製品の劣化、破壊等を招くことがありますので、なさないように願います。仕様を逸脱した条件でご使用になられた結果、人身事故、火災事故、社会的な損害等が生じた場合、当社は一切その責任を負いません。
5. ガリウムヒ素(GaAs)製品取り扱い上の注意事項
(対象製品: GaAs MMIC、フォトリフレクタ)
上記対象製品は、法令で指定された有害物のガリウムヒ素(GaAs)を使用しております。危険防止のため、製品を焼いたり、砕いたり、化学処理を行い気体や粉末にしないでください。廃棄する場合は関連法規に従い、一般産業廃棄物や家庭ゴミとは混ぜないでください。
6. このデータシートに掲載されている製品の仕様等は、予告なく変更することがあります。ご使用にあたっては、納入仕様書の取り交わしが必要です。

