

实验二:组合逻辑电路设计实验

1. 实验目的

- 1. 掌握组合逻辑电路的设计方法及卡诺图化简方法。
- 2. 熟悉测量分析仪器单元的操作。

2. 实验设备和器件

- 1. TDX - DS 或 TDX - ADS 实验箱 1 台
- 2. 74LS10 三输入端与非门 1 片
- 3. 74LS00 二输入端四与非门 1 片
- 4. 74LS04 六反相器 1 片

3. 实验内容及步骤

用所给集成电路组件设计一个多输出组合逻辑电路。该电路的输入是一个 BCD 码，当电路检测到输入的代码大于 3 时，电路的输出 $F_1=1$ ，其它情况 $F_1=0$ 。当输入的代码小于 7 时，电路的另一个输出 $F_2=1$ ，其它情况 $F_2=0$ 。该电路的框图如图 2 - 2 - 1 所示。

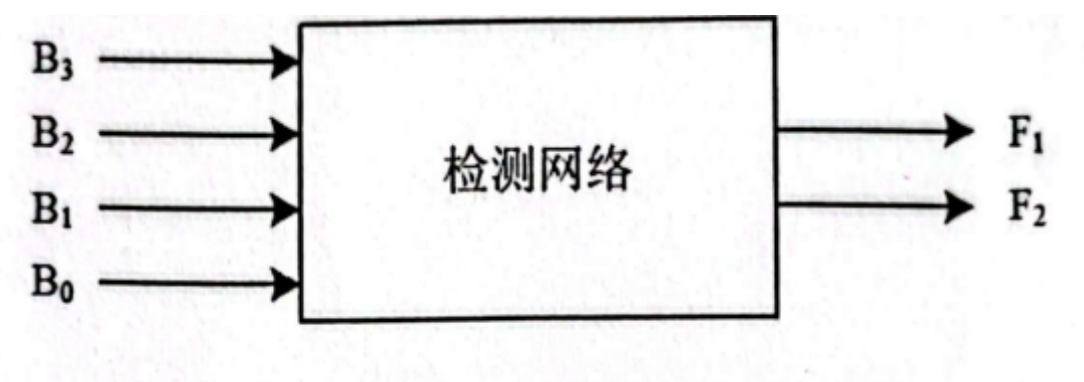


图 2-2-1 组合逻辑电路设计实验框图

根据题意，画出真值表如表 2 - 2 - 1 所示。

表 2-2-1 组合逻辑电路设计实验真值表

$B_3 B_2 B_1 B_0$	F_1	F_2
0 0 0 0	0	1
0 0 0 1	0	1
0 0 1 0	0	1
0 0 1 1	1	1
0 1 0 0	1	1
0 1 0 1	1	1
0 1 1 0	1	1
0 1 1 1	1	0
1 0 0 0	1	0
1 0 0 1	1	0

B_3	B_2	B_1	B_0	F_1	F_2
0	0	0	0	0	1
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	1
0	1	0	0	1	1
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	1	0

1	0	1	0	d	d
1	0	1	1	d	d
1	1	0	0	d	d
1	1	0	1	d	d
1	1	1	0	d	d
1	1	1	1	d	d

根据真值表写出输出函数的最少项表达式：

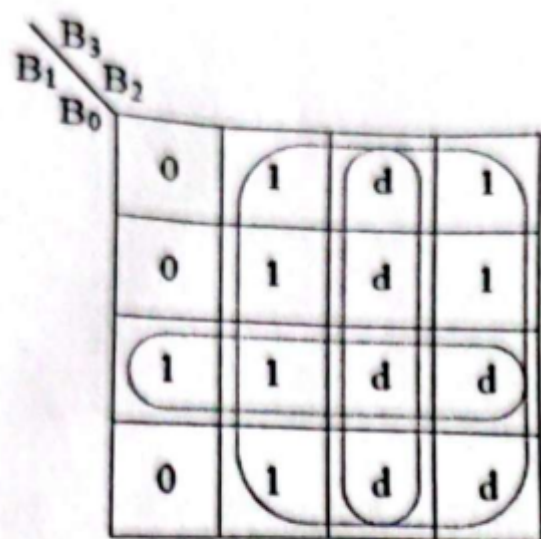
$$F_1 = \Sigma m(3, 4, 5, 6, 7, 8, 9) + d(10, 11, 12, 13, 14, 15)$$

$$F_2 = \Sigma m(0, 1, 2, 3, 4, 5, 6) + d(10, 11, 12, 13, 14, 15)$$

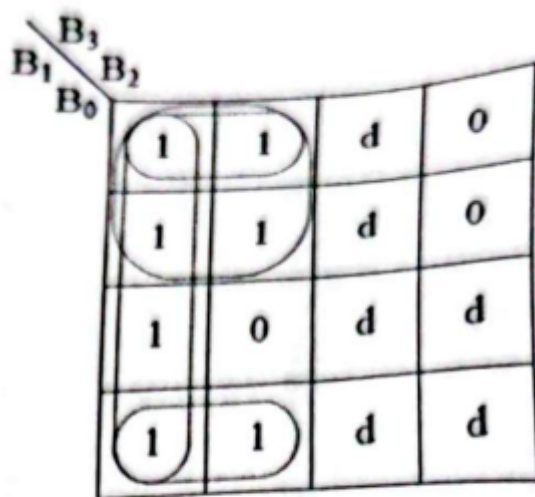
用卡诺图对上式的 F_1 、 F_2 进行化简得：

$$F_1 = B_3 + B_2 + B_1 B_0$$

$$F_2 = B_3 B_2 + B_1 B_0 + B_3 B_1$$



F_1



F_2

图 2-2-2 组合逻辑电路设计实验卡诺图化简

实验要求采用“与非”门实现上述函数，则应将它们转换成“与非—与非”表达式：

$$F_1 = B_3 \cdot B_2 \cdot B_1 B_0$$

$$F_2 = B_3 B_2 \cdot B_1 B_3 \cdot B_0 B_3$$

其对应的逻辑电路如图 2 - 2 - 3 所示。

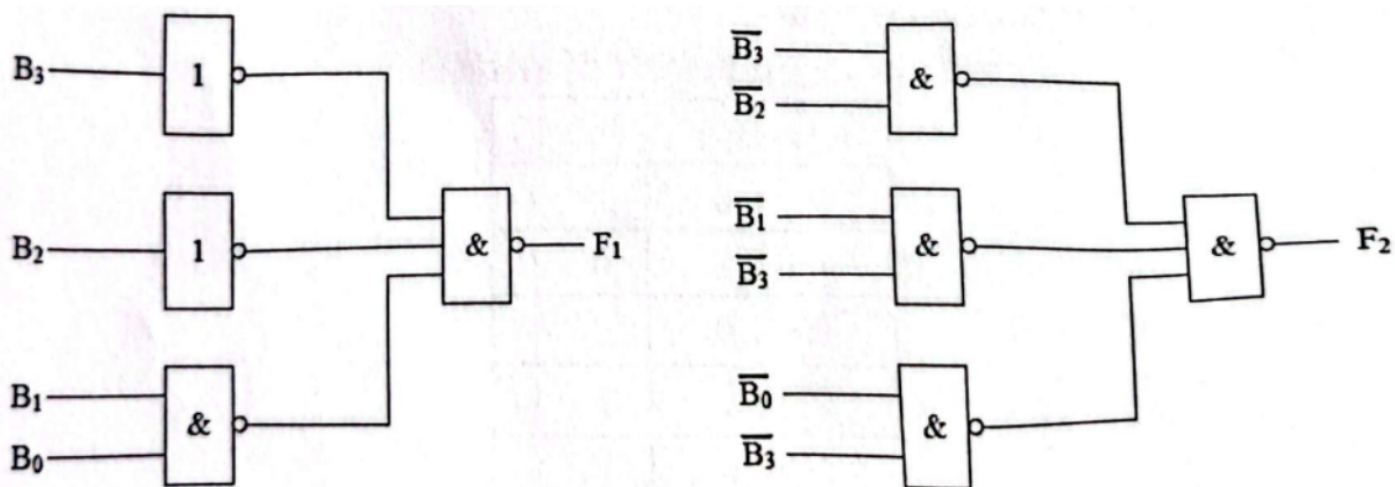


图 2-2-3 组合逻辑电路设计实验电路图

实验步骤如下：

1. 利用前面所述芯片，根据图 2 - 2 - 3 所示电路图连接线路。
2. 根据图 2 - 2 - 4 所示连接测量线路。
3. 连接好线路后，进入状态表功能。打开码型显示，进入编辑码型，选择输出 BCD 码。

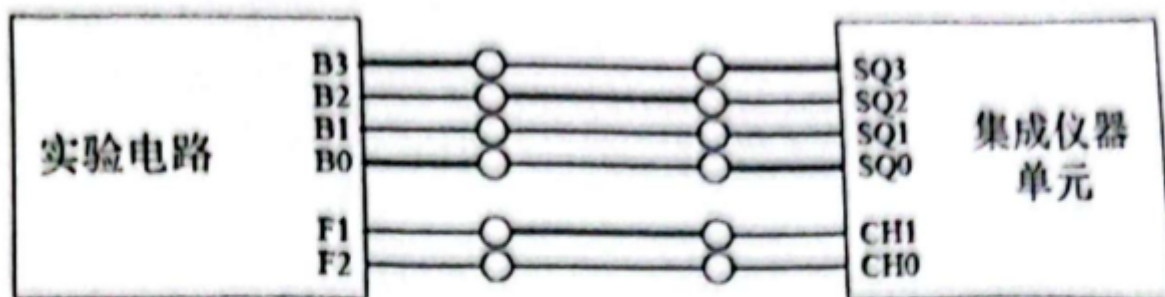


图 2-2-4 组合逻辑电路设计实验测量线路图

然后返回状态表主菜单，点击单步一步一步运行直到 BCD 码发送完成或者直接点击连续运行，即可得到测量结果。将结果以数据表格的文件形式保存下来。如表 2-2-2 所示。

表 2-2-2 通过状态表测量功能的测量结果

S7	S6	S5	S4	S3	S2	S1	S0	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	0	1	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	1	0	Z	Z	Z	Z	Z	Z	0	1
0	0	0	0	0	0	1	1	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	0	0	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	0	1	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	1	0	Z	Z	Z	Z	Z	Z	1	1
0	0	0	0	0	1	1	1	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	1	0	0	0	Z	Z	Z	Z	Z	Z	1	0
0	0	0	0	1	0	0	1	Z	Z	Z	Z	Z	Z	1	0

