

LAB 1

| |
|---|
| Câu 1: Thiết kế module IC 74LS138. |
| Câu 2: Tái sử dụng module IC 74LS138 ở câu 1, viết một wrapper thực hiện hàm $f(x, y, z) = \sum(0, 2, 5, 7)$ |
| Câu 3: Tái sử dụng module IC 74LS138 ở câu 1, viết một wrapper thực hiện hàm $f(x, y, z, w) = \sum(1, 3, 5, 7, 10, 12, 14)$ |

NOTE:

- Sử dụng ngôn ngữ Verilog hoặc SystemVerilog.
- Sử dụng bất kỳ công cụ nào bạn có như **Quartus**, **Vivado**, **ModelSim**, hoặc các phần mềm tương đương để thiết kế và mô phỏng các module và wrapper.

Hết !