

KỸ THUẬT SỐ

NỘI DUNG

Chương 1: Hệ thống số - Số nhị phân

- Chuyển đổi giữa các hệ thống số.
- Các phép toán cộng, trừ, nhân, chia trên số nhị phân không dấu.
- Các loại mã nhị phân: BCD, Gray, LED 7 đoạn, ASCII.

Chương 2: Đại số Boole – Cổng logic

- Chuyển đổi qua lại giữa: Biểu thức đại số Boole, Bảng hoạt động, Sơ đồ mạch logic.
- Chuyển đổi giữa dạng chuẩn 1 (S.O.P), chuẩn 2 (P.O.S) sang dạng chính tắc 1, chính tắc 2.
- Rút gọn hàm (dạng chính tắc 1, chính tắc 2, 1 biểu thức bất kỳ) dùng bìa Karnaugh (bìa K).

Chương 3: Hệ tổ hợp

- Bộ cộng HA, FA, IC 74283
- Bộ giải mã
- Bộ dồn kênh

Chương 4: Hệ tuần tự

- Chốt
- FF (sơ đồ logic, bảng hoạt động, bảng đặt tính, bảng kích thích, khảo sát giản đồ xung)
- Chuyển đổi qua lại giữa các mạch FF
- Thiết kế bộ đếm nối tiếp
- Hệ tuần tự (giản đồ trạng thái, bảng chuyển trạng thái của hệ Moore, Mealy)
- Máy trạng thái (ASM): lưu đồ máy trạng thái, khảo sát giản đồ xung ngõ ra, cài đặt lưu đồ máy trạng thái (tìm phương trình ngõ ra và phương trình biến trạng thái kế tiếp).

TÀI LIỆU THAM KHẢO:

[1]: Slide & Record Cô Kim Anh (ngắn gọn, súc tích): [link](#)

[2]: Slide Thầy Lưu Phú (đầy đủ): [link](#)

[3]: Video ngắn, tổng hợp kiến thức, hướng dẫn giải BT: [Chương 1](#), [Chương 2](#), [Chương 3](#).

BÀI TẬP CHƯƠNG 2:

2.2 Chứng minh các biểu thức Boole sau, sử dụng các tiên đề và định lý đại số Boole (a) $AB\bar{C} + B\bar{C}\bar{D} + BC + \bar{C}D = B + \bar{C}D$ (b) $WY + \bar{W}Y\bar{Z} + WXZ + \bar{W}X\bar{Y} = WY + \bar{W}X\bar{Z} + \bar{X}Y\bar{Z} + X\bar{Y}Z$ (c) $A\bar{D} + \bar{A}B + \bar{C}D + \bar{B}C = (\bar{A} + \bar{B} + \bar{C} + \bar{D})(A + B + C + D)$					
2.5 Áp dụng định lý DeMorgan chuyển biểu thức Boole $F = X\bar{Y} + WX + W\bar{Y}$ sang dạng: (a) Toàn hàm OR và NOT (b) Toàn hàm AND và NOT (c) Toàn hàm NAND và NOT					
2.6 Thiết lập bảng chân trị và viết biểu thức chính tắc thứ 1 và thứ 2 của các hàm Boole sau (a) $(XY + Z)(Y + XZ)$					
2.7 Cho bảng chân trị các hàm Boole E và F:					
(a) Viết các minterm và max term của E và F (b) Viết các maxterm của \bar{E}, \bar{F} (c) Viết các minterm của E+F và E.F (d) Viết biểu thức đại số SOP của E.F (e) Rút gọn biểu thức E.F					
	X	Y	Z	F	E
	0	0	0	0	0
	0	0	1	0	1
	0	1	0	0	0
	0	1	1	1	1
	1	0	0	1	0
	1	0	1	1	0
	1	1	0	1	1
	1	1	1	1	1
2.8 Vẽ sơ đồ logic theo đúng như biểu diễn các biểu thức Boole sau: (a) $\bar{A}\bar{B}\bar{C} + AB + AC$					
2.9 Chuyển đổi các biểu thức Boole BT 2.8 về dạng SOP, rút gọn bằng phương pháp đại số (nếu được), và vẽ sơ đồ logic sử dụng dãy AOI.					
2.10 Chuyển đổi các biểu thức Boole BT 2.8 về dạng POS, rút gọn bằng phương pháp đại số (nếu được) và vẽ sơ đồ logic sử dụng dãy OAI.					
2.12 Rút gọn các hàm Boole sau, sử dụng bảng K: (a) $\bar{X}\bar{Z} + Y\bar{Z} + XYZ$					

2.13 Rút gọn các hàm Boole sau, sử dụng bảng K:

(a) $F(A, B, C, D) = \sum m(3, 4, 5, 6, 7, 12, 13)$

2.14 Rút gọn các hàm Boole sau, sử dụng bảng K:

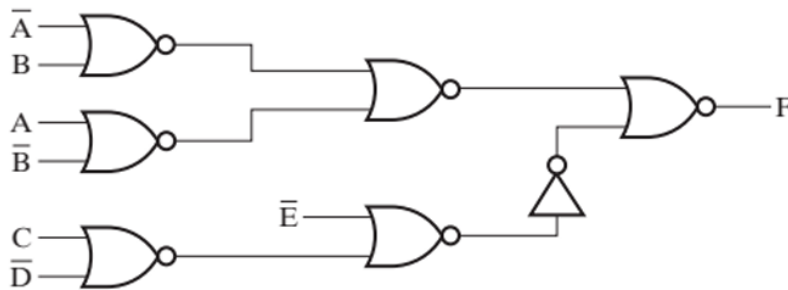
(a) $F(A, B, C, D) = \prod M(2, 5, 6, 7, 8, 9, 10, 11, 14)$

2.15 Rút gọn các hàm Boole có các giá trị tùy định, sử dụng bảng K:

(a) $F(A, B, C) = \sum m(3, 5, 6) + \sum d(0, 7)$

(d) $F(A, B, C, D) = \prod M(5, 7, 13, 15) \cdot \prod D(9, 11)$

2.17 Cho sơ đồ logic sau:



(a) Viết biểu thức Boole của ngõ ra F

(b) Viết lại biểu thức Boole của F dưới dạng toàn NAND

(c) Vẽ sơ đồ logic của hàm F sử dụng toàn cổng NAND, với chỉ 5 ngõ vào A, B, C, D, E

BÀI TẬP CHƯƠNG 3:

Design MUX 10:1 using MUX 4:1 & Truth table

Câu 5: Thiết kế một mạch có ngõ vào là hai số nhị phân 2 bit A (A_1A_0) và B (B_1B_0), 2 ngõ vào điều khiển S_1S_0 . Mạch cho ngõ ra thực hiện theo bảng sau:

S1	S0	Ngõ ra
0	0	Not A
0	1	A and B
1	0	A or (not B)
1	1	A xor B

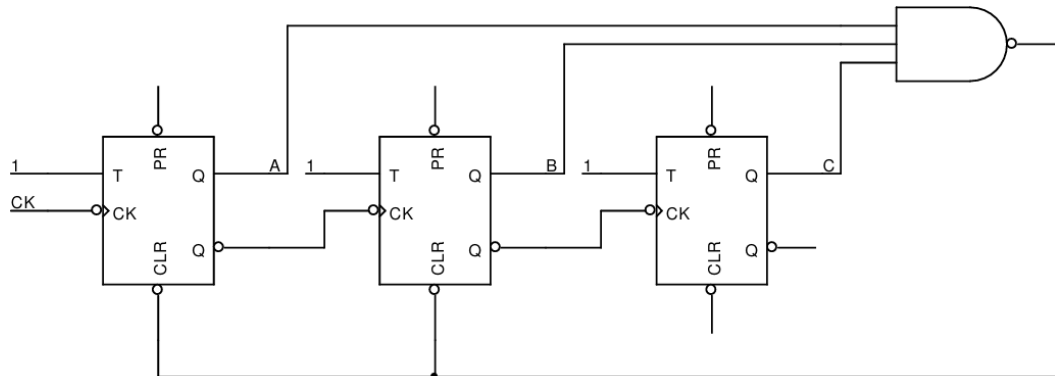
<p>Câu 6:</p> <p>a. Thiết kế mạch thực hiện so sánh 2 số nhị phân 2 bit A (A_1A_0) và B (B_1B_0), hệ có 3 ngõ ra tương ứng với 3 trường hợp $A > B$, $A < B$ và $A = B$</p> <p>b. Lập lại câu a với 2 số nhị phân 4 bit A ($A_3A_2A_1A_0$) và B ($B_3B_2B_1B_0$)</p>
<p>Câu 1: Cho X ($X_2X_1X_0$) là số nguyên không dấu 3 bit. Thiết kế mạch thực hiện tính $Y = X * (X - 6)$ sử dụng:</p> <p>a. IC dồn kênh 74LS151 và 1 số cổng logic</p> <p>b. IC giải mã 74LS138 và 1 số cổng logic</p> <p>Mô phỏng các thiết kế ở câu a và b</p>
<p>Câu 2: Cho X ($X_3X_2X_1X_0$) là số nguyên không dấu 4 bit. Thiết kế mạch cho ngõ ra $Z = 1$ khi $X > 10$ sử dụng:</p> <p>a. IC dồn kênh 74LS151 và 1 số cổng logic</p> <p>b. IC giải mã 74LS138 và 1 số cổng logic</p> <p>c. IC cộng 74LS283 và 1 số cổng logic</p> <p>Mô phỏng các thiết kế ở câu a, b và c</p>
<p>Câu 4: Cho X ($X_3X_2X_1X_0$) là số nguyên không dấu 4 bit. Thiết kế mạch thực hiện tính $Y = 4X - 7$ sử dụng IC cộng 74LS283 và 1 số cổng logic. Mô phỏng thiết kế.</p>
<p>Câu 6: Cho X ($X_3X_2X_1X_0$) là số nguyên không dấu 4 bit. Thiết kế mạch thực hiện tính $Y = 2 X - 8$ sử dụng IC cộng 74LS283 và 1 số cổng logic. Mô phỏng thiết kế.</p>
<p>3.15 Thiết kế mạch cộng toàn phần FA bằng</p> <p>a) mạch giải mã 3 sang 8: 74LS138</p> <p>b) MUX 8 sang 1.</p>
<p>LAB2 TN6: Thiết kế mạch thực hiện hàm $f(x,y,z) = \sum(0,2,5,7)$ sử dụng IC 74LS138.</p>
<p>LAB2 TN7: Thiết kế mạch thực hiện hàm $f(x,y,z,w) = \sum(1,3,5,7,10,12,14)$ sử dụng các IC 74LS138.</p>
<p>LAB2 TN4: Thiết kế mạch thực hiện hàm $f(x,y,z) = \sum(1,2,4,7)$ sử dụng IC 74LS151.</p>
<p>LAB2 TN5: Thiết kế mạch thực hiện hàm $f(x,y,z,w) = \sum(2,5,7,9,12,13)$ sử dụng các IC 74LS151.</p>

BÀI TẬP CHƯƠNG 4:

Difference between Latch and Flip Flop
--

Design D Latch and D Flip Flop using Multiplexer

4.30 Cho mạch đếm sau



Hãy vẽ dạng sóng A, B, C theo CK và cho biết dung lượng đếm của mạch

Chuyển đổi từ JK-FF, T-FF, SR-FF thành D-FF.

Thiết kế bộ đếm lên 4 bit: sử dụng DFF: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 0, 1, 2, 3...

Thiết kế bộ đếm xuống 4 bit: sử dụng DFF: 7, 6, 5, 4, 3, 2, 1, 0, 7, 6, 5, 4,...

Design of the 1101 Sequence Detector (Non-overlap, Overlap, Moore, Mealy)