

0.1. Sample and Hold

El modulo de **Sample and Hold** puede ser esquematizado de la siguiente forma:

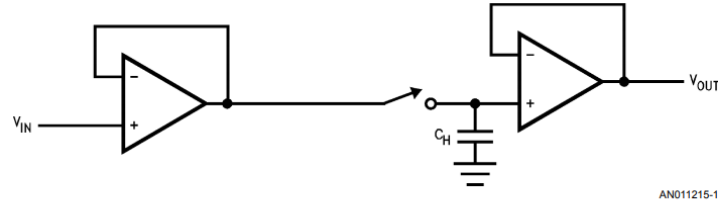


FIGURE 1. A Simple S/H Amplifier Consists of a Switch, Hold Capacitor, and Input and Output Buffers

Figura 1

Su objetivo es el de muestrear la señal analógica de entrada y retener su valor por un pequeño intervalo de tiempo para que la circuiteria colocada inmediatamente después puede utilizar ese valor para digitalizarla.

0.1.1. Breve introducción formal al muestreo de señales con Sample and Hold

Dada una señal analógica de entrada $x_a(t)$ deseamos obtener una señal discreta $x(n)$ producto de muestrear la entrada cada T segundos. Como primer paso para hallar la expresión que describe a la señal discreta efectuamos un muestreo ideal sobre la entrada

$$x_{\delta_T}(n) = \sum_{-\infty}^{\infty} x_a(t) \delta_T(t - nT) \quad (1)$$

$$x_{\delta_T}(n) = x_a(nT)$$

Una vez tomadas las muestras de la señal, la convolucionaremos con un pulso unitario de duración T

$$x(n) = p(t) * \sum_{-\infty}^{\infty} x_a(nT) \delta_T(t - nT)$$

$$x(n) = \sum_{-\infty}^{\infty} x_a(nT) p_T(t - nT) \quad (2)$$

Este proceso queda ilustrado en la figura 2

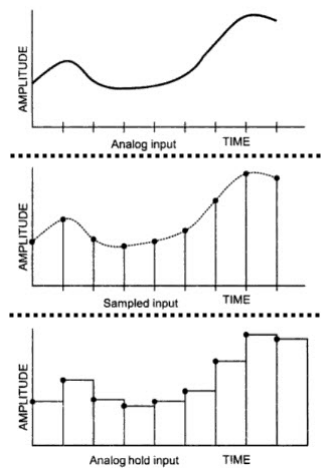


Figura 2

0.1.2. Consideraciones sobre el modulo Sample and Hold

Para esto, requerimos de una alta impedancia de entrada lo cual evita cualquier efecto de carga del IC sobre la fuente de la señal. Esto es modelado como un buffer a la entrada. Luego tenemos una **llave**, que puede estar implementada con una llave analogica o transistores MOSFET, la cual se encargara de cambiar del modo muestreo (sample) permitiendo que el capacitor se carga con el valor actual, y mantener (hold) ese valor cuando la misma este abierta. Finalmente tenemos un buffer adicional a la salida para prevenir la descarga del capacitor y así ofrecer mayor fidelidad.

Sin embargo, es necesario adaptarlo a las condiciones en las que se lo va a utilizar. Para esto, se incluyen pines de corrección de tensión de offset, selección tasa de muestreo (para controlar la "llave") y finalmente otro muy importante para escoger el capacitor, C_{hold} más apropiado. Es interesante mencionar la inclusión de un pin **LOGIC REFERENCE** el cual nos brinda mayor flexibilidad al momento de tener que elegir una señal de muestreo

0.1.3. Circuito de corrección de tensión offset

Para poder obtener una digitalización de alta fidelidad es necesario calibrar el IC. En el caso de la digitalización de señales las tensiones de offset pueden provocar interpretaciones erróneas de los verdaderos valores de la señal. De hecho se recomienda que la tensión de offset este por debajo de la mitad del voltaje que ofrece el LSB.

$$V_{OS} < \frac{FS}{2^{n+1}}$$

Donde n es la resolución del **ADC** y FS es el tope de escala. Asumiendo un que los rangos de señal pueden variar entre ± 15 nos da una $FS = 30$.

$$V_{OS} < \frac{FS}{2^{n+1}}$$

$$V_{OS} < \frac{30V}{2^{8+1}}$$

$$V_{OS} < 58.5mV$$

El fabricante nos brinda una configuración para poder compensar la tensión de offset tanto de AC como de DC:

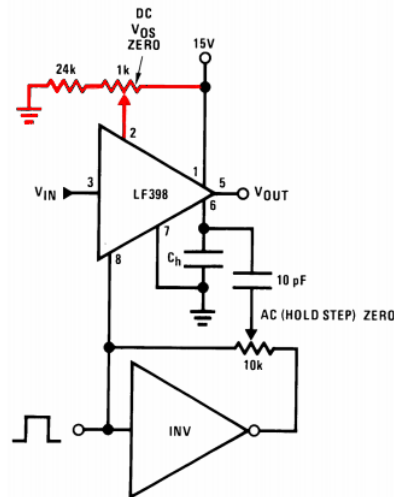


Figura 3: En rojo se señala el circuito de corrección de tensión DC, en la parte inferior notamos la presencia de un circuito que corrige la señal AC no deseada

Para poder establecer la necesidad o no de tener que utilizar el circuito de compensación hemos de medir la tensión de offset:

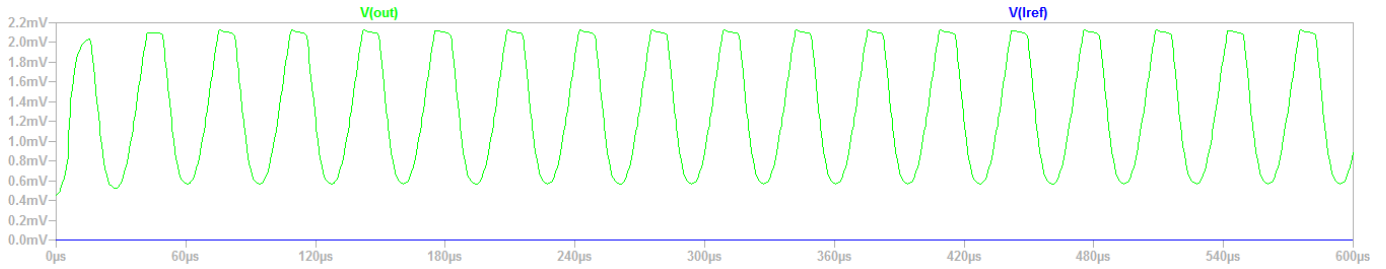


Figura 4: Offset de DC y AC con entrada nula

Del gráfico concluimos:

$$V_{offsetDC} \approx 1mV$$

$$V_{offsetAC} \approx 2mV_{pp}$$

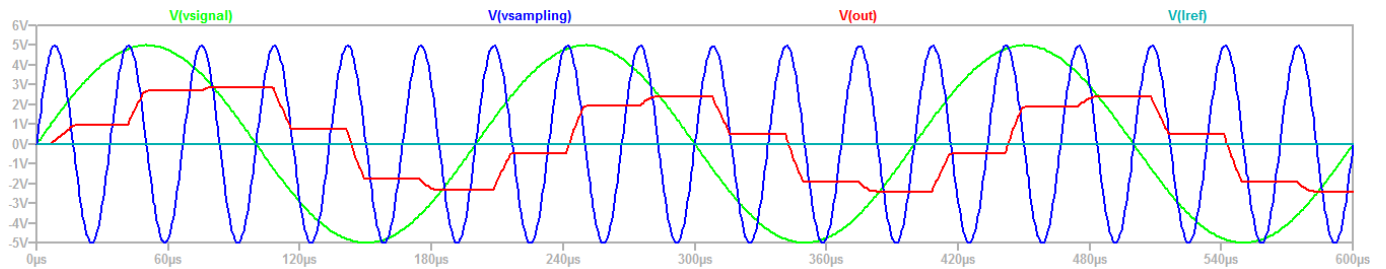
Dado que el offset indeseado no supera el limite permitido podemos prescindir del uso de los circuitos de ajuste.

0.1.4. Análisis experimental del Capacitor de Hold, C_h

El capacitor de hold cumple la funcionalidad de retener el valor muestreado una vez obtenido. Es deseable elegir un capacitor cuyo dieléctrico ofrezca una gran resistencia para evitar la descarga indeseada del capacitor y mantener el valor obtenido.

Se simulo el muestreo de una señal sinusoidal bajo diferentes condiciones de frecuencia de oscilación y distinto valor de C_{hold}

En una primera instancia se utilizo una capacitor de $47nF$.

Figura 5: Sinusoidal 5KHz muestreada a 30KHz con un $C_{hold} = 47nF$

En color **rojo** observamos el resultado de la operación de muestreo. Cuando la señal de muestreo, en **azul**, supera el nivel de la tensión de lógica de referencia (**turquesa**), en este caso seleccionada en 0V, la llave "se cierra" y comienza el proceso de muestreo. Esto implica que el capacitor, C_{hold} , puede comenzar a cargarse con el valor que tenga señal de entrada durante el tiempo que permanezca en ese modo. Cuando la señal de muestreo se encuentra por debajo de la tensión lógica de referencia se ingresa al modo **hold**, la llave "se abre" y el capacitor retiene el último valor obtenido. No obstante vemos que la el valor de tensión almacenado en el capacitor no consigue equiparar aquel de la señal a muestrear. Recordemos que entre mayor sea el valor de la capacitancia más tiempo tardara en cargarse, lo cual afecta el desempeño en el modo de muestreo pero mejora significativamente la persistencia durante el tiempo de **hold** ya que por el contrario tarde más en cargarse.

En este caso se hace evidente que el capacitor no consigue cargarse lo suficientemente rápido.

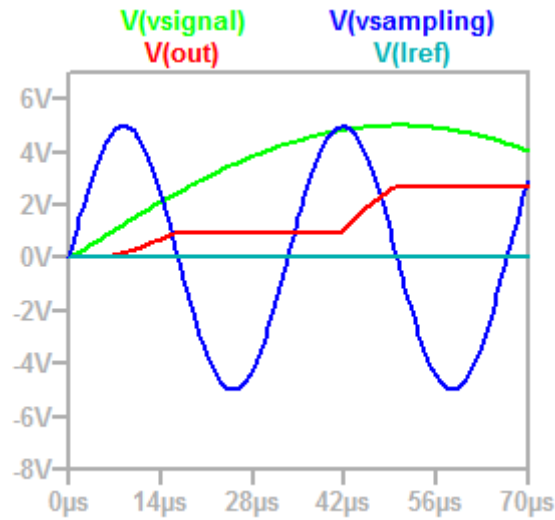


Figura 6: Vista en detalle del proceso

Para poder exhibir el caso opuesto se utilizó un capacitor C_{hold} de $120pF$. Este capacitor posee una capacitancia aproximadamente 400 veces más pequeña que la utilizada anteriormente. En este caso la señal de salida representa más fielmente a la original. Una primera observación nos deja observar que los valores de tensión obtenidos durante el muestreo

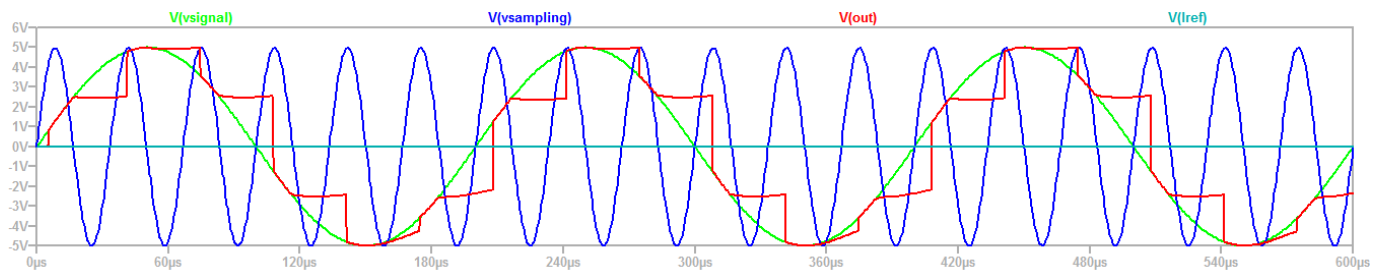


Figura 7

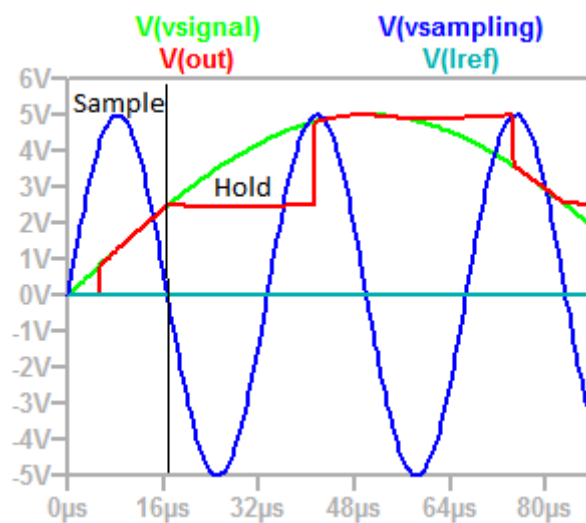


Figura 8

Analizando la figura 8 notamos que el capacitor efectivamente consigue cargarse lo suficientemente rápido como para poder seguirle el paso a la señal de entrada.

Ahora veremos lo que sucede cuando empleamos una señal más rápida. La señal senoidal ahora posee una frecuencia de oscilación de $20 * 3 * 12KHz = 720KHz$. Para poder obtener imágenes y apreciar los cambios en los capacitores elegidos es necesario muestrear a la señal por encima de la mínima permitida por el criterio de Nyquist. Sin embargo, si consideramos ese caso obtenemos $F_{nyquist} = 1.44MHz$. Para la simulación de la figura 9 se utilizó el capacitor de $120pF$ que había obtenido buenos resultados previamente. Pese a ello una imagen poco anticipada aparece al finalizar la simulación. La salida parecería ser nula. Aun si esta no fuese nula no sirve a nuestros propósitos.

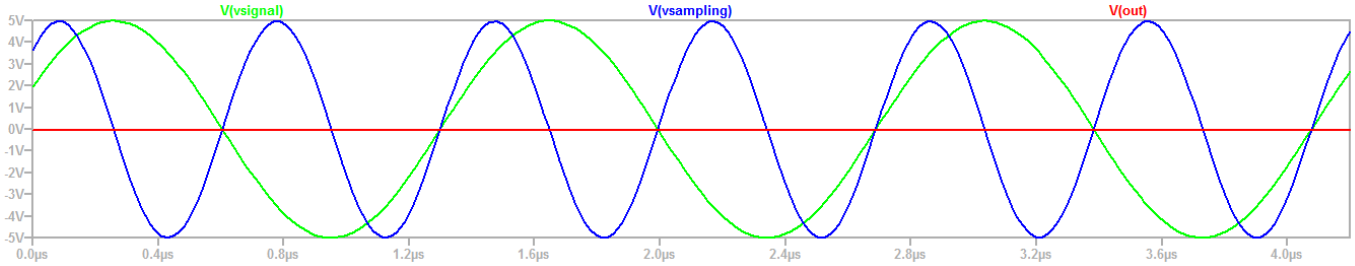


Figura 9

Entonces cabe preguntarse que ha sucedido aquí. En primer lugar podemos relacionar lo ocurrido aquí con lo sucedido cuando se utilizó un capacitor demasiado grande que no conseguía cargarse en la ventana de adquisición provista y por lo tanto exhibía una amplitud menor.

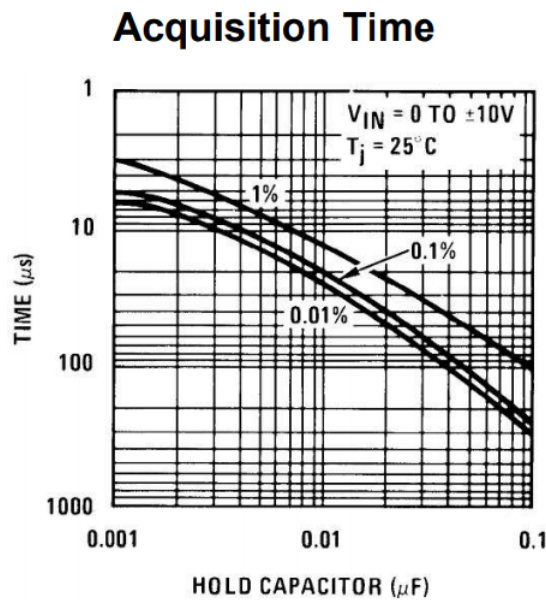


Figura 10

Si elegimos muestrear a la frecuencia de Nyquist entonces le estamos dando al C_{hold} un tiempo de $T_{acq} = \frac{1}{2 * F_{nyquist}}$
 $T_{acq} \approx 700ns = 0.7\mu s$

Por lo tanto, si hacemos referencia a las curvas de la figura 10 vemos que nuestro requerimiento está por fuera de las capacidades del **LF398**. En conclusión, necesitaríamos capacitancias extremadamente pequeñas. Lo cual tiene como contrapartida que no podrán mantener el valor almacenado durante mucho tiempo.

0.1.5. Elección del C_{hold} apropiado

Como analizamos anteriormente, es de suma importancia elegir un capacitor que se cargue lo suficientemente rápido como para poder seguir a la señal de entrada y que a su vez pueda retener el valor muestreado sin degradarse. En nuestro caso de aplicación se sabe que la señal de control tendrá una frecuencia máxima de $F_{osc} = 25KHz$. Por lo tanto el capacitor de hold tendrá un tiempo de adquisición mínimo dado por:

$$T_{acq} = \frac{1}{2 * F_{nyquist}} \approx 20\mu s$$

Entonces observando la figura debajo tenemos 3 opciones a elegir dependiendo de que tan preciso queramos y/o necesitemos que sea el valor de la muestra. Esto se debe a que la elección del capacitor nos lleva a una relación de compromiso. Podemos reducir el tiempo de adquisición al elegir un capacitor más pequeño pero esto incrementará el **hold step** y el **droop rate** lo cual puede ser contraproducente.

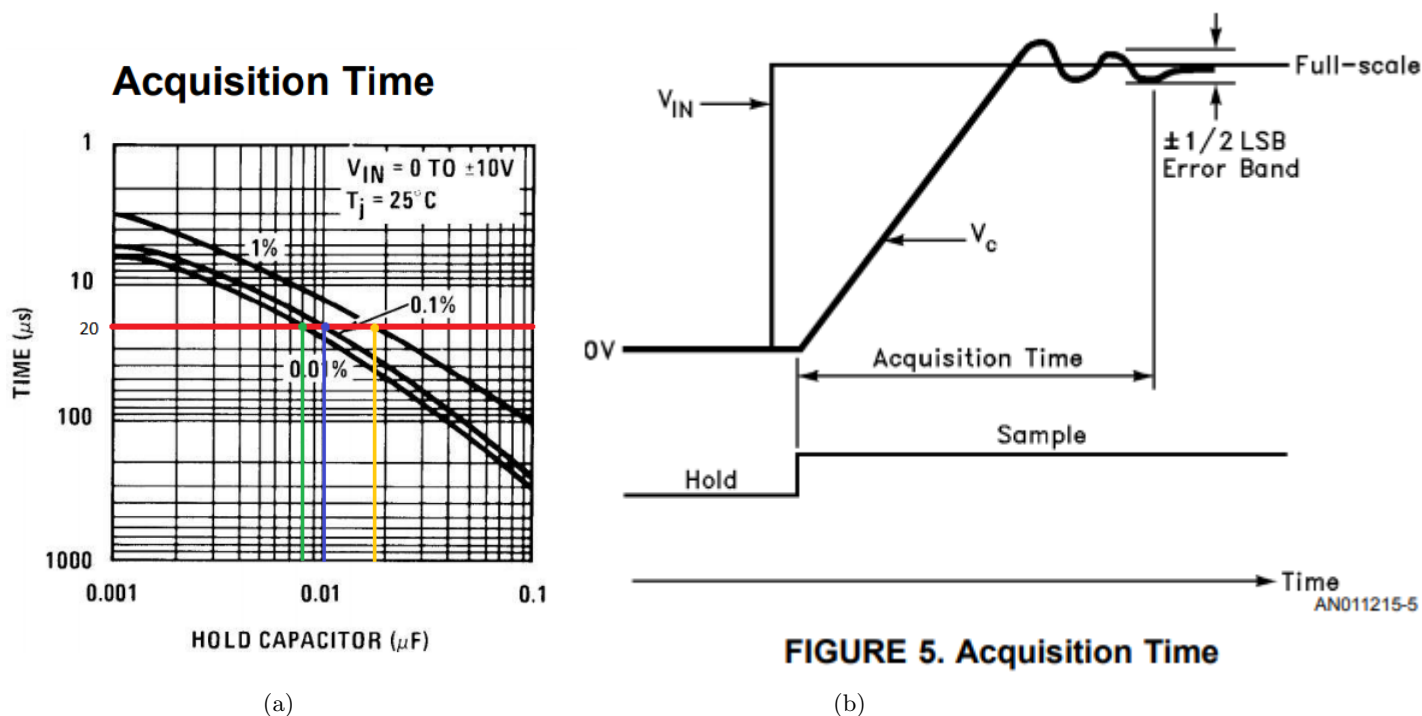


Figura 11: 11a Capacitor de Hold en función del tiempo de adquisición. 11b Vista en detalle del muestreo y los efectos del Hold Step

Error %	C
0.01	8nF
0.1	10nF
1	16nF

Tabla 1: Valores de capacitor posibles según el error aceptado

Dadas estas 3 opciones ahora debemos también considerar el **hold step**. Este fenómeno se describe como un escalón de tensión que es generado cuando se pasa de modo *sample* a modo *hold*.

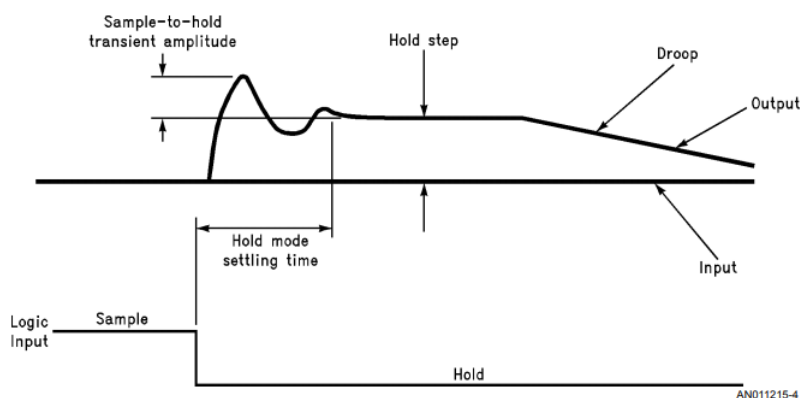


FIGURE 4. Sources of Error in Hold Mode and during the Sample-to-Hold Transition

Figura 12: Vista en detalle de los efectos del hold step

Siguiendo las recomendaciones del fabricante, es deseable que el **hold step** se mantenga por debajo de la mitad del paso de tensión que representa al LSB. Asumiendo un que los rangos de señal pueden variar entre ± 15 nos da una $FS = 30$.

$$V_{hs} < \frac{FS}{2^{n+1}}$$

$$V_{hs} < \frac{30V}{2^{8+1}}$$

$$V_{hs} < 58.5mV$$

En la figura a continuación denotamos dónde se encuentra este limite de forma aproximada.

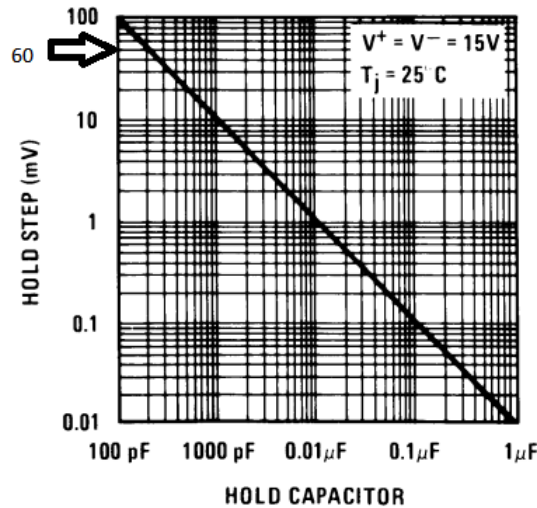


Figure 5. Hold Step

Figura 13

Esto quiere decir que podemos movernos hacia abajo en la curva con bastante libertad dado que cualquier valor de capacitor por encima de los $110pF$ respetara el limite de V_{hs} impuesto. Por último debemos tener en cuenta la tecnología de capacitor a utilizar.

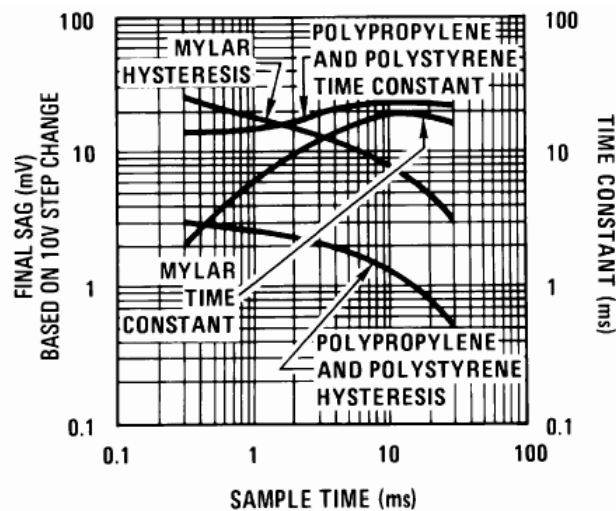


Figure 2. Dielectric Absorption Error in Hold Capacitor

Figura 14

La figura 14 nos indica como cambia la histeresis de diferentes capacitores según el tiempo de muestreo. En una primera observación el gráfico puede resultar un poco confuso. Recordemos que el $T_{acq} = 20\mu s$ y la escala horizontal tiene unidades de ms . Esto es porque las curvas intentan comunicar que tan bien consiguen relajarse los capacitores

luego de realizar un muestreo de tal forma que no quede un remanente que afecte a la siguiente muestra. La importancia de elegir el tipo correcto de tecnología impacta sobre el **droop rate** y en al precisión del muestreo. Se comparan dos grandes grupos de tecnologías, por un lado los capacitores **Mylar** (film)

Por lo expresado anteriormente se utilizara un capacitor de $C_h = 8nF$ dado que nos ofrece el menor error de muestreo y mantiene las exigencias dadas por el *hold step*

Dadas las curvas y las recomendaciones del fabricante se utilizaran capacitores de poliestireno dada su baja histeresis.

0.1.6. Analizando otros modelos de Sample and Hold IC

Por lo general los módulo de Sample and Hold vienen ya incorporados dentro de los **ADC** por lo que no hay abundancia de modelos en el mercado. Sin embargo, esto no quiere decir que el **LF398** sea el único. En esta ocasión vamos a compara al **LF398** contra el **SMP04** de *Analog Devices*

	LF398	SPM04
Impedancia de entrada	10G ω	No posee Input Buffers
Tiempo de adquisición con error de 0.1 %	4 μ s	3,5 μ s
C_h Interno	NO	YES
HOLD step (similar test condition)	2 mV	2,5
Tensión de Offset de entrada Typ	\pm 2mV	\pm 2,5mV
Tensión de Offset de entrada Max	\pm 7mV	\pm 10mV

Tabla 2: Tabla comparativa del LF398 de Texas Instruments vs SMP

No poseer buffers de entrada presupone una gran desventaja frente al **LF398** dado que esto nos limita los tipos de fuentes de señal que podemos colocar a la entrada. Por el contrario la gran impedancia de entrada en el IC fabricado por TI conseguimos total independencia de la impedancia de salida de la fuente de señal y por lo tanto mitigamos los efectos de carga del sample and hold sobre la fuente preservando la información contenida en la señal. El **SPM04** presenta una mayor tensión de offset, esto puede forzar al diseñador a implementar alguna solución para compensar esta magnitud en caso de que produzca errores significativos dependiendo de las condiciones de uso. Sin embargo, a diferencia de Texas Instruments, Analog Devices no propone ningún circuito de compensación ni pines adicionales para implementarlo. Un punto en el que se distingue el SMP04 es que provee 4 unidades de Sample and Hold dentro de un mismo integrado. Debajo se encuentran los diagramas en bloques que describen la estructura interna de cada uno.

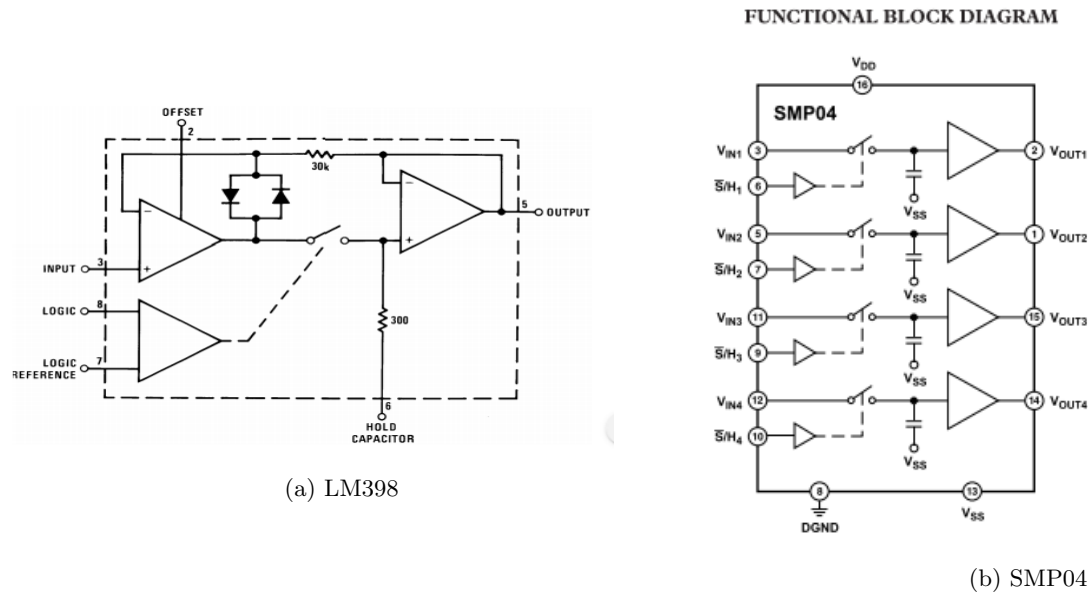


Figura 15: Diagramas en bloque de los modulos Sample and Hold