

Instituto Tecnológico de Buenos Aires

22.05 ANÁLISIS DE SEÑALES Y SISTEMAS DIGITALES

Trabajo práctico N°1

Grupo 3

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
RODRIGUEZ TURCO, Martín Sebastian	56629
LONDERO BONAPARTE, Tomás Guillermo	58150

Profesores

Jacoby, Daniel Andres
Belaustegui Goitia, Carlos F.
Iribarren, Rodrigo Iñaki

Presentado: ??/??/20

Índice

1. Introducción	2
2. Filtros	2
2.0.1. Introducción a filtros Anti Aliasing	2
2.0.2. Introducción a filtros recuperadores	3
2.0.3. Análisis espectral	4
3. Selección de llave analógica	10
4. Sample and Hold	11
4.1. Sample and Hold	11
4.1.1. Breve introducción formal al muestreo de señales con Sample and Hold	11
4.1.2. Consideraciones sobre el modulo Sample and Hold	12
4.1.3. Circuito de corrección de tensión offset	12
4.1.4. Análisis experimental del Capacitor de Hold, C_h	13
4.1.5. Elección del C_{hold} apropiado	16
4.1.6. Analizando otros modelos de Sample and Hold IC	19
5. Entorno de simulación	19
6. Sub-Muestreo	20
6.1. Muestreo Sub-Nyquist	20
6.1.1. Elección de la tasa de muestreo	21
6.1.2. Análisis sin FAA ni recuperador usando muestreo natural	21

1. Introducción

En el siguiente informe se busca diseñar y simular el sistema dado. Para esto, se valió un oscilador que lidie con las señales de control del sistema, un filtro antialiasing y recuperador, un bloque de sample and hold y una llave analógica.

2. Filtros

2.0.1. Introducción a filtros Anti Aliasing

Un filtro **Anti Aliasing** es un filtro pasa bajos, el cual se encarga de que se cumpla el criterio de muestreo de **Nyquist**. Este postula que, para la reconstrucción exacta de una señal periódica continua en banda base, es necesaria una frecuencia de muestreo f_s de un valor por lo menos 2 veces superior al ancho de banda B de la señal original. Bajo estas condiciones, para reconstruir la señal solo hace falta realizar la convolución de la muestreada con la función $\text{sinc}(B \cdot t)$.

La señal original se puede expresar como:

$$x(t) \sim \sum_{n=-\infty}^{\infty} x\left(\frac{n}{f_s}\right) \cdot \text{sinc}\left(t - \frac{n}{f_s}\right) \quad (1)$$

En caso de que no se cumplan las hipótesis de Nyquist, se presenta un problema, el cual es observable utilizando el análisis de Fourier. Sea $x(t)$ una señal en tiempo continuo la cual se desea digitalizar, utilizando un muestreo ideal, se multiplica la señal por un tren periódico de deltas de período $T_s = \frac{1}{f_s}$.

$$\delta_{T_s}(f) = \sum_{n=-\infty}^{\infty} \frac{1}{T_s} \delta(f - nf_s) \quad (2)$$

Así se observa la transformada de Fourier.

$$\mathcal{F}\{x_q(t)\}(f) = \mathcal{F}\{\delta_{T_s}(t) \cdot x(t)\}(f) = \mathcal{F}\left\{\sum_{n=-\infty}^{\infty} \delta(t - nT_s) \cdot x(nT_s)\right\}(f) = X(f) * \delta_{T_s}(f) \quad (3)$$

Dado que el papel de la delta en una convolución es aquel de la unidad, se nota que realizar la convolución con un tren de dicha función, es equivalente a montar el espectro de una señal sobre cada delta. El problema fundamental radica en la superposición de espectros entre una delta y la continua, como está ilustrado en la Figura (3). En ella se observa el caso en el cual no se cumple el teorema de Nyquist, apreciándose dicho inconveniente. En las Figuras (4) y (5) se termina de observar las consecuencias que esto implica.¹

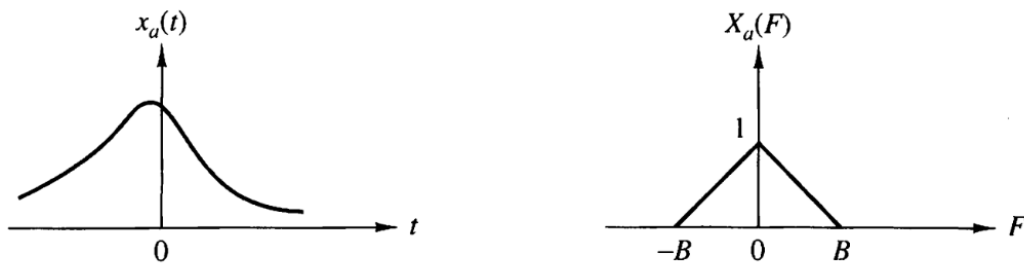


Figura 1: Señal de entrada junto a su espectro.

¹J. G. Proakis y D. G. Manolakis, *Digital signal processing*. Upper Saddle River, (Nueva Jersey): Pearson, 2014, pag 388

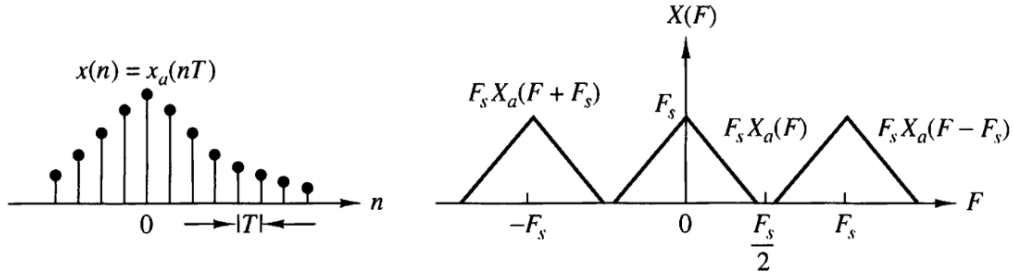
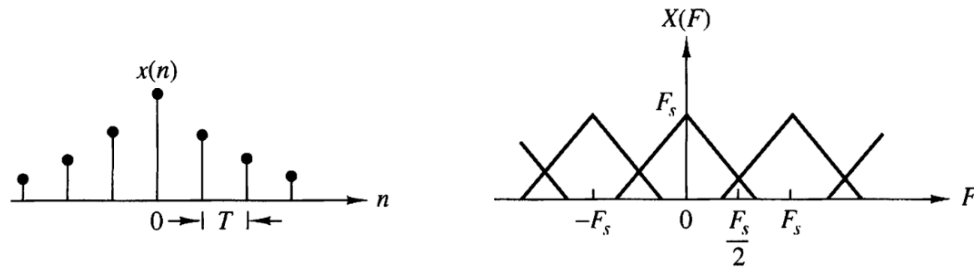
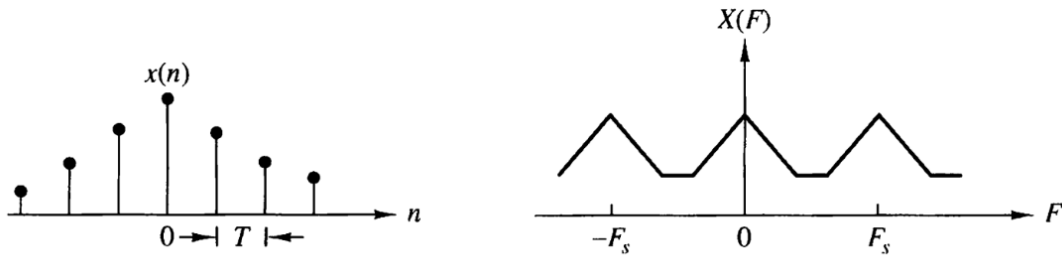
Figura 2: Señal cuantizada junto a su espectro con $f_s > 2B$.Figura 3: Señal cuantizada junto a su espectro con $f_s < 2B$.

Figura 4: Señal cuantizada junto a su espectro resultante.

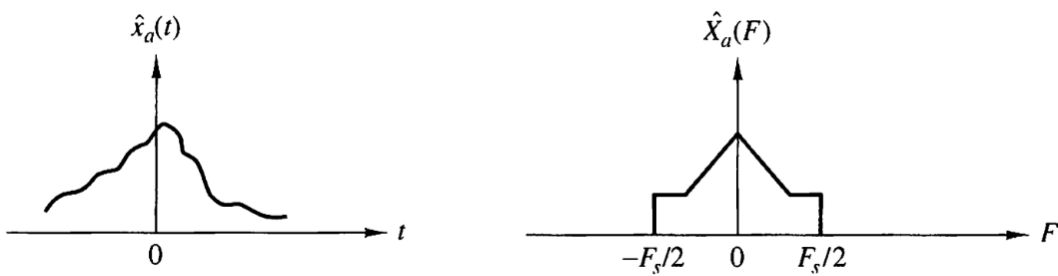


Figura 5: Señal reconstruida junto a su espectro.

Otro factor importante a considerar es que la frecuencia de Nyquist está definida como $2B$ únicamente para un filtro ideal. En la realidad se debe tomar una frecuencia $f_s > 2B$, dado que se utiliza un filtro real.

2.0.2. Introducción a filtros recuperadores

El filtro recuperador es aquel que cumple con la tarea de recuperar la señal a partir de su espectro, dado que previo al filtro, se tiene un espectro como es observado en la Figura (6). El objetivo de este es filtrar los espectros ajenos a la banda base, para obtener en el dominio temporal la señal original. Es necesario remarcar la vital importancia de recuperador, como su nombre indica.

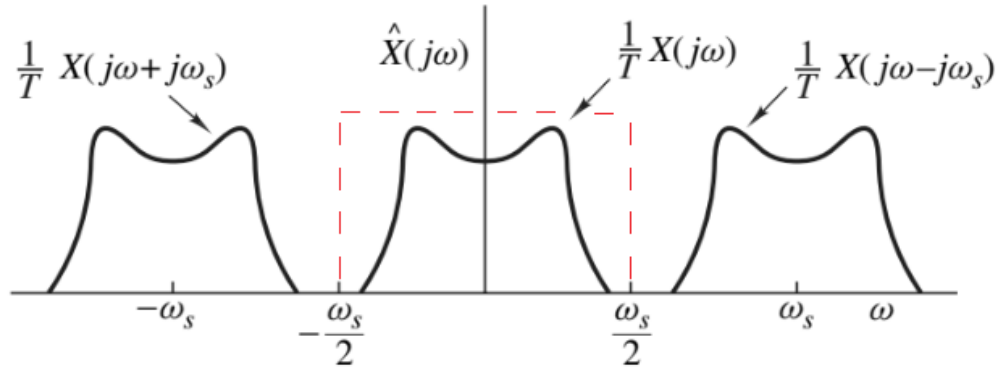


Figura 6: Espectro de la señal cuantizada. En rojo el filtro recuperador ideal.

2.0.3. Análisis espectral

En esta sección se procede a analizar el tipo de señales que recibe el circuito. Es así que se especifican las siguientes señales:

$$X_a = \cos(2\pi f_{in}t) \sim X_b: \frac{3}{2} \text{ seno} \sim X_c: \text{Señal triangular}$$

Para esto se utiliza como herramienta la serie de Fourier de cada una de estas señales, la cual se define como:

$$x(t) = \sum_{n=-\infty}^{\infty} X_n \cdot e^{j2\pi n f_0 t}$$

$$X_n = \int_{-\frac{T}{2}}^{\frac{T}{2}} x(t) \cdot e^{-j2\pi n f_0 t} dt$$

Teniendo en cuenta que también se puede expresar de forma trigonométrica, se pueden reescribir como:

$$x(t) = \sum_{n=0}^{\infty} a_n \cdot \cos(2\pi n f_0 t) + b_n \cdot \sin(2\pi n f_0 t)$$

$$a_n = \int_{-\frac{T}{2}}^{\frac{T}{2}} x(t) \cdot \cos(2\pi n f_0 t) dt$$

$$b_n = \int_{-\frac{T}{2}}^{\frac{T}{2}} x(t) \cdot \sin(2\pi n f_0 t) dt$$

Realizando las cuentas para cada señal, se obtiene que:

X_a ya es su propio desarrollo en serie.

$$X_b = \sum_{n=0}^{\infty} \frac{12}{\pi} \cdot \frac{1}{9 - 4n^2} \cdot \cos(2\pi n f_0 t)$$

$$X_c = \sum_{n=1,3,5,\dots}^{\infty} \frac{8 \cdot (-1)^{\frac{n-1}{2}}}{\pi^2 n^2} \cdot \sin(2\pi n f_0 t)$$

Dado que estas últimas 2 señales cuentan con infinitos armónicos, el criterio que se decide utilizar para saber hasta cual se debe conservar consiste en tomar todos los necesarios hasta obtener una potencia del 99 %. Es útil recordar dicha variable de una señal se encuentra en sus coeficientes de Fourier, mediante la **igualdad de Parseval**:

$$\frac{1}{T} \cdot \int_{-\infty}^{\infty} |x(t)|^2 = \sum_{n=-\infty}^{\infty} |X_n|^2 \quad (4)$$

Para las señales X_b y X_c se graficó la potencia en función del armónico y como queda la señal reconstruida luego de este filtro.

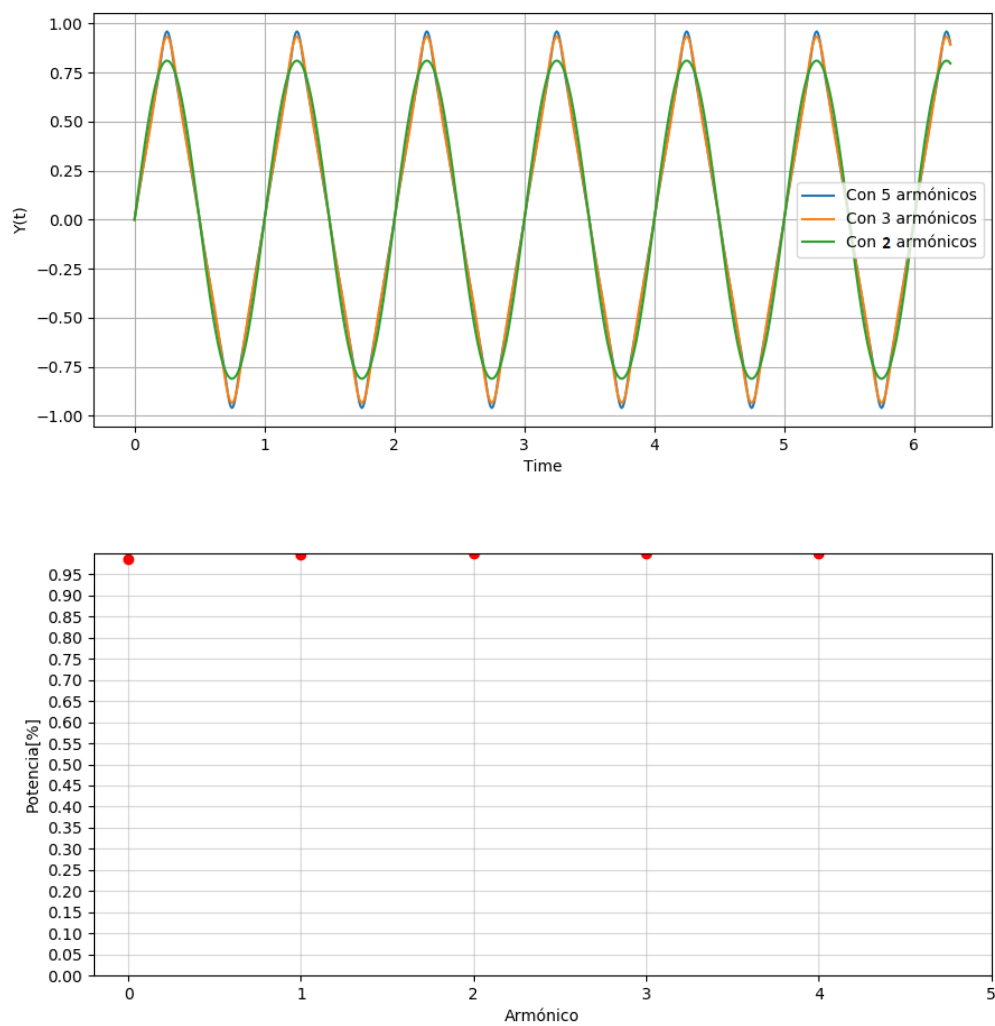


Figura 7: Señal triangular reconstruida junto a su espectro de potencias.

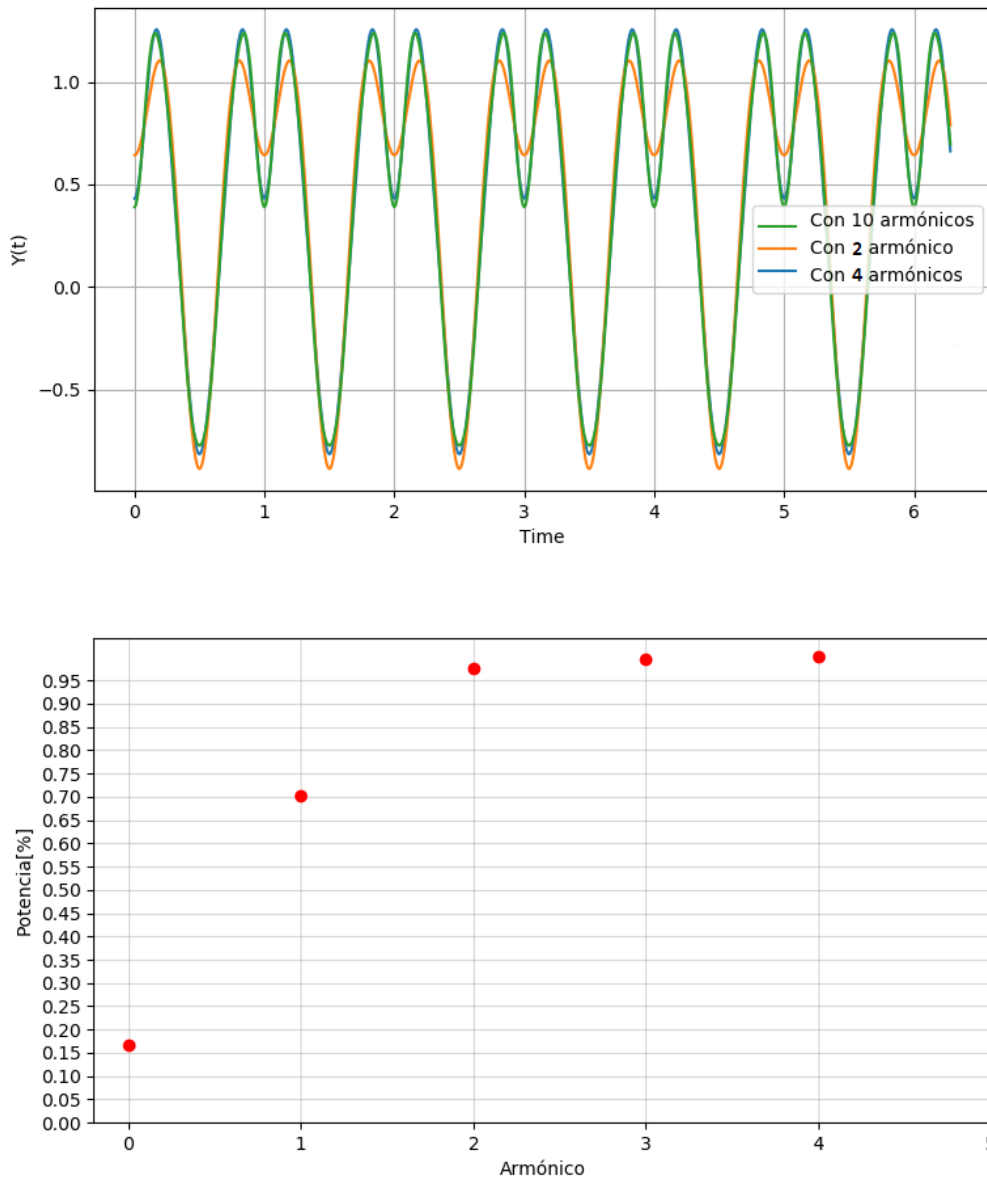


Figura 8: Señal seno $\frac{3}{2}$ reconstruida junto a su espectro de potencias.

Es de interés apreciar que, para el caso de la señal triangular, tan solo con la inclusión de 2 armónicos, se obtiene una potencia superior al 98 %. Por otro lado, se necesita incluir hasta el 3er armónico de la función seno $\frac{3}{2}$ para obtener una potencia superior al 95 %.

La frecuencia fundamental de estas señales es $f_0 = \frac{N}{2} = 1,5 \text{ kHz}$, correspondiéndole la del máximo armónico (es decir, el tercero) de $10,5 \text{ kHz}$. Asimismo, es conveniente considerar la señal de AM que también es probada en el sistema, cuya máxima frecuencia es de $2,2 \cdot f_0 = 3,3 \text{ kHz}$. Se toma $f_p = 11 \text{ kHz}$ definiendo así la plantilla de ambos filtros:

- $f_p = 11 \text{ kHz}$
- $A_p = 1 \text{ dB}$
- $f_a = 16,5 \text{ kHz}$
- $A_s = 50 \text{ dB}$

Ya con los parámetros definidos, se procedió a elegir la aproximación a utilizar. Se descartaron las opciones de Cheby II y Cauer debido a los ceros de transmisión que estos poseen, Cheby I dado a su ripple de banda pasante, Guass y Bessel ya que su principal característica es la linealidad de la fase dejando para elegir Butterworth y Legendre. Si bien el primero tiene la mayor planicie de banda pasante, sufre de que, para cumplir plantilla, necesita un orden superior el que utiliza la segunda aproximación. Además, Legendre cuenta con el mayor cambio de pendiente. Por

dichas razones, se decidió utilizar la aproximación de Legendre. Realizandola se obtuvo el diagrama de polos y ceros y una transferencia teórica, siendo estos los presentados acontinuación:

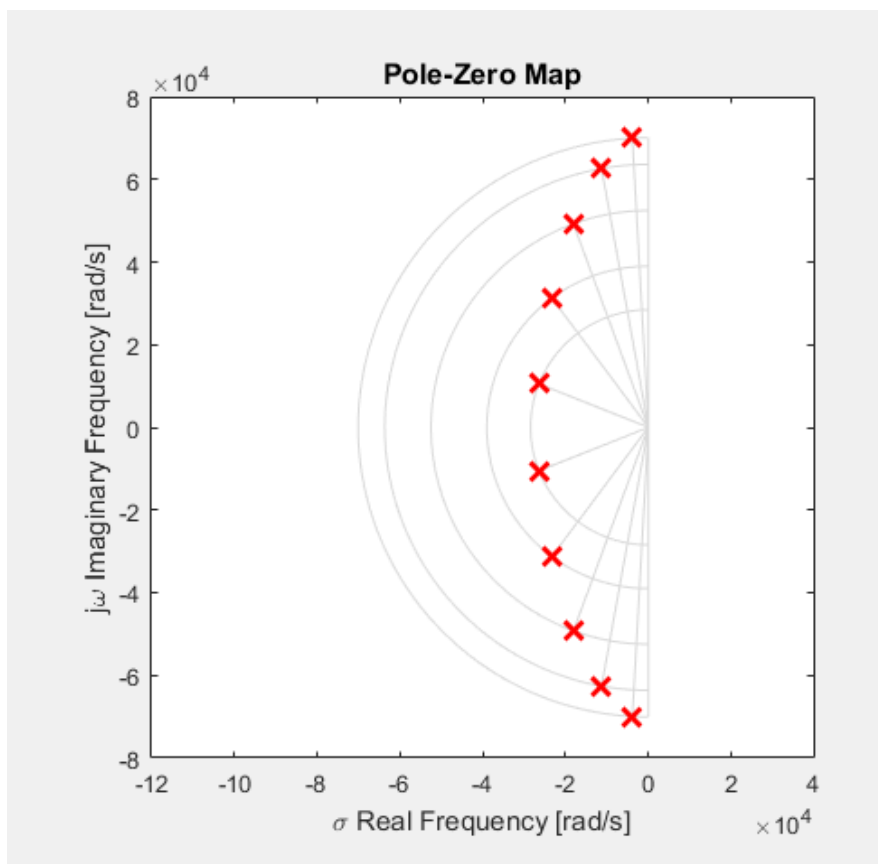


Figura 9: Diagrama de polos y ceros.

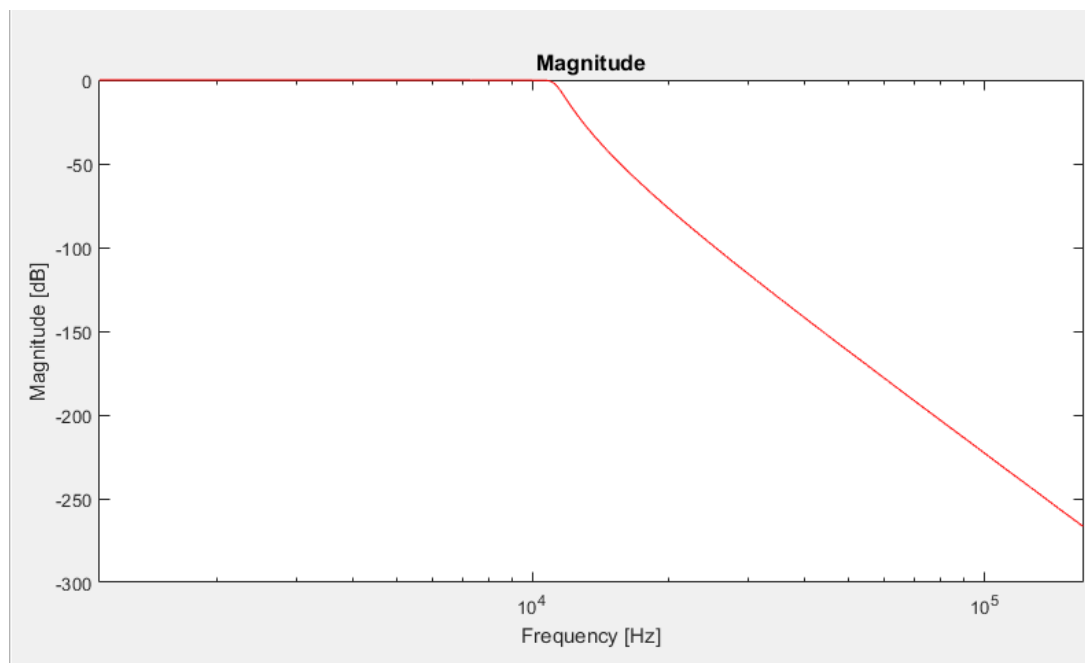


Figura 10: Respuesta en frecuencia teórica.

Sintetizando el filtro con los datos mostrado, se corresponde un filtro de orden 10, con los valores indicados en la siguiente tabla:

Etapa	Frecuencia de corte [kHz]	Q
1	4.5	0.54
2	6.2	0.84
3	8.3	1.45
4	10.1	2.82
5	11.2	9.06

Tabla 1: Frecuencias de corte y Q de las etapas del filtro deseado.

La topología elegida para realizar las etapas viene dada por la **Sallen Key** pasa bajos, debido a que no se alcanzan valores altos de Q, siendo el siguiente el circuito correspondiente.

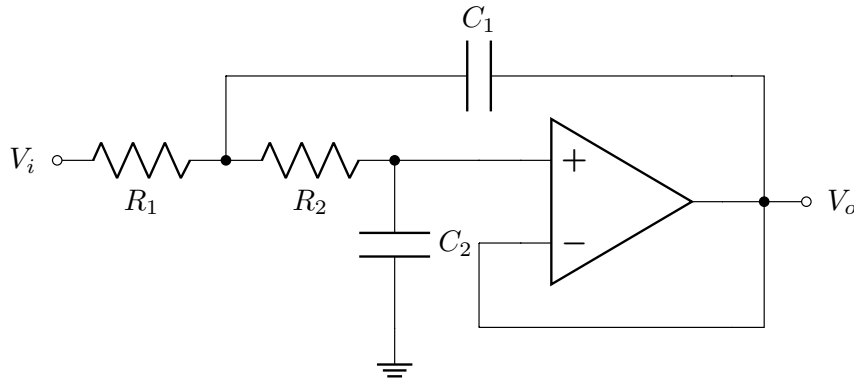


Figura 11: Celda Sallen Key.

Luego se obtuvieron los siguientes valores para los componentes:

Componente	Valor	Valor comercial	Error
R_1	100 k Ω	100 k Ω	0 %
R_2	100 k Ω	100 k Ω	0 %
C_1	378.6 pF	390 pF + 12 nF	0.2 %
C_2	326.8 pF	330 pF + 33 nF	≤ 0.1 %

Tabla 2: Componentes de la etapa 1.

Componente	Valor	Valor comercial	Error
R_1	100 k Ω	100 k Ω	0 %
R_2	100 k Ω	100 k Ω	0 %
C_1	429.1 pF	39 pF // 390 pF	0.4 %
C_2	153.3 pF	3.3 pF // 150 pF	0.1 %

Tabla 4: Componentes de la etapa 2.

Componente	Valor	Valor comercial	Error
R_1	100 k Ω	100 k Ω	0 %
R_2	100 k Ω	100 k Ω	0 %
C_1	552.6 pF	560 pF + 39 nF	≤ 0.1 %
C_2	65.8 pF	82 pF + 330 pF	0.2 %

Tabla 3: Componentes de la etapa 3.

Componente	Valor	Valor comercial	Error
R_1	100 k Ω	100 k Ω	0 %
R_2	100 k Ω	100 k Ω	0 %
C_1	884.9 pF	68 pF // 820 pF	0.3 %
C_2	27.9 pF	33 pF + 180 pF	≤ 0.1 %

Tabla 5: Componentes de la etapa 4.

Componente	Valor	Valor comercial	Error
R_1	100 k Ω	100 k Ω	0 %
R_2	100 k Ω	100 k Ω	0 %
C_1	2.6 nF	3.3 nF + 12 nF	≤ 0.1 %
C_2	7.9 pF	8.2 pF + 220 pF	0.3 %

Tabla 6: Componentes de la etapa 5.

Para la implementación se optó por utilizar amplificadores del tipo [TL084](#) debido a que cada integrado cuenta con 4 opamps, a su elevada impedancia de entrada y a su ancho de banda. Se simuló en **LTSpice** el filtro completo, obteniendo así la respuesta en frecuencia del mismo como se ve a continuación:

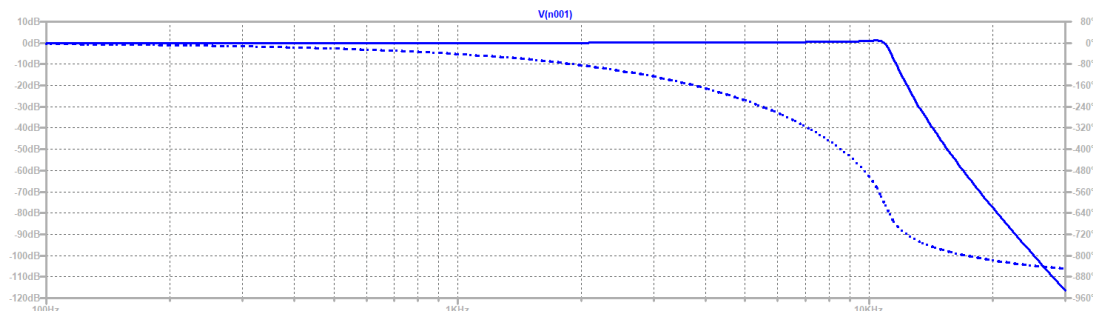


Figura 12: Respuesta en frecuencia simulada.

A continuación se hizo un análisis de montecarlo del filtro, obteniendo una ligera desviación respecto del filtro deseado, la cual aun así se ajusta a la plantilla con la eventual ganancia en el sobrepico.

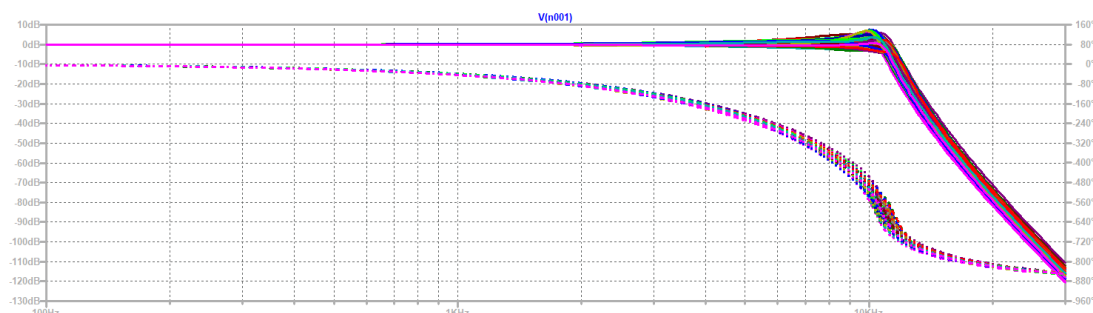


Figura 13: Montecarlo de la respuesta en frecuencia.

Luego, se realizó el diseño en **Altium** de la placa a realizar, obteniendo llegando así al diseño presentado:

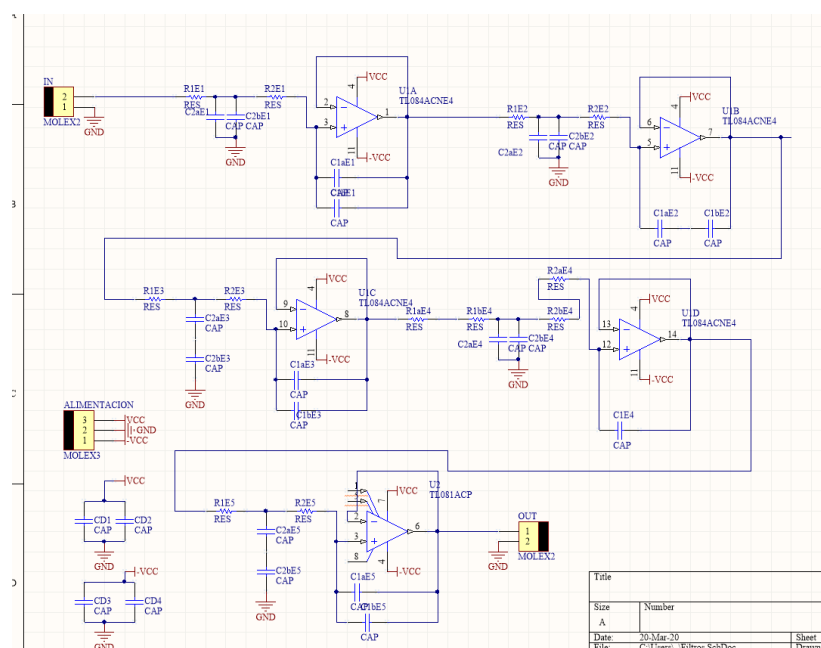


Figura 14: Esquemático Altium.

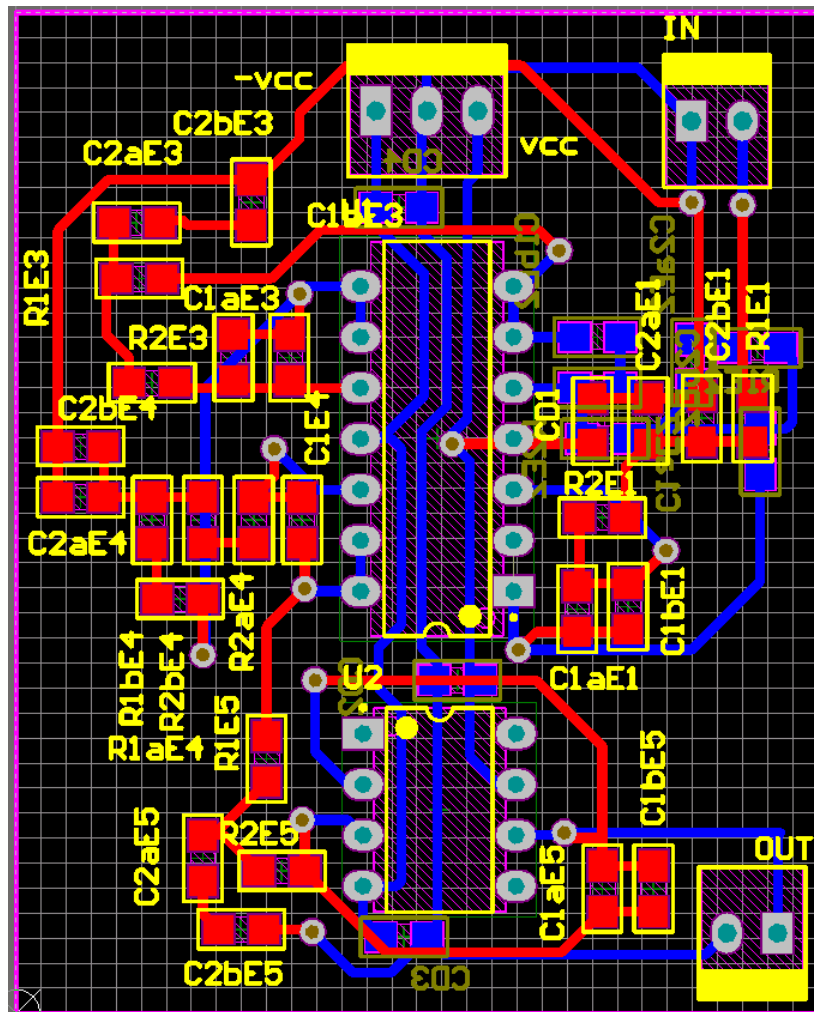


Figura 15: PCB Altium.

3. Selección de llave analógica

3.0.1. Análisis y comparación de diferentes llaves analógicas

Las llaves compuestas por tecnología de estado solido son pequeñas, rápidas, de fácil uso y control. Además poseen un consumo bajo comparado con compuertas tradicionales controladas eléctricamente. Las compuertas digitales estan diseñadas para que transmitir y bloquear señales de niveles digitales. Por otro lado, las analógicas son diseñados para señales analógicas, si bien normalmente presentan un buen comportamiento frente a las digitales.

A la hora de seleccionar la compuerta a emplear, se deben de tener varios aspectos en cuenta. Entre estos, la impedancia serie que representan, ya que al momento de estar cerrada, no son un cable ideal. Por otro lado, tambien se debe considerar la capacitancia que representan al estar abierta.

Entre las analizadas se encuentran las compuertas [CD4016](#), [CD4066](#), [CD4053](#) y [CD4051](#), las cuales presentan características muy similares entre sí, siendo todos sus factores dependientes de V_{DD} , el cual varía entre 5 V y 15 V.

Para la primera se observan los siguientes datos:

- $V_{OS} = 0.4 \text{ V} \sim 13.5 \text{ V}$
- Resistencia “on-state” = $400 \Omega \sim 2 \text{ k}\Omega$
- $TDH = 0.4 \%$
- Capacidad de entrada $C_{is} = 4 \text{ pF}$
- Capacidad de salida $C_{os} = 4 \text{ pF}$
- Capacidad Feedthrough $C_{ios} = 0.2 \text{ pF}$
- Crosstalk = 50 mV
- Delay de encendido/apagado = $15 \text{ ns} \sim 70 \text{ ns}$

A su vez, para las restantes se encontró:

- $V_{OS} = 0.4 \text{ V} \sim 13.5 \text{ V}$
- Resistencia “on-state” = $200 \Omega \sim 1.3 \text{ k}\Omega$
- $TDH = 0.4 \%$
- Capacidad de entrada $C_{is} = 8 \text{ pF}$
- Capacidad de salida $C_{os} = 8 \text{ pF}$
- Capacidad Feedthrough $C_{ios} = 0.5 \text{ pF}$
- Crosstalk = 50 mV
- Delay de encendido/apagado = $15 \text{ ns} \sim 70 \text{ ns}$

De esta forma, dado la poca diferencia entre cada una y dado a que afectan al circuito de forma similar (en cuanto a su impedancia y capacitancia en serie respecta), se decidió emplear una llave **CD4066**, que cumple con las funciones y necesidas requeridas. También es posible seleccionar la llave **CD4016**, pero se decidió utilizar la otra ya que se disponía del modelo de la dicha para las simulaciones.

3.0.2. Análisis formal de la llave analogica

La llave analógica se encarga de transmitir la señal de entrada durante un intervalo de tiempo finito y luego bloquear su paso. Esto puede ser modelado como la multiplicación de la señal de entrada con un tren de pulsos.

$$p(t)_T = \sum_{-\infty}^{\infty} p(t - nT) \quad (5)$$

Con $p(t)$

$$p(t) = \begin{cases} 1, & \text{si } -\frac{k}{2} < t < \frac{k}{2} \\ 0, & \text{caso contrario} \end{cases} \quad (6)$$

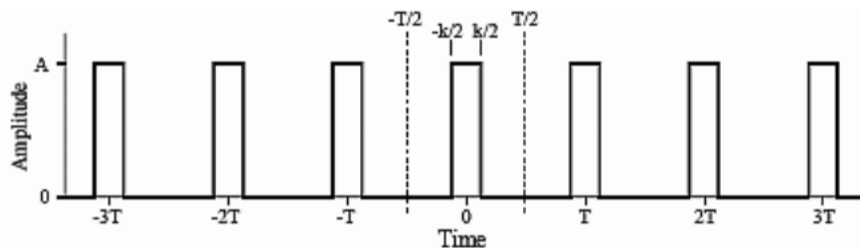


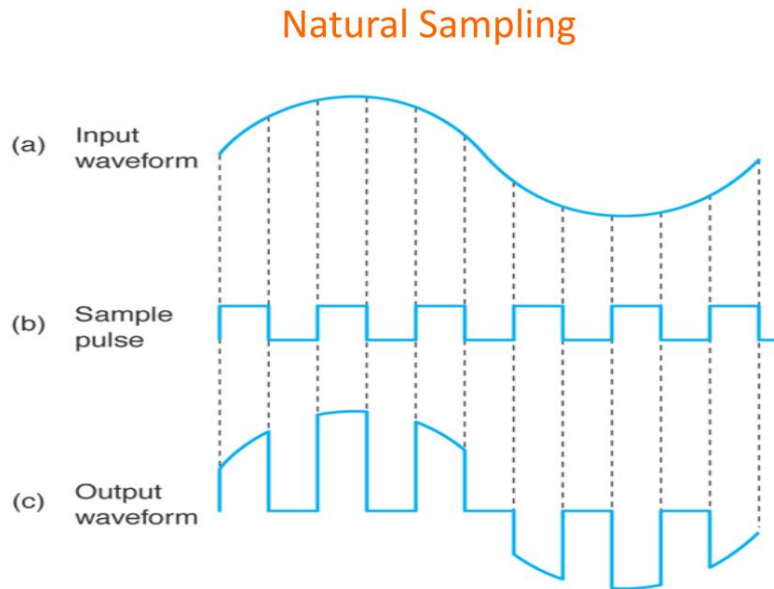
Figura 16: Tren de Pulsos

Por lo tanto a la salida de la llave analógica

$$y(t) = x(t) \cdot p(t)_T \quad (7)$$

$$y(t) = \sum_{n=-\infty}^{\infty} x(t)p(t - nT) \quad (8)$$

Lo cual se ilustra en la siguiente imagen



EKT343 –Principle of Communication Engineering

15

Figura 17: Muestreo Natural con llave analógica

En el dominio de las frecuencias el tren de pulsos es representado por una **sinc discreta**. El espectro resultante se ilustra en la siguiente imagen

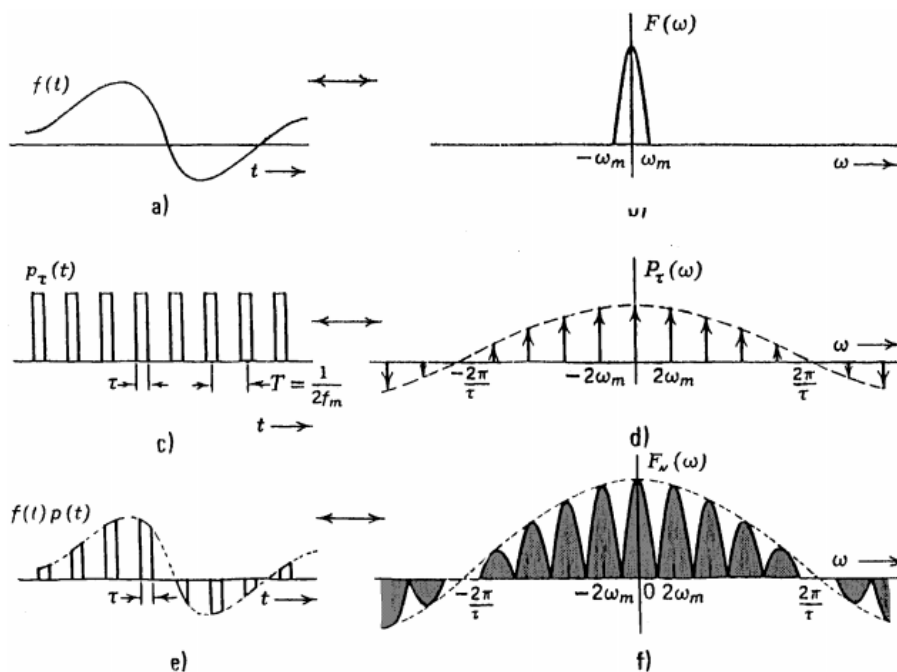


Figura 18: Espectro resultante de utilizar al utiliza la llave analógica

Si el tiempo de apertura de la llave se reduce entonces obtendremos una envolvente más aplanada. Esto reduce los efectos de distorsión introducidos por la forma de la sinc.

4. Sample and Hold

4.1. Sample and Hold

El modulo de **Sample and Hold** puede ser esquematizado de la siguiente forma:

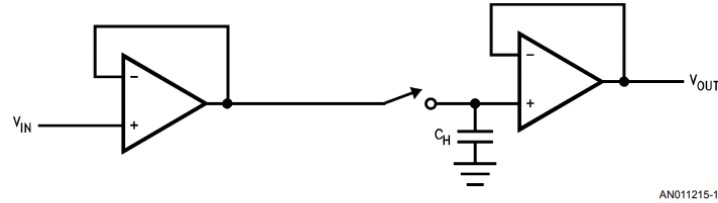


FIGURE 1. A Simple S/H Amplifier Consists of a Switch, Hold Capacitor, and Input and Output Buffers

Figura 19

Su objetivo es el de muestrear la señal analógica de entrada y retener su valor por un pequeño intervalo de tiempo para que la circuitería colocada inmediatamente después puede utilizar ese valor para digitalizarla.

4.1.1. Breve introducción formal al muestreo de señales con Sample and Hold

Dada una señal analógica de entrada $x_a(t)$ deseamos obtener una señal discreta $x(n)$ producto de muestrear la entrada cada T segundos. Como primer paso para hallar la expresión que describe a la señal discreta efectuamos un muestreo ideal sobre la entrada

$$x_{\delta_T}(n) = \sum_{-\infty}^{\infty} x_a(t) \delta_T(t - nT) \quad (9)$$

$$x_{\delta_T}(n) = x_a(nT)$$

Una vez tomadas las muestras de la señal, la convolucionaremos con un pulso unitario de duración T

$$x(n) = p(t) * \sum_{-\infty}^{\infty} x_a(nT) \delta_T(t - nT)$$

$$x(n) = \sum_{-\infty}^{\infty} x_a(nT) p_T(t - nT) \quad (10)$$

Este proceso queda ilustrado en la figura 17

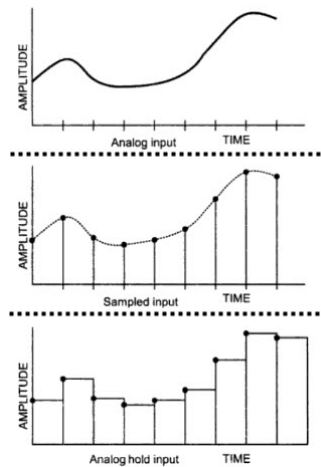


Figura 20

4.1.2. Consideraciones sobre el modulo Sample and Hold

Para esto, requerimos de una alta impedancia de entrada lo cual evita cualquier efecto de carga del IC sobre la fuente de la señal. Esto es modelado como un buffer a la entrada. Luego tenemos una **llave**, que puede estar implementada con una llave analogica o transistores MOSFET, la cual se encargara de cambiar del modo muestreo (sample) permitiendo que el capacitor se carga con el valor actual, y mantener (hold) ese valor cuando la misma este abierta. Finalmente tenemos un buffer adicional a la salida para prevenir la descarga del capacitor y así ofrecer mayor fidelidad.

Sin embargo, es necesario adaptarlo a las condiciones en las que se lo va a utilizar. Para esto, se incluyen pines de corrección de tensión de offset, selección tasa de muestreo (para controlar la "llave") y finalmente otro muy importante para escoger el capacitor, C_{hold} más apropiado. Es interesante mencionar la inclusión de un pin **LOGIC REFERENCE** el cual nos brinda mayor flexibilidad al momento de tener que elegir una señal de muestreo

4.1.3. Circuito de corrección de tensión offset

Para poder obtener una digitalización de alta fidelidad es necesario calibrar el IC. En el caso de la digitalización de señales las tensiones de offset pueden provocar interpretaciones erróneas de los verdaderos valores de la señal. De hecho se recomienda que la tensión de offset este por debajo de la mitad del voltaje que ofrece el LSB.

$$V_{OS} < \frac{FS}{2^{n+1}}$$

Donde n es la resolución del **ADC** y FS es el tope de escala. Asumiendo un que los rangos de señal pueden variar entre ± 15 nos da una $FS = 30$.

$$V_{OS} < \frac{FS}{2^{n+1}}$$

$$V_{OS} < \frac{30V}{2^{8+1}}$$

$$V_{OS} < 58.5mV$$

El fabricante nos brinda una configuración para poder compensar la tensión de offset tanto de AC como de DC:

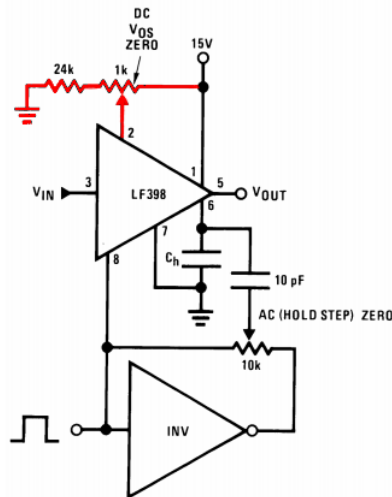


Figura 21: En **rojo** se señala el circuito de corrección de tensión DC, en la parte inferior notamos la presencia de un circuito que corrige la señal AC no deseada

Para poder establecer la necesidad o no de tener que utilizar el circuito de compensación hemos de medir la tensión de offset:

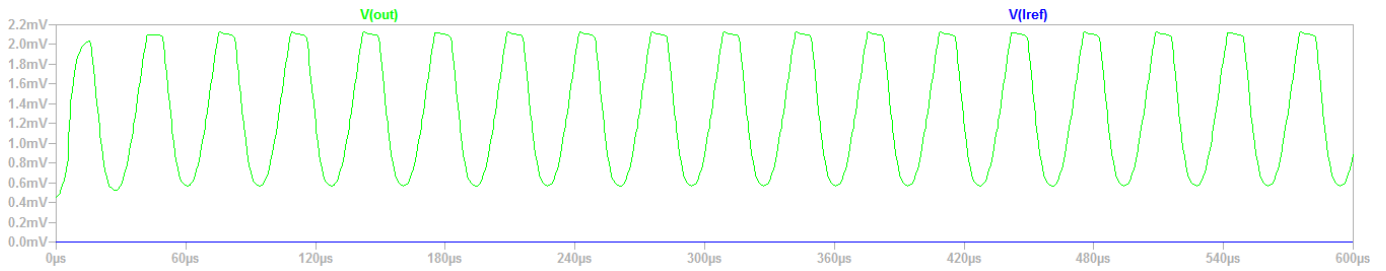


Figura 22: Offset de DC y AC con entrada nula

Del gráfico concluimos:

$$V_{offsetDC} \approx 1mV$$

$$V_{offsetAC} \approx 2mV_{pp}$$

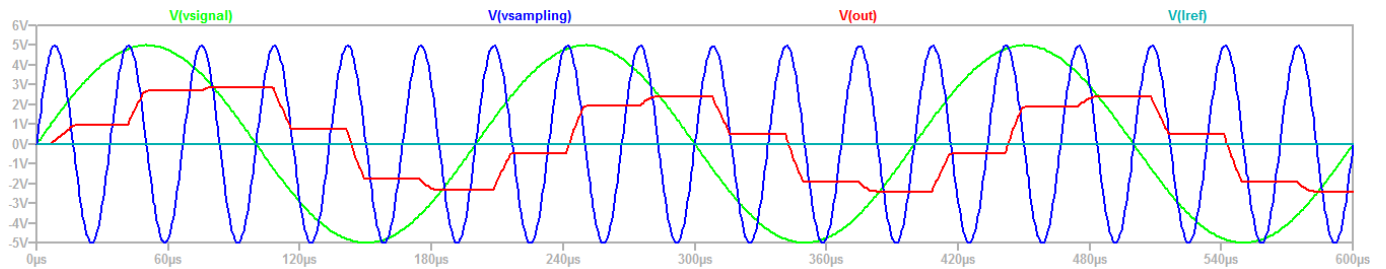
Dado que el offset indeseado no supera el limite permitido podemos prescindir del uso de los circuitos de ajuste.

4.1.4. Análisis experimental del Capacitor de Hold, C_h

El capacitor de hold cumple la funcionalidad de retener el valor muestreado una vez obtenido. Es deseable elegir un capacitor cuyo dieléctrico ofrezca una gran resistencia para evitar la descarga indeseada del capacitor y mantener el valor obtenido.

Se simulo el muestreo de una señal sinusoidal bajo diferentes condiciones de frecuencia de oscilación y distinto valor de C_{hold}

En una primera instancia se utilizo una capacitor de $47nF$.

Figura 23: Sinusoidal 5KHz muestreada a 30KHz con un $C_{hold} = 47nF$

En color **rojo** observamos el resultado de la operación de muestreo. Cuando la señal de muestreo, en **azul**, supera el nivel de la tensión de lógica de referencia (**turquesa**), en este caso seleccionada en 0V, la llave "se cierra" y comienza el proceso de muestreo. Esto implica que el capacitor, C_{hold} , puede comenzar a cargarse con el valor que tenga señal de entrada durante el tiempo que permanezca en ese modo. Cuando la señal de muestreo se encuentra por debajo de la tensión lógica de referencia se ingresa al modo **hold**, la llave "se abre" y el capacitor retiene el último valor obtenido. No obstante vemos que la el valor de tensión almacenado en el capacitor no consigue equiparar aquel de la señal a muestrear. Recordemos que entre mayor sea el valor de la capacitancia más tiempo tardara en cargarse, lo cual afecta el desempeño en el modo de muestreo pero mejora significativamente la persistencia durante el tiempo de **hold** ya que por el contrario tarde más en cargarse.

En este caso se hace evidente que el capacitor no consigue cargarse lo suficientemente rápido.

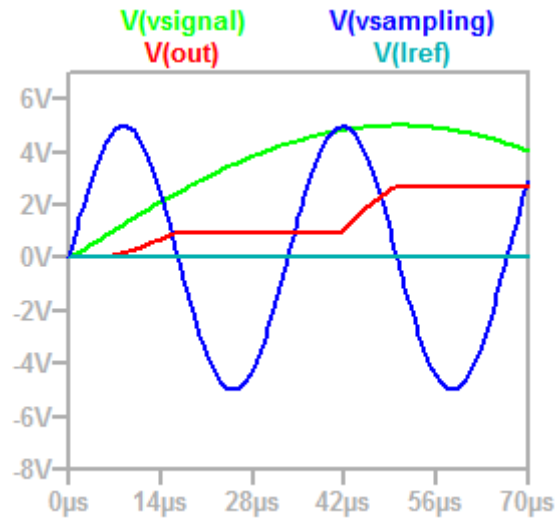


Figura 24: Vista en detalle del proceso

Para poder exhibir el caso opuesto se utilizó un capacitor C_{hold} de $120pF$. Este capacitor posee una capacitancia aproximadamente 400 veces más pequeña que la utilizada anteriormente. En este caso la señal de salida representa más fielmente a la original. Una primera observación nos deja observar que los valores de tensión obtenidos durante el muestreo

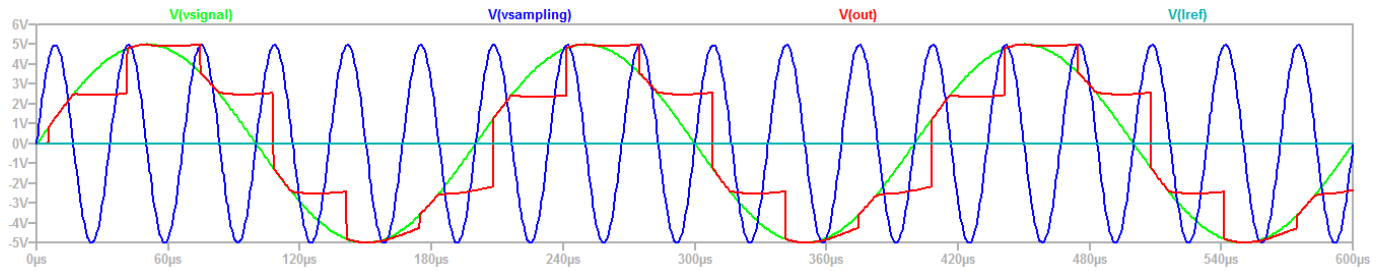


Figura 25

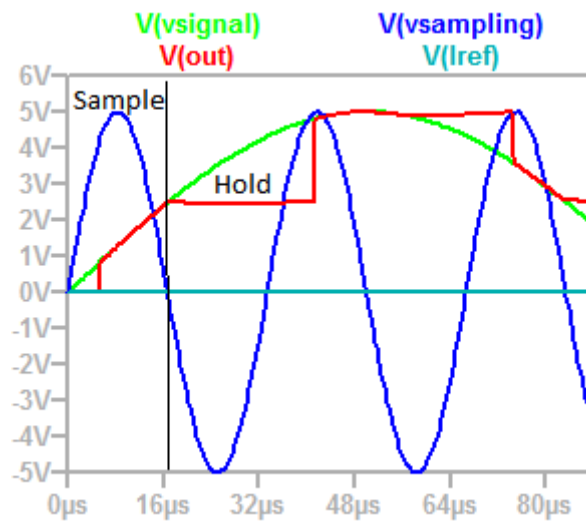


Figura 26

Analizando la figura 23 notamos que el capacitor efectivamente consigue cargarse lo suficientemente rápido como para poder seguirle el paso a la señal de entrada.

Ahora veremos lo que sucede cuando empleamos una señal más rápida. La señal senoidal ahora posee una frecuencia de oscilación de $20 * 3 * 12KHz = 720KHz$. Para poder obtener imágenes y apreciar los cambios en los capacitores elegidos es necesario muestrear a la señal por encima de la mínima permitida por el criterio de Nyquist. Sin embargo, si consideramos ese caso obtenemos $F_{nyquist} = 1.44Mhz$. Para la simulación de la figura 24 se utilizó el capacitor de $120pF$ que había obtenido buenos resultados previamente. Pese a ello una imagen poco anticipada aparece al finalizar la simulación. La salida parecería ser nula. Aun si esta no fuese nula no sirve a nuestros propósitos.

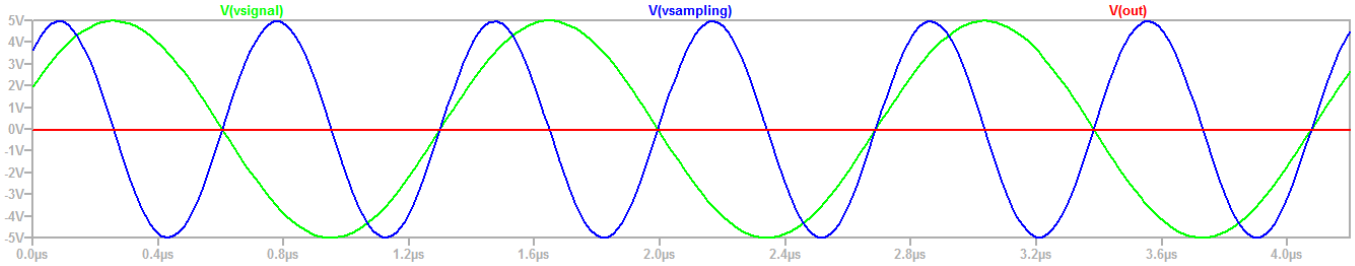


Figura 27

Entonces cabe preguntarse que ha sucedido aquí. En primer lugar podemos relacionar lo ocurrido aquí con lo sucedido cuando se utilizó un capacitor demasiado grande que no conseguía cargarse en la ventana de adquisición provista y por lo tanto exhibía una amplitud menor.

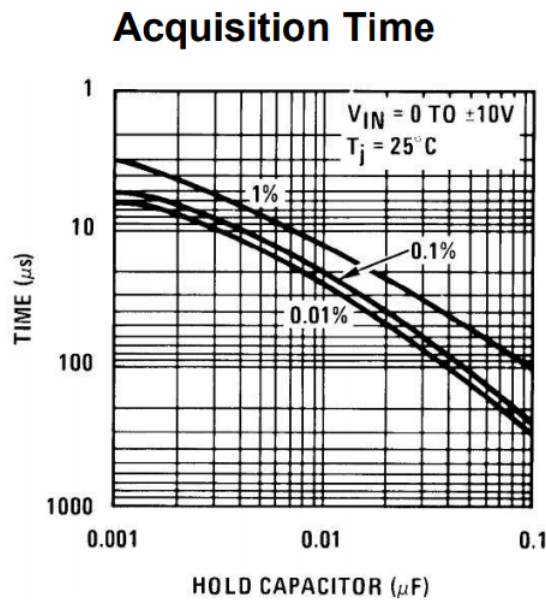


Figura 28

Si elegimos muestrear a la frecuencia de Nyquist entonces le estamos dando al C_{hold} un tiempo de $T_{acq} = \frac{1}{2 * F_{nyquist}}$
 $T_{acq} \approx 700ns = 0.7\mu s$

Por lo tanto, si hacemos referencia a las curvas de la figura 25 vemos que nuestro requerimiento está por fuera de las capacidades del **LF398**. En conclusión, necesitaríamos capacitancias extremadamente pequeñas. Lo cual tiene como contrapartida que no podrán mantener el valor almacenado durante mucho tiempo.

4.1.5. Elección del C_{hold} apropiado

Como analizamos anteriormente, es de suma importancia elegir un capacitor que se cargue lo suficientemente rápido como para poder seguir a la señal de entrada y que a su vez pueda retener el valor muestreado sin degradarse. En nuestro caso de aplicación se sabe que la señal de control tendrá una frecuencia máxima de $F_{osc} = 25KHz$. Por lo tanto el capacitor de hold tendrá un tiempo de adquisición mínimo dado por:

$$T_{acq} = \frac{1}{2 * F_{nyquist}} \approx 20\mu s$$

Entonces observando la figura debajo tenemos 3 opciones a elegir dependiendo de que tan preciso queramos y/o necesitemos que sea el valor de la muestra. Esto se debe a que la elección del capacitor nos lleva a una relación de compromiso. Podemos reducir el tiempo de adquisición al elegir un capacitor más pequeño pero esto incrementará el **hold step** y el **droop rate** lo cual puede ser contraproducente.

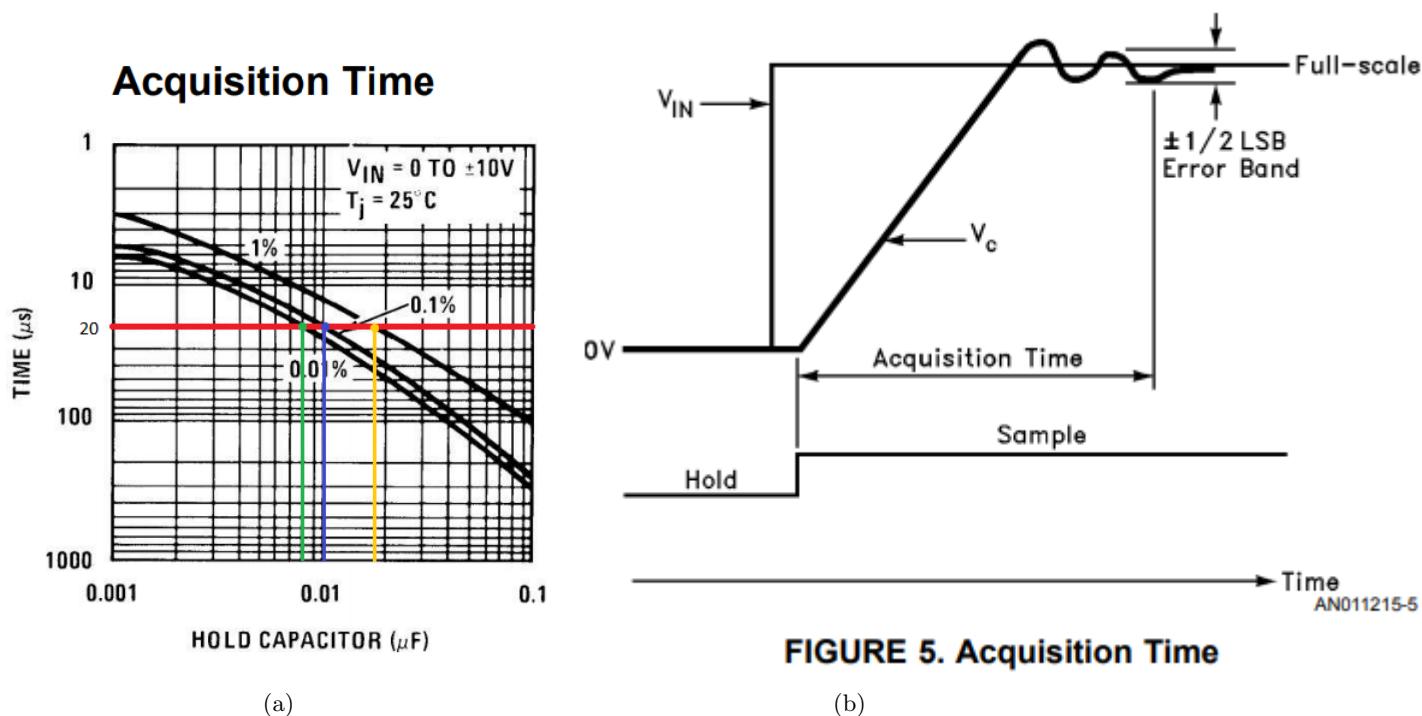


Figura 29: 26a Capacitor de Hold en función del tiempo de adquisición. 26b Vista en detalle del muestreo y los efectos del Hold Step

Error %	C
0.01	8nF
0.1	10nF
1	16nF

Tabla 7: Valores de capacitor posibles según el error aceptado

Dadas estas 3 opciones ahora debemos también considerar el **hold step**. Este fenómeno se describe como un escalón de tensión que es generado cuando se pasa de modo *sample* a modo *hold*.

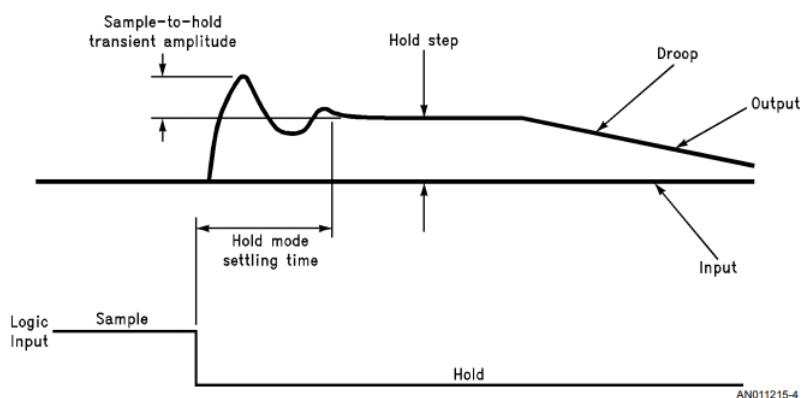


FIGURE 4. Sources of Error in Hold Mode and during the Sample-to-Hold Transition

Figura 30: Vista en detalle de los efectos del hold step

Siguiendo las recomendaciones del fabricante, es deseable que el **hold step** se mantenga por debajo de la mitad del paso de tensión que representa al LSB. Asumiendo un que los rangos de señal pueden variar entre ± 15 nos da una $FS = 30$.

$$V_{hs} < \frac{FS}{2^{n+1}}$$

$$V_{hs} < \frac{30V}{2^{8+1}}$$

$$V_{hs} < 58.5mV$$

En la figura a continuación denotamos dónde se encuentra este limite de forma aproximada.

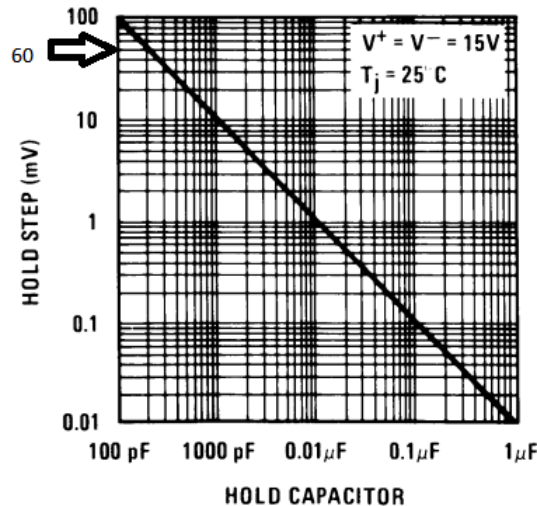


Figure 5. Hold Step

Figura 31

Esto quiere decir que podemos movernos hacia abajo en la curva con bastante libertad dado que cualquier valor de capacitor por encima de los $110pF$ respetara el limite de V_{hs} impuesto. Por último debemos tener en cuenta la tecnología de capacitor a utilizar.

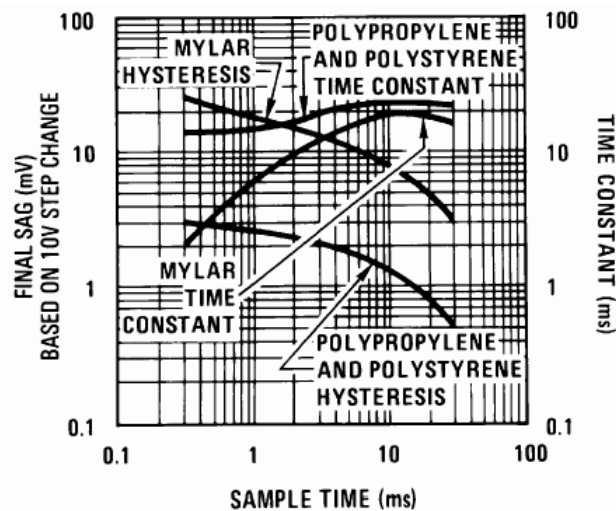


Figure 2. Dielectric Absorption Error in Hold Capacitor

Figura 32

La figura 29 nos indica como cambia la histeresis de diferentes capacitores según el tiempo de muestreo. En una primera observación el gráfico puede resultar un poco confuso. Recordemos que el $T_{acq} = 20\mu s$ y la escala horizontal tiene unidades de ms . Esto es porque las curvas intentan comunicar que tan bien consiguen relajarse los capacitores

luego de realizar un muestreo de tal forma que no quede un remanente que afecte a la siguiente muestra. La importancia de elegir el tipo correcto de tecnología impacta sobre el **droop rate** y en al precisión del muestreo. Se comparan dos grandes grupos de tecnologías, por un lado los capacitores **Mylar** (film)

Por lo expresado anteriormente se utilizara un capacitor de $C_h = 8nF$ dado que nos ofrece el menor error de muestreo y mantiene las exigencias dadas por el *hold step*

Dadas las curvas y las recomendaciones del fabricante se utilizaran capacitores de poliestireno dada su baja histeresis.

4.1.6. Analizando otros modelos de Sample and Hold IC

Por lo general los módulo de Sample and Hold vienen ya incorporados dentro de los **ADC** por lo que no hay abundancia de modelos en el mercado. Sin embargo, esto no quiere decir que el **LF398** sea el único. En esta ocasión vamos a compara al **LF398** contra el **SMP04** de *Analog Devices*

	LF398	SPM04
Impedancia de entrada	10G ω	No posee Input Buffers
Tiempo de adquisición con error de 0.1 %	4 μ s	3,5 μ s
C_h Interno	NO	YES
HOLD step (similar test condition)	2 mV	2,5
Tensión de Offset de entrada Typ	\pm 2mV	\pm 2,5mV
Tensión de Offset de entrada Max	\pm 7mV	\pm 10mV

Tabla 8: Tabla comparativa del LF398 de Texas Instruments vs SMP

No poseer buffers de entrada presupone una gran desventaja frente al **LF398** dado que esto nos limita los tipos de fuentes de señal que podemos colocar a la entrada. Por el contrario la gran impedancia de entrada en el IC fabricado por TI conseguimos total independencia de la impedancia de salida de la fuente de señal y por lo tanto mitigamos los efectos de carga del sample and hold sobre la fuente preservando la información contenida en la señal. El **SPM04** presenta una mayor tensión de offset, esto puede forzar al diseñador a implementar alguna solución para compensar esta magnitud en caso de que produzca errores significativos dependiendo de las condiciones de uso. Sin embargo, a diferencia de Texas Instruments, Analog Devices no propone ningún circuito de compensación ni pines adicionales para implementarlo. Un punto en el que se distingue el SMP04 es que provee 4 unidades de Sample and Hold dentro de un mismo integrado. Debajo se encuentran los diagramas en bloques que describen la estructura interna de cada uno.

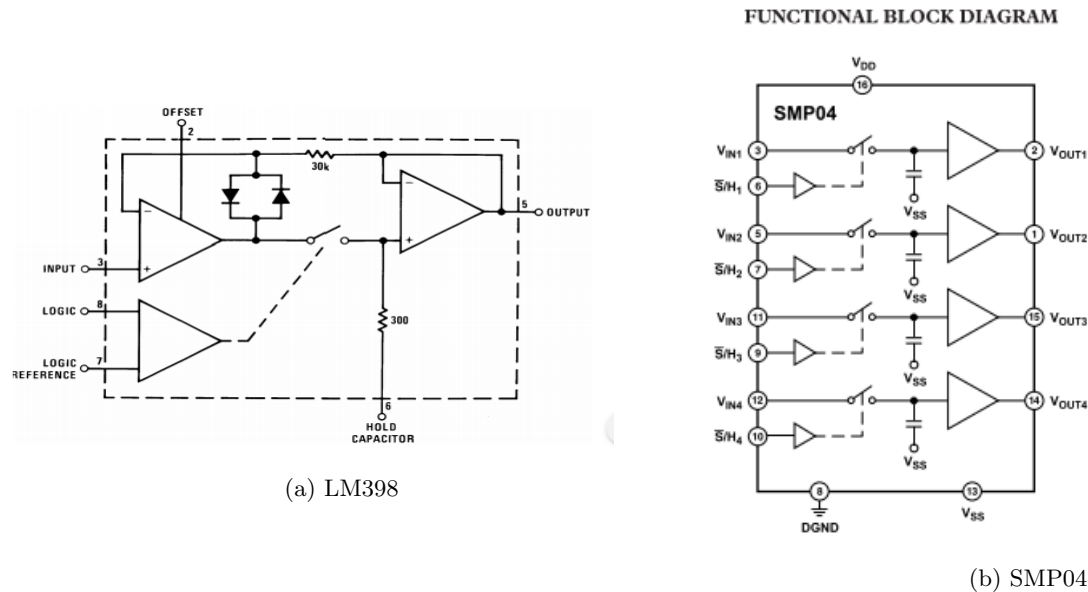


Figura 33: Diagramas en bloque de los módulos Sample and Hold

5. Oscilador

Para realizar el muestreo y las subsiguientes mediciones se requiere diseñar un oscilador con frecuencia y duty cycle variable. El diseño elegido es el siguiente:

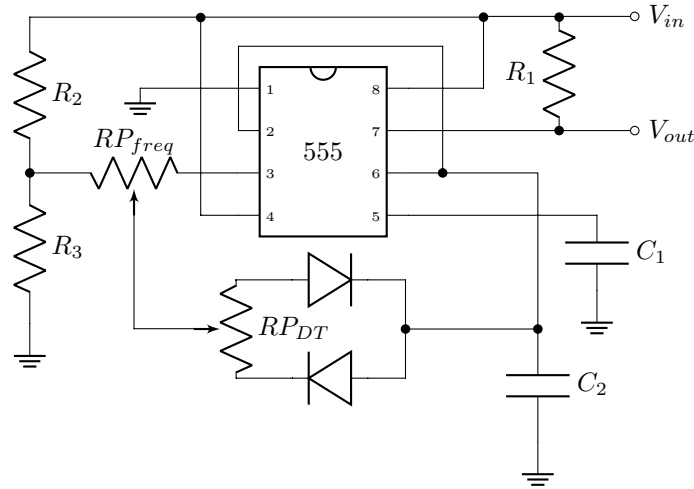


Figura 34: Oscilador con ajuste de frecuencia y duty cycle independientes.

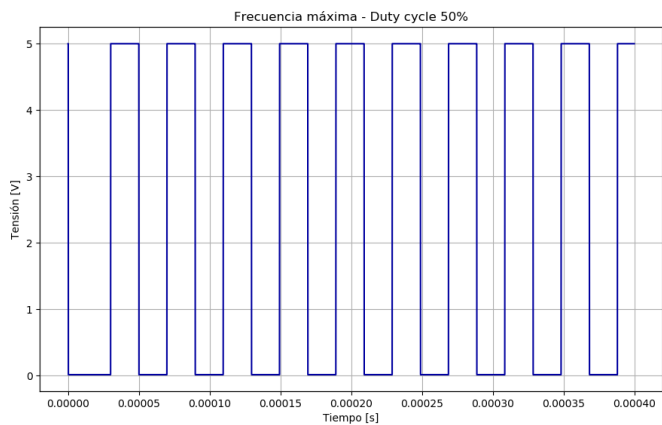
Este permite, con los valores mostrados más adelante, variar la frecuencia entre 9.66 kHz , levemente menor a la frecuencia de corte del filtro anti-alias, y 25 kHz , logrando traspasar a la frecuencia de Nyquist en un 25 %. Además, este circuito permite configurar el duty cycle de la señal desde un 1 % a 99 % con máxima frecuencia y desde un 5 % a 95 % con mínima frecuencia. Existe, como se puede ver, una pequeña interacción entre el ajuste de frecuencia y duty cycle, lo que genera que los límites del duty cycle se achiquen al disminuir la frecuencia. A fines prácticos, se la consideró insignificante dado que los límites mínimos se cumplen. De esta forma, los valores tomados se detallan a continuación:

Componente	Valor
R_1	$2.2 \text{ k}\Omega$
R_2	$10 \text{ k}\Omega$
R_3	$10 \text{ k}\Omega$
RP_{freq}	$4 \text{ k}\Omega$
RP_{DT}	$45 \text{ k}\Omega$
C_1	10 nF
C_2	1 nF

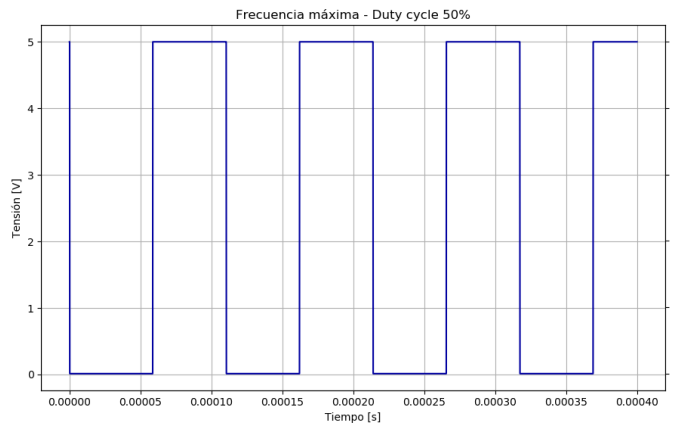
Tabla 9: Componentes del oscilador.

Una peculiaridad de esta configuración circuital del 555 es que la salida se encuentra tomada en el pin de descarga del integrado. Esta configuración funciona dado que el dicho pin y el pin de salida del integrado se encuentran en contra-fase. Esto permite realizar la carga y descarga del capacitor C_1 mediante la salida del integrado. Además, las resistencias R_2 y R_3 aumentan el rango de variabilidad de frecuencias y duty cycle del oscilador. Como el pin de descarga es de tipo open collector, se debe atar esta salida a la tensión de alimentación mediante una resistencia de pull up, en este caso R_1 .

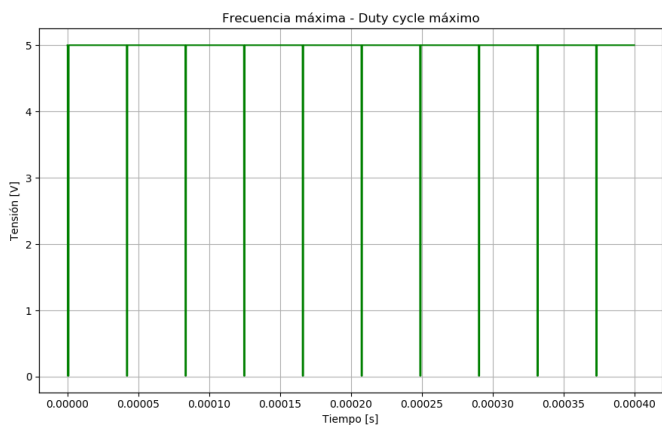
Los resultados del oscilador, con una alimentación de 5 V se muestran a continuación:



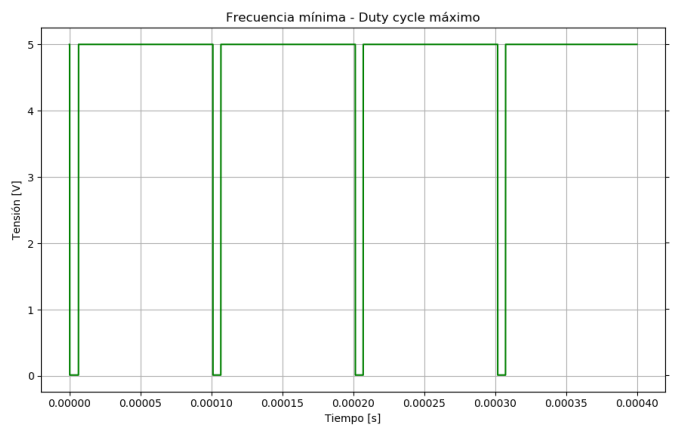
(a) Onda simétrica con máxima frecuencia.



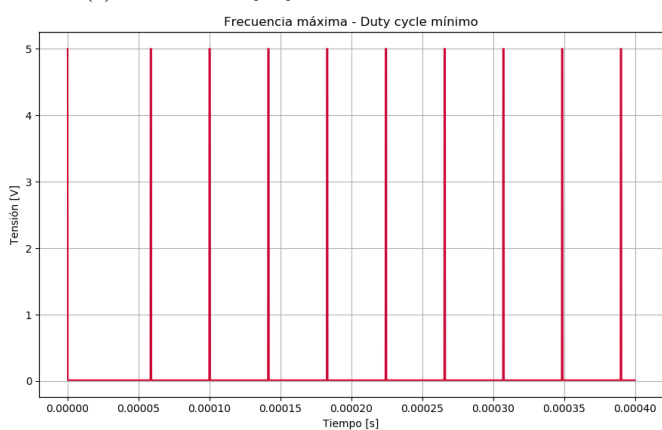
(b) Onda simétrica con mínima frecuencia.



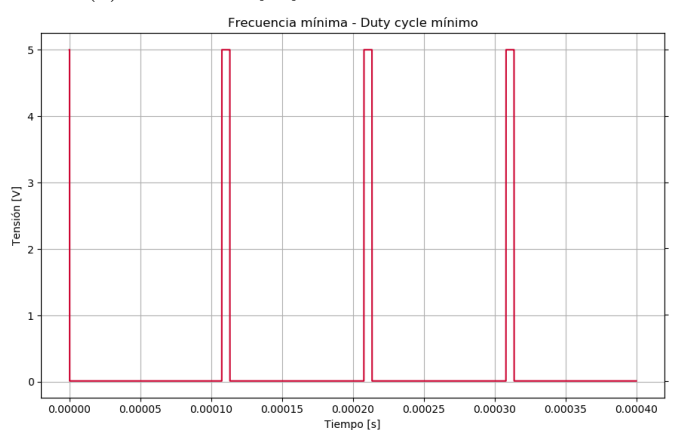
(c) Máximo duty cycle con máxima frecuencia.



(d) Máximo duty cycle con mínima frecuencia.



(e) Mínimo duty cycle con máxima frecuencia.



(f) Mínimo duty cycle con mínima frecuencia.

6. Entorno de simulación

La GUI fue desarrollada con la herramienta GNU Radio, la cual es similar a simulink de matlab, permitiendo realizar simulaciones de signal processing en tiempo real, este fue desarrollado en C++ y python. Siendo (30) la interfaz del programa,

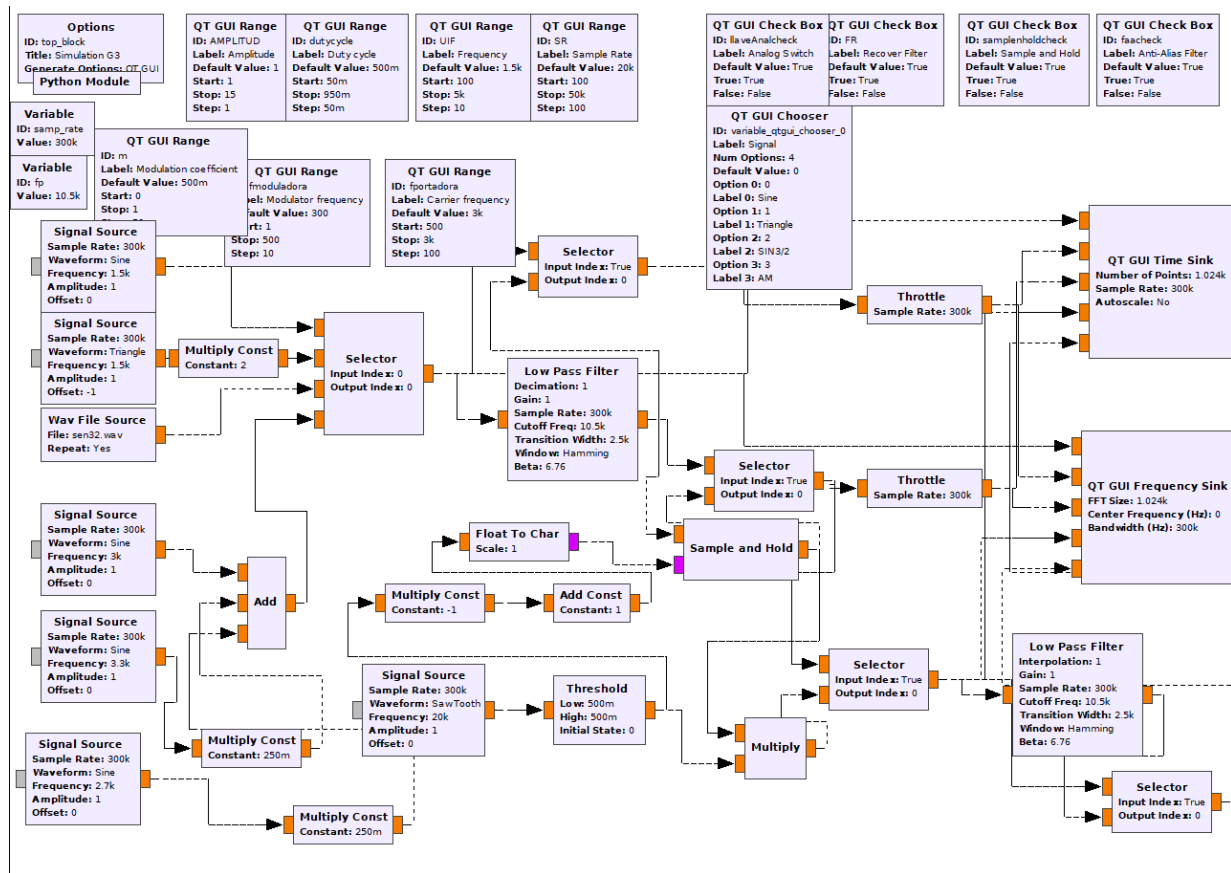


Figura 36: Interfaz GNURadio.

Para correr el programa lo primero es descargar el software desde la [página](#) la versión v3.7.13.5/v1.6, luego debe abrirse la aplicación "GNURadio companion", la cual abre el entorno de simulación, luego se le debe dar al simbolo de play para comenzar. Se le debe abrir la siguiente interfaz.

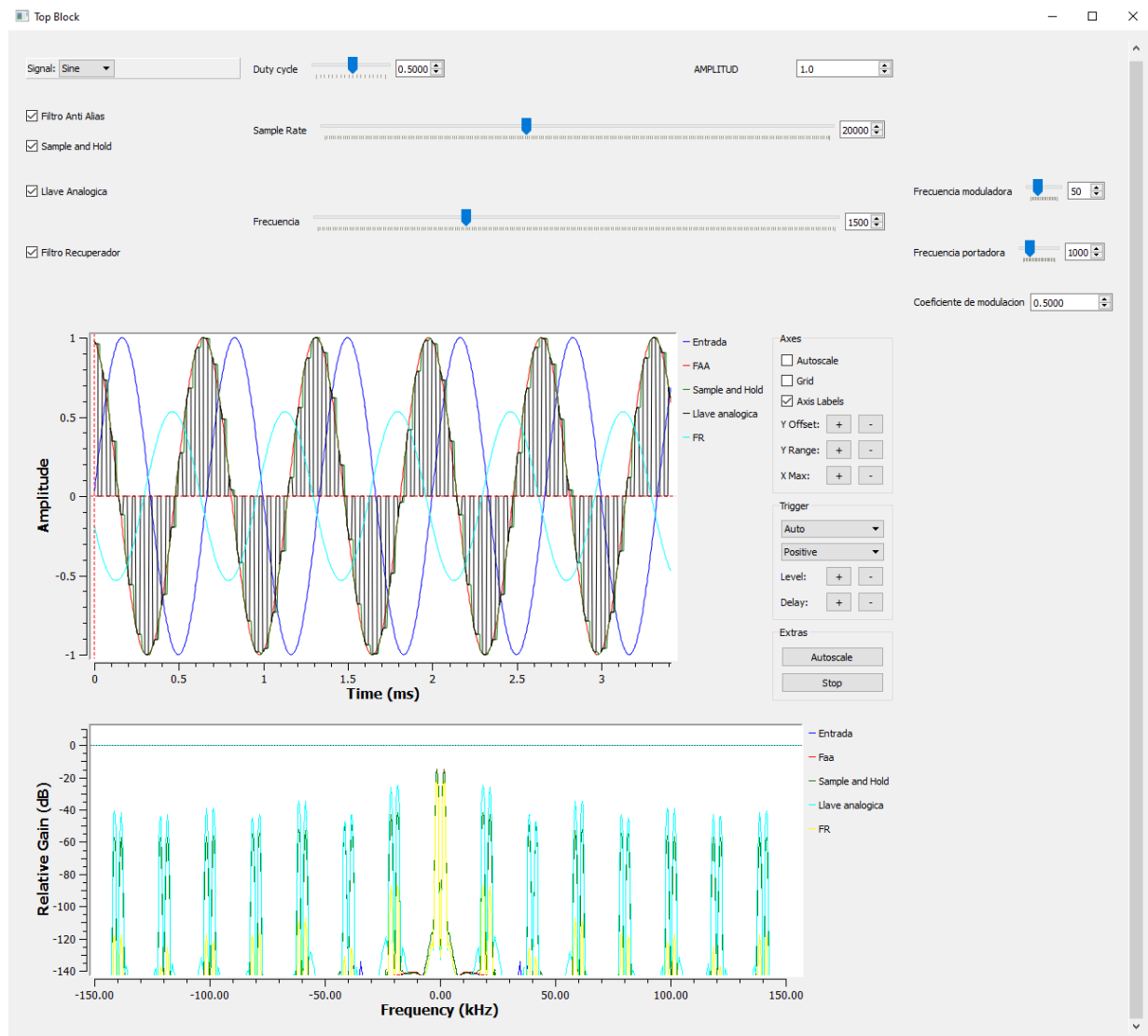


Figura 37: GUI.

2

²A veces no se refresca bien la señal triangular, para que se actualize cambie la amplitud.

7. Sub-Muestreo

7.1. Muestreo Sub-Nyquist

En esta sección vamos a estudiar como es posible preservar información contenida en una señal aunque esta sea muestreada por debajo de la frecuencia de Nyquist. En la sección sobre **FAA** fue analizada la importancia de muestrear nuestra señal de interés de tal forma de que no se produzca *aliasing* en el espectro. Principalmente se estableció que la mínima frecuencia de muestreo admisible tal que no se produzca aliasing es $f_{sampling} = 2 * f_{max}$. De esta forma podemos asegurar que los espectros no se solaparan. No obstante, en la practica es necesario dejar un espacio de guarda por sobre los limites impuesto por la frecuencia de Nyquist. Esto se debe a que los filtros *anti-aliasing* y *recuperadores* no son ideales sino que tienen un cierto roll-off que debe ser tenido en cuenta.

Si se trabajan con señales del orden de los *MHz* o superiores entonces generar muestras a una frecuencia del doble de la de entrada impone limitaciones sobre el ancho de banda de los canales de transmisión y sobre los ADC o FPGA que tratan estas muestras luego.

Como fue mencionado en la sección previa la señal a analizar es la siguiente:

$$X_c = A_{MAX} \cdot \left[\frac{1}{2} \cdot \cos(2\pi(1.8f_{in})t) + \cos(2\pi(2f_{in})t) + \frac{1}{2} \cdot \cos(2\pi(2.2f_{in})t) \right] \quad (11)$$

Por requisito de la consigna de ahora en más

$$f_{in} = 0.8 \cdot f_p$$

Por lo tanto

$$f_{portadora} = 2.4KHz$$

$$f_{moduladora} = 240Hz$$

La señales de AM son un ejemplo de las llamadas señales **pasabanda**. Estas son señales cuyo contenido espectral esta acotado dentro de una banda **B**.

7.1.1. Elección de la tasa de muestreo

Para obtener la tasa de muestreo Sub-Nyquist optima utilizamos la siguiente expresión:

$$\frac{2f_c - B}{m} < f_s < \frac{2f_c + B}{m + 1} \quad (12)$$

donde m representa la cantidad de repeticiones del espectro y B el ancho de banda, en nuestro caso $480KHz$

m	$\frac{2f_c - B}{m}$	$\frac{2f_c + B}{m + 1}$	f_s optima
1	4320	2640	2640
2	2160	1760	1760
3	1440	1320	1320
4	1080	1056	1056
5	864	880	No valido
6	720	754.29	No valido

Tabla 10: Búsqueda iterativa de la frecuencia optima de muestreo Sub-Nyquist

La menor frecuencia admisible es de $1056Hz$. Es decir caso unas 5 veces menor que que la frecuencia de Nyquist $f_{nyquist} = 4800Hz$. Esto supone una gran ventaja en cuanto a aprovechamiento del espacio espectral.

7.1.2. Análisis sin FAA ni recuperador usando muestreo natural

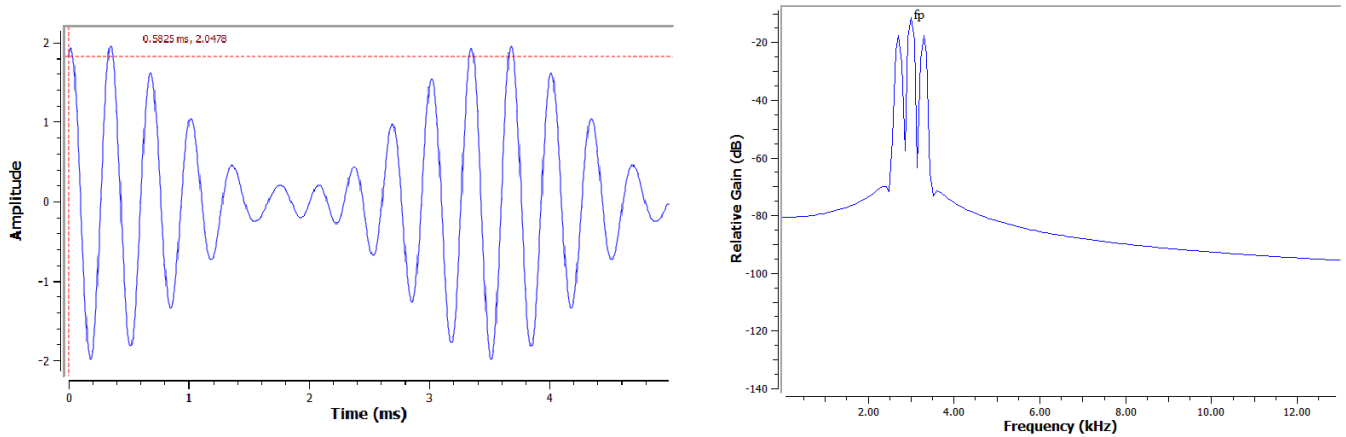


Figura 38: Señal original

En la figura 32 podemos observar la señal AM tanto en el dominio del tiempo como en la frecuencia donde se están presentes la señal portadora (lóbulo central) y la moduladora en los lóbulos laterales.

Debajo se encuentran las imágenes obtenidas mediante *LTSpice*

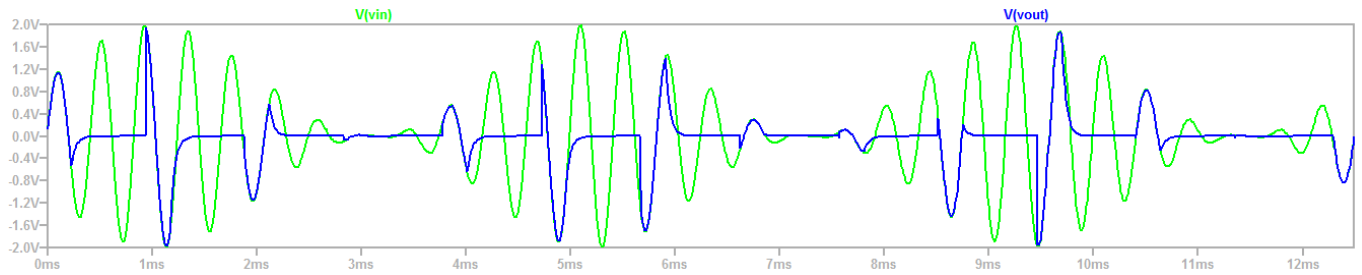


Figura 39

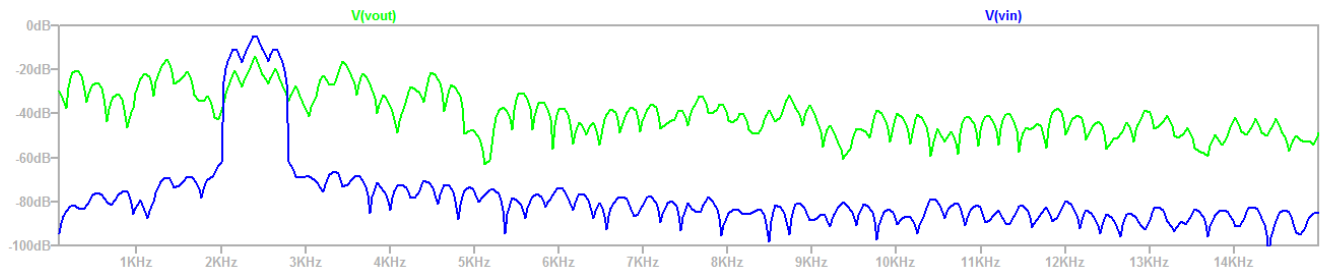


Figura 40: FFT de la señal muestreada a 1056 muestras por segundo

Como se puede apreciar en la figura 34 se ha conservado el espectro y este ha sido trasladado a un espacio espectral por debajo de 1KHz , además como se utilizó $m = 4$ (es decir un valor **par**) no hay inversión espectral en los espectros de numeración impar

A continuación las imágenes obtenidas mediante nuestro entorno de simulación

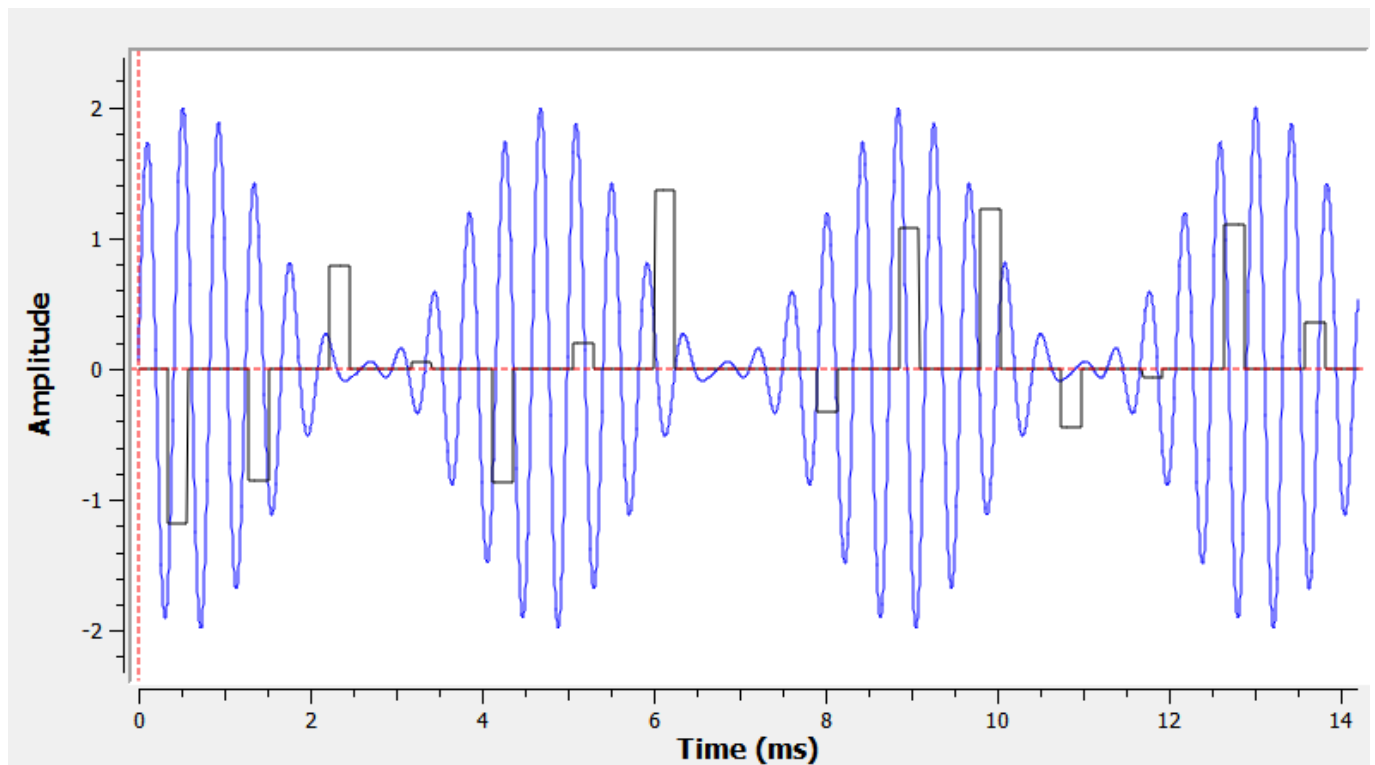


Figura 41: Señal muestreada a 1056 muestras por segundo en el entorno de simulación

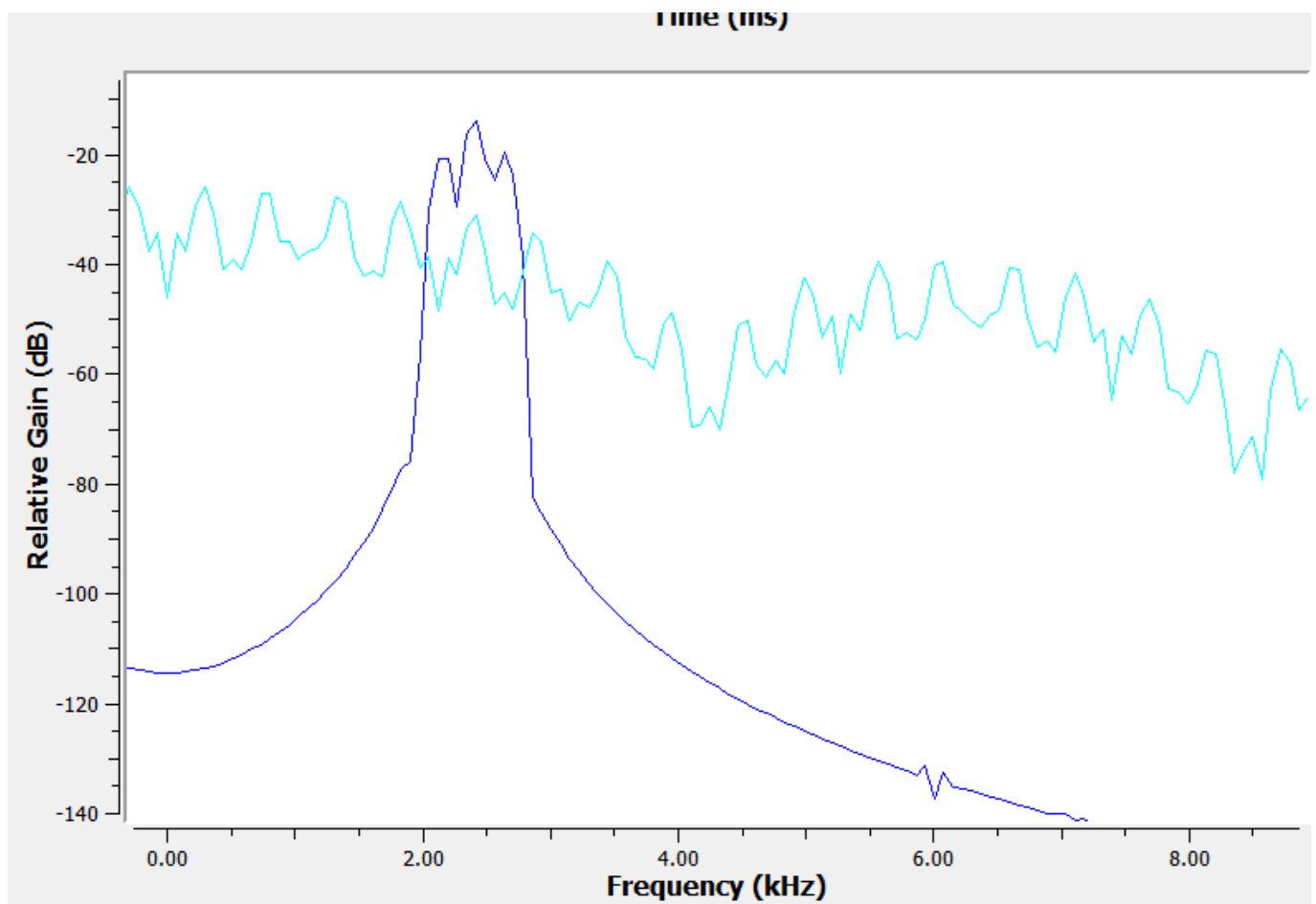


Figura 42: FFT de la señal muestreada a 1056 muestras por segundo en el entorno de simulación

Nuevamente se utilizo *LTSpice* para simular la utilización del modulo *Sample and Hold*

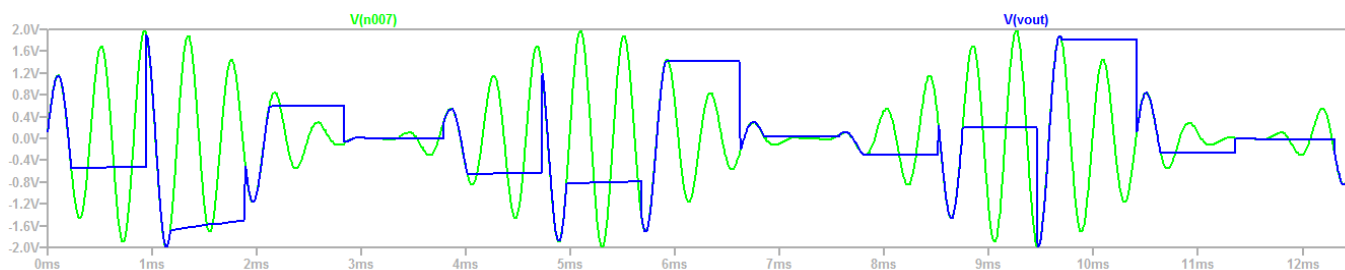


Figura 43: Señal de AM muestreada con Sample and Hold

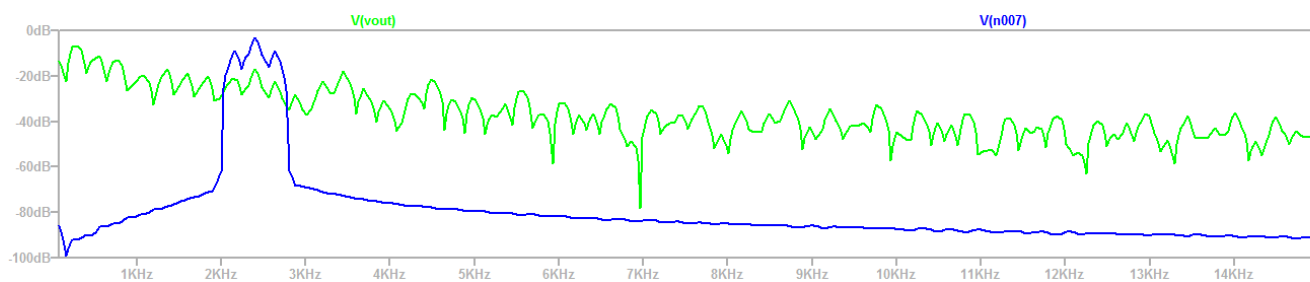


Figura 44: FFT de la señal de AM muestreada a 1056 muestras por segundo

En esta ocasión podemos observar un espectro mucho más propenso a sufrir de aliasing.

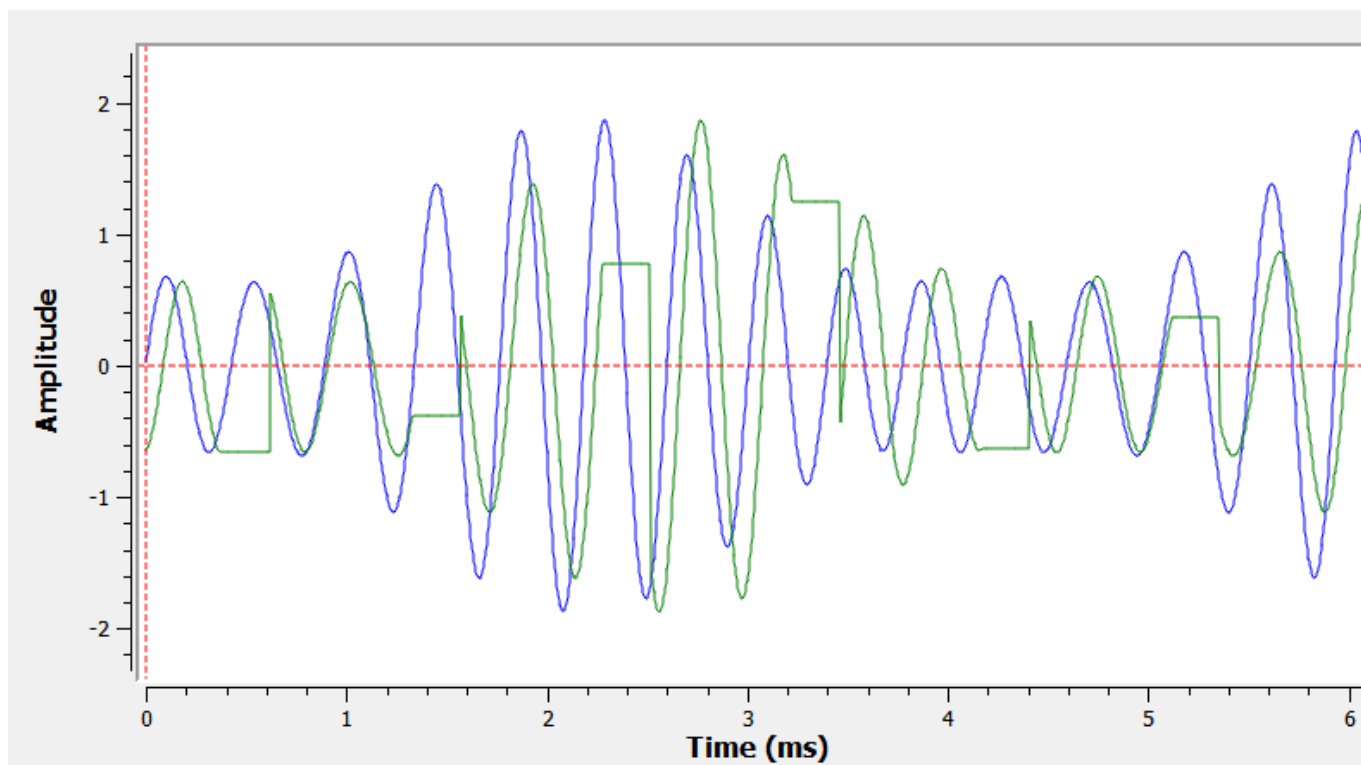


Figura 45: Sample and Hold simulado en el entorno de simulación

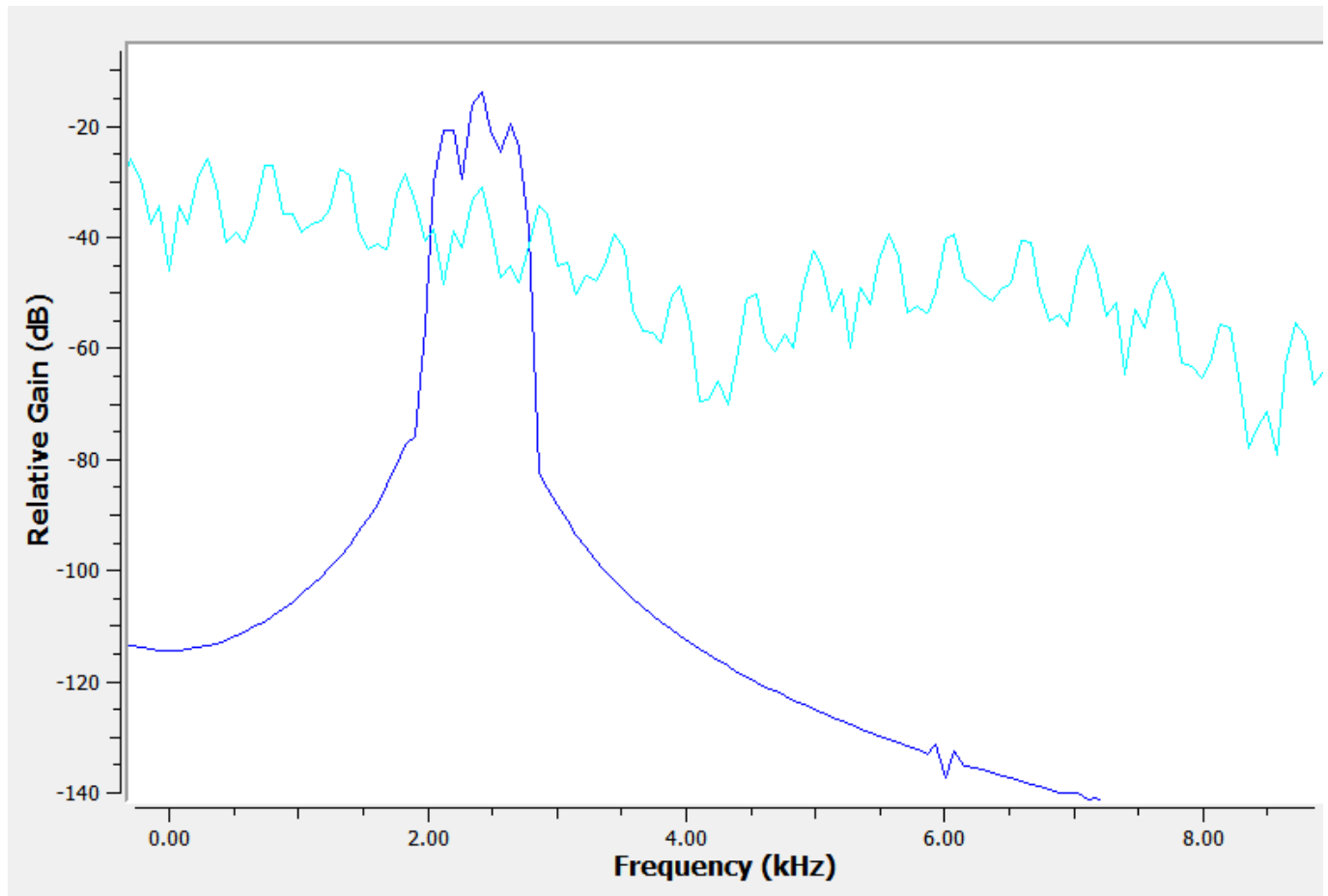


Figura 46: FFT de la señal luego del Samplen and Hold a 1056 muestras por segundo en el entorno de simulación

Podemos concluir que la utilización cuidadosa del método de sub-muestreo facilita el diseño de sistemas para que estos trabajen a frecuencias menores, además permite ahorrar el costo de circuitos analógicos que trasladan las señales de interés a frecuencias menores en equipos de radio.

al mismo tiempo que practica la economía de ancho de banda, un recurso limitado a la hora de transmitir información.

Por último, recomendamos la lectura de *Application Report Why use Oversampling when Undersampling can do the Job?* de Texas Instruments.