

Instituto Tecnológico de Buenos Aires

22.11 ELECTRÓNICA I

Trabajo práctico N°2

Grupo 3

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
RODRIGUEZ TURCO, Martín Sebastian	56629
LONDERO BONAPARTE, Tomás Guillermo	58150

Profesores

Alcocer, Fernando
Oreglia, Eduardo Victor
Gardella, Pablo Jesús

Presentado: 13/11/19

Índice

1. Introducción	2
2. Desarrollo	2
2.1. Componentes dispuestos	2
2.2. Circuitos considerados	2
2.3. Fuente de corriente	3
2.4. Darlington polarizado por corriente	4
2.5. Desarrollo y armado de la placa	7
2.6. Mediciones	7
3. Conclusiones	7

1. Introducción

En el siguiente informe se busca analizar, desarrollar y confeccionar algún circuito estudiado a lo largo del cuatrimestre. Se destaca la existencia de una dificultad adicional, la cual se basa en el método mediante el cual se fueron adquiriendo los componentes. Estos fueron subastados durante la cursada, entre los diversos grupos. De esta forma, se condiciona el circuito final, ya que se posee acceso limitado a estos, los cuales no se pudieron elegir libremente.

2. Desarrollo

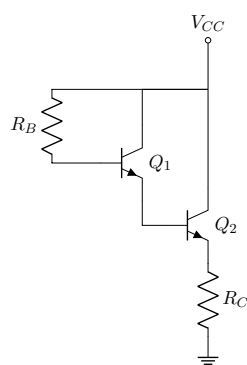
2.1. Componentes dispuestos

El presente grupo se valió de los siguientes componentes:

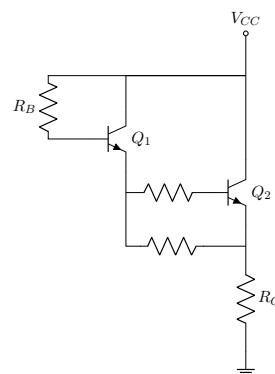
- Dos pares de resistencias de $6.8\text{ k}\Omega$ y de $680\text{ k}\Omega$.
- Un transistor BJT NPN.
- Un diodo 1N4148.
- Un JFET.
- Un par Darlington NPN.
- Una placa de 5x5.

2.2. Circuitos considerados

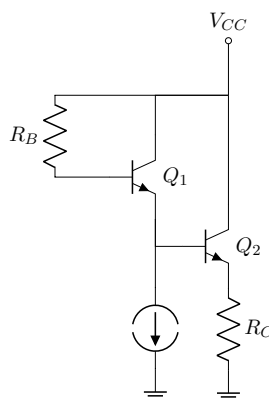
Como primer opción se consideró utilizar el par Darlington y mediante el uso de las resistencias, configurarlo de forma tal que este quede compensado. Una alternativa es el uso de una fuente de corriente, con el mismo objetivo que se mencionó anteriormente.



(a) Par Darlington.



(b) Par Darlington compensado con R .



(c) Par Darlington compensado con fuente de corriente.

Figura 1: Configuraciones posibles para el par Darlington.

La conexión representada en la Figura (1a) no es conveniente, ya que la caída de tensión entre la base y el emisor se encuentra entre 0.6 V y 1.5 V, siendo esta resultante de la suma de las tensiones base-emisor de ambos transistores. Esto genera a su vez que el dispositivo consuma más corriente y aumente su temperatura, además de generar respuestas más lentas frente a cambios en la entrada. Una solución a lo ya expresado se presenta en la Figura (1b).

Estrictamente hablando, esta disposición es la más económica al problema anterior. Dadas las condiciones, dicha consideración no afecta en la decisión a implementar, ya que se cuenta con componentes para realizar cualquiera de las tres. Finalmente, la mostrada en la Figura (1c) es más óptima para compensar el circuito, ya que permite aumentar I_{CEQ} sin modificar otros factores del propio circuito.

Se puede colocar un diodo entre el colector y el emisor de Q_2 . Este tipo de configuración es utilizada para trabajar con potencias altas. Dado que este enfoque no es de interés, se reserva dicho componente.

2.3. Fuente de corriente

Una vez determinado que la implementación óptima, con los componentes disponibles, es la presentada en la Figura (1c), se decide confeccionarla. Para ello, primero se opta por analizar la fuente de corriente. Esta puede ser realizada con el JFET, dispuesto en una configuración en la cual se autopolarice, como se presenta a continuación.

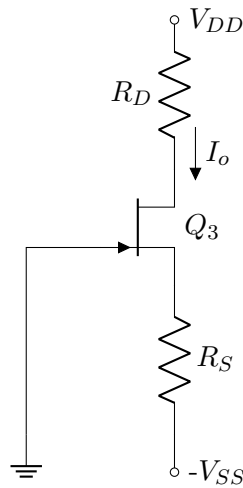


Figura 2: Fuente de corriente.

Recorriendo la malla de entrada y de salida del circuito de la Figura (2), se obtienen las siguientes ecuaciones:

$$V_{GS} = V_{SS} - I_{DS}R_S \quad (1)$$

$$V_{DS} = V_{DD} + V_{SS} - I_{DS}(R_D + R_S) \quad (2)$$

Además, se plantean las ecuaciones del JFET:

$$\begin{aligned} I_{DS} &= I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \\ gm &= 2 \frac{\sqrt{I_{DS}I_{DSS}}}{|V_P|} \end{aligned} \quad (3)$$

De esta forma, seleccionando el componente 2N3819, se obtiene de la hoja de datos los valores de interés, tales como $I_{DSS_{min}} = 2 \text{ mA}$ y $V_P = -8 \text{ V}$. Luego, estableciendo $V_{SS} = 10 \text{ V}$ y $R_S = R_D = 6.8 \text{ K}\Omega$ se calculan la corriente de drain y la tensión gate-source. Como es de esperarse, se obtienen dos valores posibles para cada variable:

Queda claro que los dos de arriba se corresponden?

$$I_{DS} = \begin{cases} 4.39 \text{ mA} \\ 1.60 \text{ mA} \end{cases} \quad V_{GS} = \begin{cases} -19.85 \text{ V} \\ -0.88 \text{ V} \end{cases}$$

Sabiendo que se debe cumplir que $I_{DSS} \geq I_{DS}$ y $V_{GS} > V_P$, se descartan los primeros valores, seleccionando $I_{DS} = 1.60 \text{ mA}$ y $V_{GS} = -0.88 \text{ V}$, obteniéndose así $gm = 0.45 \frac{\text{mA}}{\text{V}}$. De esta forma se garantiza que esté polarizado adecuadamente. Por otro lado, para garantizar que se cumpla $V_{DS} > V_{DSE} = |V_{GS} - V_P|$, se requiere el valor de V_{DD} . Dado que este circuito es empleado para polarizar otro, dicha tensión queda fijada por el circuito total, por lo que este análisis es expuesto más adelante.

Con lo establecido previamente, se prosigue a plantear el circuito incremental. Cabe aclarar que, como es de interés calcular la impedancia de salida, no se puede considerar tanto R_{DS} como R_{GS} despreciables. Es por ello que son tenidas en cuenta para este cálculo.

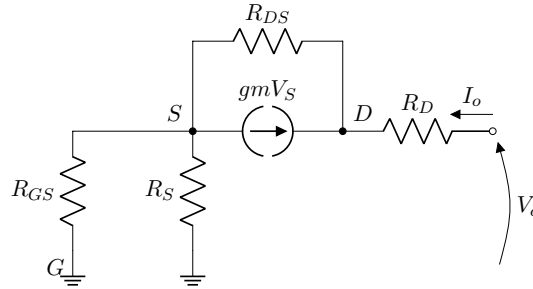


Figura 3: Circuito incremental de la Figura (2).

Se destaca que, como el gate queda a tierra, se cumple que $V_{GS} = V_G - V_S = -V_S$, por lo tanto, se da vuelta la fuente de corriente y se reemplaza con lo mencionado anteriormente.

Se define $R_S^* = R_S // R_{GS}$, para luego analizar el circuito presentado en la Figura (4).

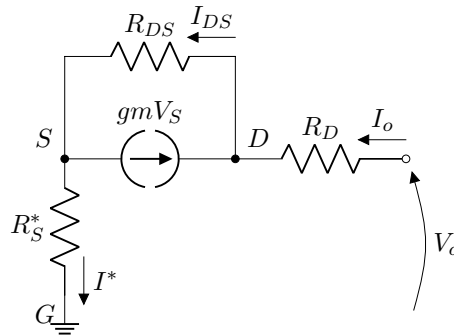


Figura 4: Análisis de la impedancia de salida del circuito de la Figura (3).

Planteando

$$\begin{aligned} V_o &= I_{DS} R_{DS} + I_o (R_D + R_S^*) \\ I_{DS} &= gm V_S + I_o = (gm R_S^* + 1) I_o \end{aligned}$$

y operando algebraicamente se obtiene la variable deseada de la forma:

$$\begin{aligned} R_{OF} &= \frac{V_o}{I_o} = R_{DS} (1 + gm R_S^*) + R_S^* + R_D \\ &= R_{DS} (1 + gm R_S // R_{GS}) + R_S // R_{GS} + R_D \end{aligned} \quad (4)$$

Para poder continuar, se toma $R_{GS} \rightarrow \infty$, luego se asume $V_A = -90 \text{ V}$, estimando así $R_{DS} = \frac{V_A}{I_{DS}} = 56.25 \text{ K}\Omega$. De esta forma se obtiene de (4) el valor de la impedancia de salida $R_{OF} \approx 240.91 \text{ K}\Omega$.

2.4. Darlington polarizado por corriente

Con lo obtenido en la Sección (2.3), se posee la información necesaria para analizar el circuito presentado en la Figura (1c). El primer paso, consiste en reemplazar la fuente de corriente por su respectiva impedancia de salida R_{OF} .

En el análisis que se muestra a continuación se considera también la carga y la fuente del sistema, componentes que no fueron presentados en la Figura (1) por simplicidad.

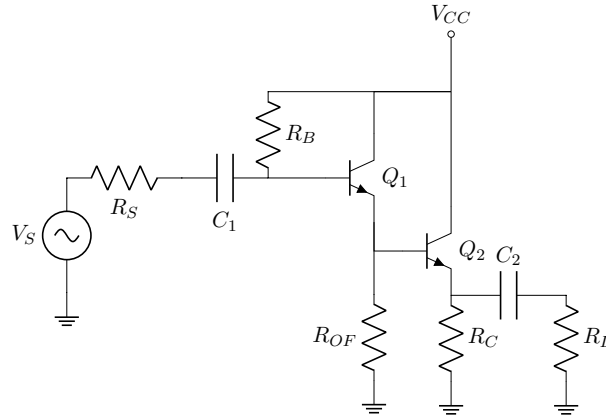


Figura 5: Circuito equivalente al reemplazar la fuente de corriente.

Planteando la malla de entrada y salida para cada transistor, se obtienen las siguientes ecuaciones:

$$V_{CC} - V_{BEON_1} = I_{CE1} R_{OF}$$

$$V_{CC} - V_{BEON_1} - V_{BEON_2} = I_{CE2} R_C$$

$$V_{CC} - V_{CE1} = I_{CE1} R_{OF}$$

$$V_{CC} - V_{CE2} = I_{CE2} R_C$$

Se decidió seleccionar transistores [BC547](#) para este par, tomando $h_{FE} = 110$ de la hoja de datos. De manera similar al caso realizado con el JFT, se establecen $V_{CC} = 15\text{ V}$ y $R_B = R_C = 680\ \Omega$. Cabe destacar que, por el uso de la fuente de corriente, $I_{CE1} = I_{DS} = 1.60\text{ mA}$ del JFET.

$$I_{CE1} =$$

$$I_{CE2} =$$

$$V_{CE1} =$$

$$V_{CE2} =$$

$V_{V_{BEON_1}}$ no es 0.7?

Planteando su respectivo modelo incremental, se llega al circuito presentado a continuación:

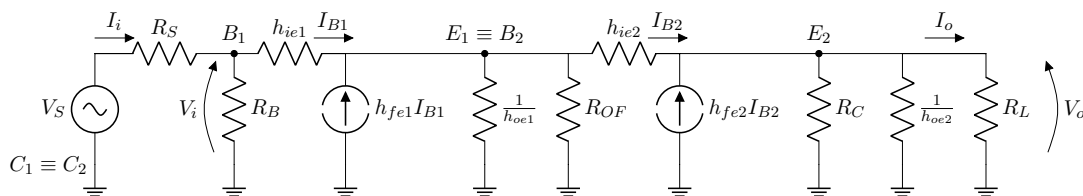
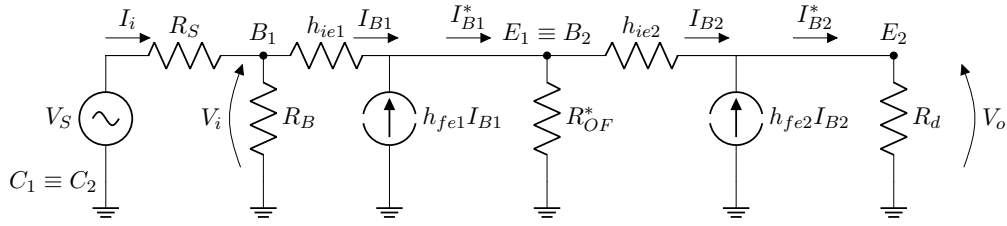
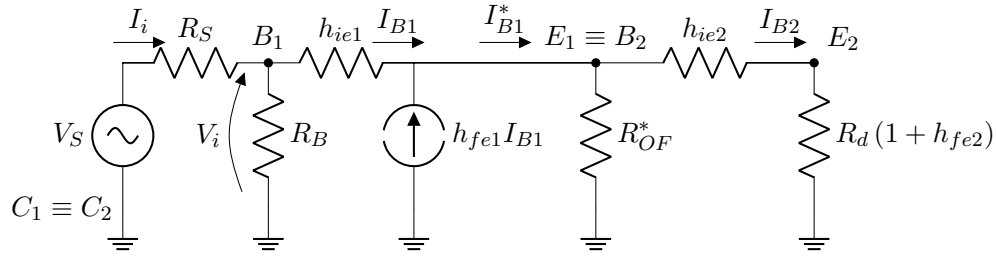


Figura 6: Modelo incremental del par Darlington.

Definiéndose $R_{OF}^* = R_{OF} // \frac{1}{h_{oe1}}$ y $R_d = R_C // \frac{1}{h_{oe2}} // R_L$, se obtiene



Donde $I_{B1}^* = I_{B1}(1 + h_{fe1})$ y $I_{B2}^* = I_{B2}(1 + h_{fe2})$. Aplicando paso a nivel de corriente se llega a



Por un lado se destaca que

$$V_o = I_{B2} R_d (1 + h_{fe2})$$

Siendo así

$$\frac{V_o}{I_{B2}} = R_d (1 + h_{fe2}) \quad (5)$$

Por otro lado, se analiza la relación entre I_{B1}^* e I_{B2}^* mediante un divisor de corrientes, consiguiéndose

$$I_{B2} = I_{B1}^* \frac{R_{OF}^*}{R_{OF}^* + h_{ie2} + R_d(1 + h_{fe2})} = I_{B1} \frac{R_{OF}^* (1 + h_{fe1})}{R_{OF}^* + h_{ie2} + R_d(1 + h_{fe2})}$$

Dividiéndose a ambos lados por I_{B1}

$$\frac{I_{B2}}{I_{B1}} = \frac{R_{OF}^* (1 + h_{fe1})}{R_{OF}^* + h_{ie2} + R_d(1 + h_{fe2})} \quad (6)$$

Luego, se observa que

$$V_i = I_{B1} h_{ie1} + I_{B2} [h_{ie2} + R_d(1 + h_{fe2})] \quad (7)$$

Utilizando (6) en (7), se llega a la expresión

$$\frac{V_i}{I_{B1}} = h_{ie1} + \frac{R_{OF}^* [h_{ie2} + R_d(1 + h_{fe2})] (1 + h_{fe1})}{R_{OF}^* + h_{ie2} + R_d(1 + h_{fe2})} \quad (8)$$

Con lo obtenido en (5), (6) y (8), se procede a calcular la transferencia ΔV , siendo esta de la forma

$$\Delta V \triangleq \frac{V_o}{V_i} = \frac{V_o}{I_{B2}} \frac{I_{B2}}{I_{B1}} \frac{I_{B1}}{V_i} = \frac{R_d R_{OF}^* (1 + h_{fe2}) (1 + h_{fe1})}{[R_d(1 + h_{fe2})(1 + h_{fe1}) + h_{fe1} h_{ie2} + h_{ie1} + h_{ie2}] R_{OF}^* + h_{ie1} [h_{ie2} + R_d(1 + h_{fe2})]} \quad (9)$$

Para la ganancia de corriente se observa nuevamente la Figura (6). Aplicando un divisor de corriente a la salida se obtiene una expresión que relaciona I_{B2} con I_o .

$$I_o = I_{B2} (1 + h_{fe2}) \frac{R_C // \frac{1}{h_{oe2}}}{R_C // \frac{1}{h_{oe2}} + R_L}$$

$$\frac{I_o}{I_{B2}} = (1 + h_{fe2}) \frac{R_C // \frac{1}{h_{oe2}}}{R_C // \frac{1}{h_{oe2}} + R_L} \quad (10)$$

Luego, se plantean las corrientes para el nodo B_1 .

$$I_i = \frac{V_i}{R_B} + I_{B1}$$

$$\frac{I_i}{I_{B1}} = 1 + \frac{V_i}{I_{B1}} \frac{1}{R_B} \quad (11)$$

Por lo tanto, de la misma forma que se realizó para la ganancia de tensión, mediante el uso de (6), (8), (10) y (11), se calcula la ganancia de corriente.

$$\Delta I \triangleq \frac{I_o}{I_i} = \frac{I_o}{I_{B2}} \frac{I_{B2}}{I_{B1}} \frac{I_{B1}}{I_i}$$

$$\Delta I = \frac{R_C R_{OF}^* R_B (1 + h_{fe2}) (1 + h_{fe1})}{D} \quad (12)$$

Siendo

$$D = (R_C R_L h_{oe2} + R_C + R_L) \{ [h_{ie2} + R_d (1 + h_{fe2})] (R_B + h_{ie1}) + [R_d (1 + h_{fe2}) (1 + h_{fe1}) + h_{fe1} h_{ie2} + R_B + h_{ie1} + h_{ie2}] R_{OF}^* \} \quad (13)$$

A continuación, se calcula la impedancia de entrada del amplificador, mediante el uso de (8) y (11), siendo esta

$$R_{ia} = \frac{V_i}{I_i} = \frac{V_i}{I_{B1}} \frac{I_{B1}}{I_i}$$

$$R_{ia} = \frac{\{ [R_d (1 + h_{fe2}) (1 + h_{fe1}) + h_{fe1} h_{ie2} + h_{ie1} + h_{ie2}] R_{OF}^* + h_{ie1} [h_{ie2} + R_d (1 + h_{fe2})] \} R_B}{[R_d (1 + h_{fe2}) (1 + h_{fe1}) + h_{ie1} + (1 + h_{fe1}) h_{ie2} + R_B] R_{OF}^* + [h_{ie2} + R_d (1 + h_{fe2})] (R_B + h_{ie1})} \quad (14)$$

R_{oa}

Una vez calculada ΔV y R_{ia} , se puede calcular la ganancia del sistema ΔV_S , siendo esta

$$\Delta V_S \triangleq \frac{V_S}{V_i} = \frac{V_S}{V_o} \frac{V_o}{V_i} = \frac{V_o}{V_i} \frac{R_i}{R_S + R_{ia}} \quad (15)$$

2.5. Desarrollo y armado de la placa

Esquemático, PCB y foto. Consideraciones necesarias para medir.

2.6. Mediciones

3. Conclusiones

Dado que se optó por confeccionar una configuración Darlington, se puede afirmar que la ganancia de corriente del circuito, la cual ya de por sí es grande, como se demostró en (...), es mayor que la de los demás grupos, ya que la principal característica de este es la alta ganancia de dicha variable. Por otro lado, también es posible afirmar que la polarización resulta altamente estable, ya que se logró efectuar la polarización mediante una fuente de corriente.