

Instituto Tecnológico de Buenos Aires

22.11 ELECTRÓNICA I

Trabajo práctico N°2

Grupo 3

| | |
|------------------------------------|-------|
| MECHOULAM, Alan | 58438 |
| LAMBERTUCCI, Guido Enrique | 58009 |
| RODRIGUEZ TURCO, Martín Sebastian | 56629 |
| LONDERO BONAPARTE, Tomás Guillermo | 58150 |

Profesores

Alcocer, Fernando
Oreglia, Eduardo Victor
Gardella, Pablo Jesús

Presentado: 13/11/19

Índice

| | |
|--|----------|
| 1. Introducción | 2 |
| 2. Desarrollo | 2 |
| 2.1. Componentes dispuestos | 2 |
| 2.2. Circuitos considerados | 2 |
| 2.3. Fuente de corriente | 3 |
| 2.4. Darlington polarizado por corriente | 5 |
| 2.5. Desarrollo y armado de la placa | 6 |
| 2.6. Mediciones | 6 |
| 3. Conclusiones | 6 |

1. Introducción

En el siguiente informe se busca analizar, desarrollar y confeccionar algún circuito estudiado a lo largo del cuatrimestre. Se destaca la existencia de una dificultad adicional, la cual se basa en el método mediante el cual se fueron adquiriendo los componentes. Estos fueron subastados durante la cursada, entre los diversos grupos. De esta forma, se condiciona el circuito final, ya que se posee acceso limitado a estos, los cuales no se pudieron elegir libremente.

2. Desarrollo

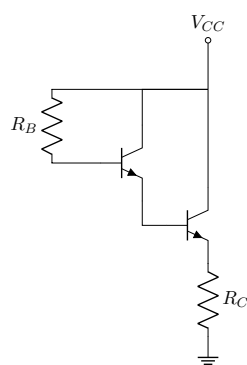
2.1. Componentes dispuestos

El presente grupo se valió de los siguientes componentes:

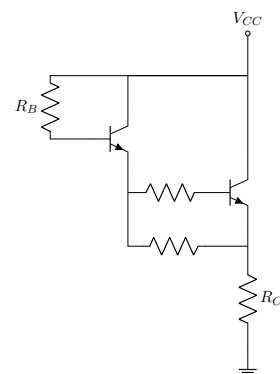
- Dos pares de resistencias de $6.8\text{ k}\Omega$ y de $680\text{ k}\Omega$.
- Un transistor BJT NPN.
- Un diodo 1N4148.
- Un JFET.
- Un par Darlington NPN.
- Una placa de 5x5.

2.2. Circuitos considerados

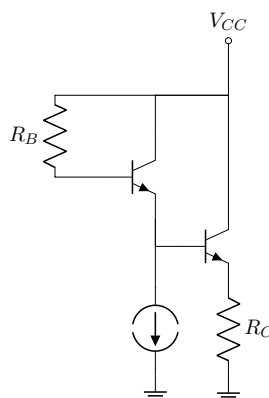
Como primer opción se consideró utilizar el par Darlington y mediante el uso de las resistencias, configurarlo de forma tal que este quede compensado. Una alternativa es el uso de una fuente de corriente, con el mismo objetivo que se mencionó anteriormente.



(a) Par Darlington.



(b) Par Darlington compensado con R .



(c) Par Darlington compensado con fuente de corriente.

Figura 1: Configuraciones posibles para el par Darlington.

La conexión representada en la Figura (1a) no es conveniente ya que ambos transistores consumen mucha corriente. Estrictamente hablando, la disposición presentada en la Figura (1b) es la más económica. Dadas las condiciones, dicha consideración no afecta en la decisión a implementar, ya que se cuenta con componentes para realizar cualquiera de las tres. Finalmente, la mostrada en la Figura (1c) es más optima para compensar el circuito, ya que permite aumentar I_{CEQ} sin modificar otros factores del propio circuito.

Mejorar justificación de porqué a y b son peores que c.

2.3. Fuente de corriente

Una vez determinado que la implementación optima, con los componentes disponibles, es la presentada en la Figura (1c), se decide confeccionarla. Para ello, primero se opta por analizar la fuente de corriente. Esta puede ser realizada con el JFET, dispuesto en una configuración en la cual se autopolarice, como se presenta a continuación.

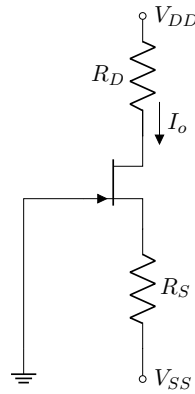


Figura 2: Par Darlington.

Recorriendo la malla de entrada y de salida del circuito de la Figura (2), se obtienen las siguientes ecuaciones:

$$V_{GS} = V_{SS} - I_D R_S \quad (1)$$

$$V_{DS} = V_{DD} + V_{SS} - I_D (R_D + R_S) \quad (2)$$

Sabiendo que para un JFET se cumple que

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 \quad (3)$$

$$gm = 2 \frac{\sqrt{I_D I_{DSS}}}{|V_P|}$$

De esta forma, seleccionando el componente XX y estableciendo $V_{SS} = XX \text{ V}$, $V_{DD} = XX \text{ V}$, $R_S = XX \text{ } \Omega$ y $R_D = XX \text{ } \Omega$ se obtiene

Poner que JFET se usó, datasheet y reemplazar valores.

Seleccionar que resistencias usar, V_{SS} y V_{DD} .

Con lo establecido previamente, se prosigue a plantear el circuito incremental. Cabe aclarar que, como es de interés calcular la impedancia de salida, no se puede considerar tanto R_{DS} como R_{GS} despreciables. Es por ello que son tenidas en cuenta para este cálculo.

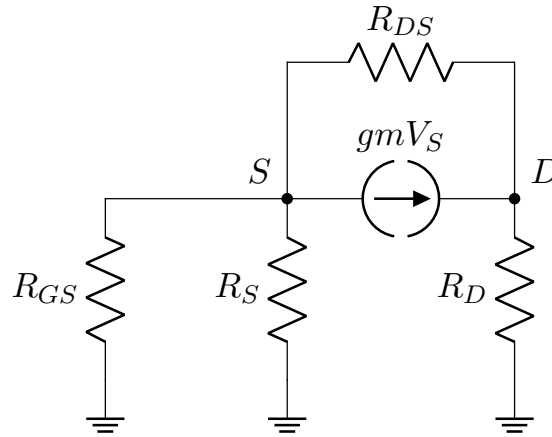


Figura 3: Circuito incremental de la Figura (2).

Se destaca que, como el Gate queda a tierra, se cumple que $V_{GS} = V_G - V_S = -V_S$, por lo tanto, se da vuelta la fuente de corriente y se reemplaza con lo mencionado anteriormente.

Se define $R_S^* = R_S // R_{GS}$, para luego analizar el circuito presentado en la Figura (4).

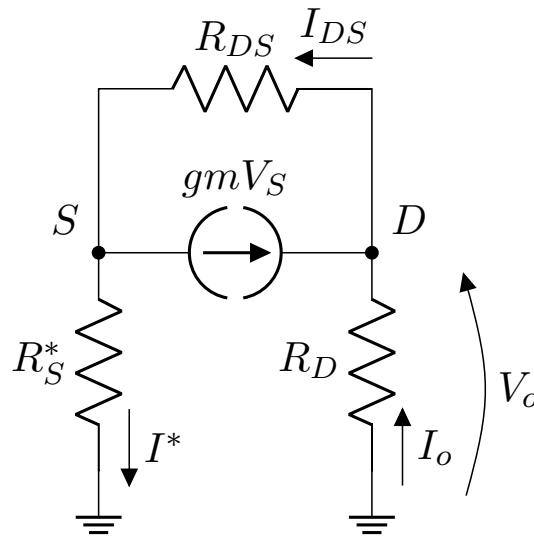


Figura 4: Análisis de la impedancia de salida del circuito de la Figura (3).

Planteando

$$I^* = \frac{V_S}{R_S^*}$$

$$V_o = -I^* R_D = -I_o R_D$$

$$I_{DS} = \frac{V_D - V_S}{R_{DS}}$$

y operando algebraicamente se obtiene la variable deseada de la forma:

$$R_{OF} = R_{DS} (1 + gm R_S^*) + R_S^* \quad (4)$$

2.4. Darlington polarizado por corriente

Con lo obtenido en la Sección (2.3), se posee la información necesaria para analizar el circuito presentado en la Figura (1c). El primer paso, consiste en reemplazar la fuente de corriente por su respectiva impedancia de salida R_{OF} .

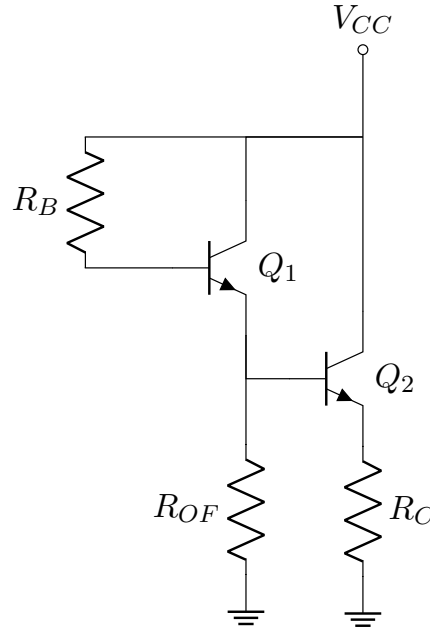


Figura 5: Circuito equivalente al reemplazar la fuente de corriente.

Planteando la malla de entrada y salida para cada transistor, se obtienen las siguientes ecuaciones:

$$V_{CC} - V_{BEON} = I_{CE1} R_{OF}$$

$$V_{CC} - 2V_{BEON} = I_{CE2} R_{OF}$$

$$V_{CC} - V_{CE1} = I_{CE1} R_{OF}$$

$$V_{CC} - V_{CE2} = I_{CE2} R_C$$

Cabe destacar que, por el uso de la fuente de corriente, $I_{CE1} = I_D$ del JFET. Además, se seleccionar transistores NPN XX

Poner que NPNs se usaron, datasheet y reemplazar valores.
 Seleccionar que resistencias usar, V_{CC} .

Planteando su respectivo modelo incremental, se llega al circuito presentado a continuación:

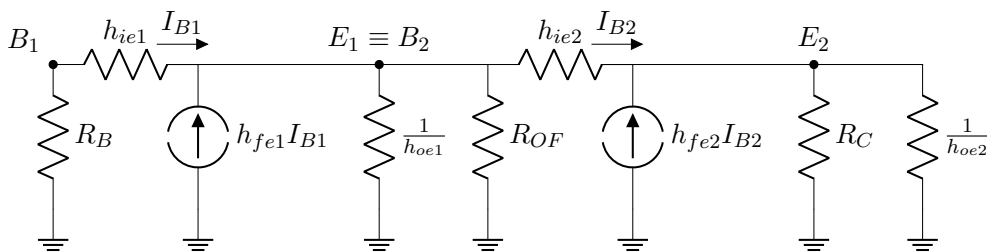


Figura 6: Modelo incremental del par Darlington.

2.5. Desarrollo y armado de la placa

2.6. Mediciones

3. Conclusiones