

Instituto Tecnológico de Buenos Aires

22.11 ELECTRÓNICA I

Trabajo práctico N°2

Grupo 3

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
RODRIGUEZ TURCO, Martín Sebastian	56629
LONDERO BONAPARTE, Tomás Guillermo	58150

Profesores

Alcocer, Fernando
Oreglia, Eduardo Victor
Gardella, Pablo Jesús

Presentado: 13/11/19

Índice

1. Introducción	2
2. Componentes dispuestos	2
3. Circuitos considerados	2
4. Fuente de corriente	3
4.1. Polarización	3
4.2. Impedancia de salida	4
5. Darlington polarizado por corriente	5
5.1. Polarización	5
5.2. Circuito incremental	6
6. Desarrollo y armado de la placa	9
7. Mediciones	11
8. Conclusiones	13

1. Introducción

En el siguiente informe se busca analizar, desarrollar y confeccionar un circuito amplificador con componentes discretos utilizando de base lo aprendido a lo largo del cuatrimestre. Se destaca la existencia de una dificultad adicional, la cual se basa en el método mediante el cual se fueron adquiriendo los componentes. Estos fueron subastados durante la cursada, entre los diversos grupos. De esta forma, se condiciona el circuito final, ya que se posee acceso limitado a los recursos, los cuales no se pudieron elegir libremente.

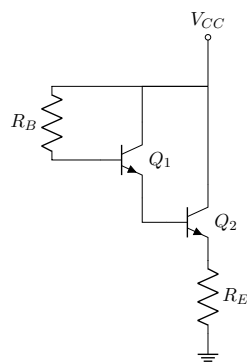
2. Componentes dispuestos

El presente grupo se valió de los siguientes componentes:

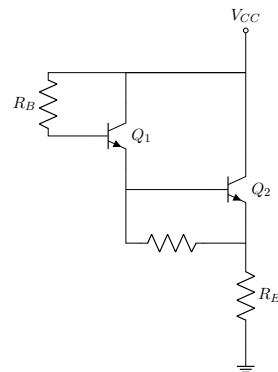
- Dos pares de resistencias de $6.8\text{ k}\Omega$ y de $680\text{ k}\Omega$.
- Un transistor BJT NPN.
- Un diodo 1N4148.
- Un JFET.
- Un par Darlington NPN.
- Una placa de 5x5.

3. Circuitos considerados

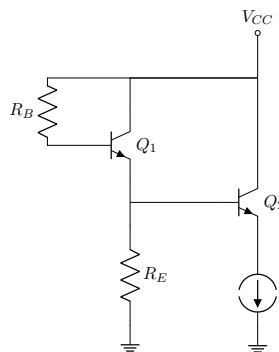
Como primer opción se consideró utilizar el par Darlington y mediante el uso de las resistencias, configurarlo de forma tal que este quede compensado. Una alternativa es el uso de una fuente de corriente, con el mismo objetivo que se mencionó anteriormente.



(a) Par Darlington.



(b) Par Darlington compensado con R .



(c) Par Darlington compensado con fuente de corriente.

Figura 1: Configuraciones y modificaciones posibles para el par Darlington.

La conexión representada en la Figura (1a) no es la más conveniente. Una de las principales desventajas consiste en que si es deseable aumentar la ganancia de tensión del sistema, se debe modificar el valor de R_E , modificando también la polarización del sistema. En otras palabras, se debe realizar un balance adecuado y tener muy en cuenta lo que uno busca optimizar.

Por otro lado, la mostrada en la Figura (1b) permite aumentar la corriente I_{CE1} y aprovecharla de cierta forma llevándola al colector de Q_2 . Una variación que busca mejorar esta configuración consiste en colocar la resistencia a tierra, ya que de esta forma permite extraer más corriente de Q_1 .

Finalmente, la mostrada en la Figura (1c) se considera la más óptima para compensar el circuito, ya que permite polarizar el transistor Q_2 mediante corriente, aprovechando también la resistencia a tierra mencionada para el caso anterior. Una particularidad de esta disposición es que la fuente empleada actúa tanto en la polarización como una carga activa. Además, de esta forma, es posible aumentar I_{CE2} sin modificar otros factores del propio circuito.

Cabe aclarar que, la disposición presentada en la Figura (1b), estrictamente hablando, es la más económica al problema anterior. Dadas las condiciones, dicha consideración no afecta en la decisión a implementar, ya que se cuenta con componentes para realizar cualquiera de las tres.

4. Fuente de corriente

Una vez determinado que la implementación óptima, con los componentes disponibles, es la presentada en la Figura (1c), se decide llevar adelante su análisis y confeccionarla. Para ello, primero se opta por analizar la fuente de corriente. Esta puede ser realizada con el JFET, dispuesto en una configuración en la cual se autopolarice, como se presenta a continuación.

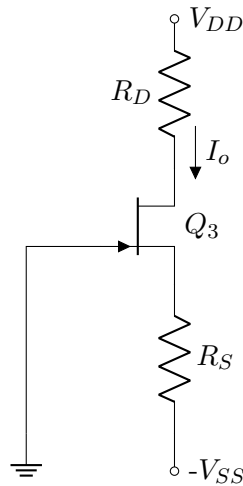


Figura 2: Fuente de corriente.

4.1. Polarización

Recorriendo la malla de entrada del circuito de la Figura (2), se obtiene la siguiente ecuación:

$$V_{GS} = V_{SS} - I_{DS}R_S$$

Además, se plantean las ecuaciones del JFET:

$$I_{DS} = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

$$gm = 2 \frac{\sqrt{I_{DS}I_{DSS}}}{|V_P|}$$

De esta forma, seleccionando el componente [2N3819](#), se obtiene de la hoja de datos los valores de interés, tales como $I_{DSS} = 2 \text{ mA}$ y $V_P = -8 \text{ V}$, siendo estos los adecuados para el peor caso. Luego, estableciendo $V_{SS} = 10 \text{ V}$,

$R_g = 6.8 \text{ K}\Omega$ y $R_D = 680 \Omega$ y operando algebraicamente, se calculan la corriente de drain y la tensión gate-source. Como es de esperarse, se obtienen dos valores posibles para cada variable:

$$\begin{cases} I_{DS} = 4.39 \text{ mA} \\ V_{GS} = -19.85 \text{ V} \end{cases} \text{ y } \begin{cases} I_{DS} = 1.60 \text{ mA} \\ V_{GS} = -0.88 \text{ V} \end{cases}$$

4.2. Impedancia de salida

Sabiendo que se debe cumplir que $I_{DSS} \geq I_{DS}$ y $V_{GS} > V_P$, se descartan los primeros valores, seleccionando $I_{DS} = 1.60 \text{ mA}$ y $V_{GS} = -0.88 \text{ V}$, obteniéndose así $gm = 0.45 \frac{\text{mA}}{\text{V}}$. De esta forma se garantiza que esté polarizado adecuadamente.

Con lo establecido previamente, se prosigue a plantear el circuito incremental. Es de interés calcular la impedancia de salida, para luego reemplazar la configuración por dicha variable en el análisis incremental del circuito de la Figura (1c). Esto se debe a que la fuente no sufre variaciones incrementales. Si esta fuese una fuente referencial, no se da la misma situación y no se podría efectuar lo previamente mencionado.

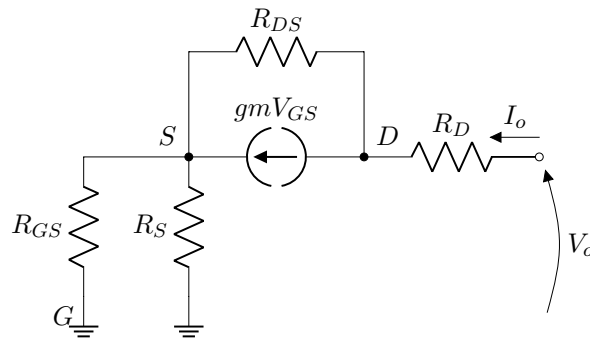


Figura 3: Circuito incremental de la Figura (2).

Se destaca que, como el gate queda a tierra, se cumple que $V_{GS} = V_G - V_S = -V_S$, por lo tanto, se da vuelta la fuente de corriente y se reemplaza con lo mencionado anteriormente.

Se define $R_{GS}^* = R_g // R_{GS}$, para luego analizar el circuito presentado en la Figura (4).

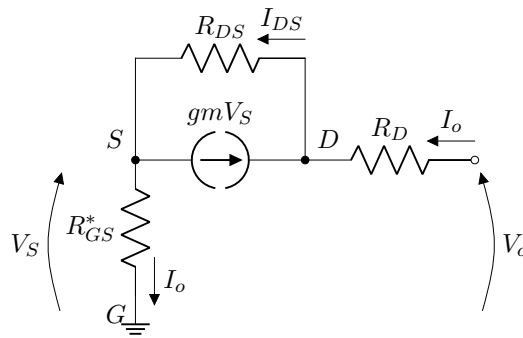


Figura 4: Análisis de la impedancia de salida del circuito de la fuente de corriente.

Observando que la tensión V_S es igual a $R_{GS}^* I_o$, planteando las corrientes del nodo D y analizando la tensión V_o se obtienen las siguientes ecuaciones:

$$V_o = I_{DS} R_{DS} + I_o (R_D + R_{GS}^*) \quad (1)$$

$$I_{DS} = gm V_S + I_o = (gm R_{GS}^* + 1) I_o \quad (2)$$

Reemplazando con (2) en (1) y dividiendo miembro a miembro por I_o , se obtiene la impedancia de entrada deseada.

$$\begin{aligned} R_{OF} &= \frac{V_o}{I_o} = R_{DS} (1 + gmR_{GS}^*) + R_{GS}^* + R_D \\ &= R_{DS} (1 + gmR_S // R_{GS}) + R_S // R_{GS} + R_D \end{aligned} \quad (3)$$

Para poder continuar, se toma $R_{GS} \rightarrow \infty$ y se asume $V_A = -90$ V, ya que dicho valor no se encuentra en la hoja de datos y este puede asumirse para los peores casos. Luego, se estima $R_{DS} = \frac{V_A}{I_{DS}} = 56.25$ K Ω . De esta forma se obtiene de (3) el valor de la impedancia de salida $R_{OF} \approx 234.79$ K Ω .

5. Darlington polarizado por corriente

Con lo obtenido en la Sección (4), se posee la información necesaria para analizar el circuito presentado en la Figura (1c). En el análisis que se muestra a continuación se presentan la carga y la alimentación del sistema, componentes que no fueron presentados en la Figura (1) por cuestiones de simplicidad.

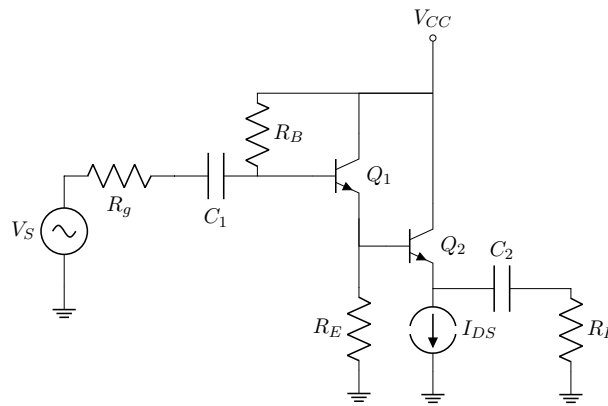


Figura 5: Circuito equivalente al reemplazar la fuente de corriente.

5.1. Polarización

A continuación, se seleccionan los transistores a utilizar en el par Darlington, eligiendo BC547 para este caso. Por un lado, como se está polarizando este transistor por corriente, se garantiza que $I_{CE2} = 1.60$ mA. Por otro lado, para el caso de Q_1 , se plantea la malla de entrada, obteniéndose así la corriente I_{CQ1} de la forma

$$\begin{aligned} V_{CC} - I_{B1}R_B - V_{BEON} - (I_{CE1} - I_{B2})R_E &= 0 \\ V_{CC} - V_{BEON} - I_{B2}R_E &= I_{B1}R_B + I_{CE1}R_E = I_{CE1} \left(\frac{R_B}{h_{fe1}} + R_E \right) \\ I_{CE1} &= \left(V_{CC} - V_{BEON} + I_{CE2} \frac{R_E}{h_{FE2}} \right) \left(\frac{R_B}{h_{fe1}} + R_E \right)^{-1} \end{aligned} \quad (4)$$

Es así que, para la tensión V_{CE1} , se obtiene

$$V_{CE1} = V_{CC} - I_{CE1}R_E \quad (5)$$

Luego se recorre la malla que conecta V_{CC} con el emisor de Q_2 , pasando por las bases y emisores de ambos transistores. Llamando a la tensión en el emisor de Q_2 como V_{DD} , se obtiene

$$\begin{aligned} V_{CC} - I_{CE1} \frac{R_B}{h_{fe1}} - 2V_{BEON} - V_{DD} &= 0 \\ V_{DD} &= V_{CC} - I_{CE1} \frac{R_B}{h_{fe1}} - 2V_{BEON} \end{aligned} \quad (6)$$

Finalmente, recorriendo la malla de salida de Q_2 , se llega a la ecuación

$$V_{CC} - V_{CE2} - V_{DD} = 0$$

$$V_{CE2} = V_{CC} - V_{DD} \quad (7)$$

Es así que, tomando $V_{CC} = 12 \text{ V}$, $R_E = 680 \Omega$ y $R_B = 6.8 \text{ k}\Omega$, se obtiene $I_{CE1} = 15.25 \text{ mA}$, $V_{CE1} = 1.63 \text{ V}$, $V_{DD} = 9.82 \text{ V}$ y $V_{CE2} = 2.08 \text{ V}$, teniendo así el transistor Q_1 polarizado.

Con lo analizado, mediante el uso de simulaciones e información del transistor obtenida de la hoja de datos, se cuenta la información necesaria para poder efectuar una aproximación a las rectas de carga estática y dinámica.

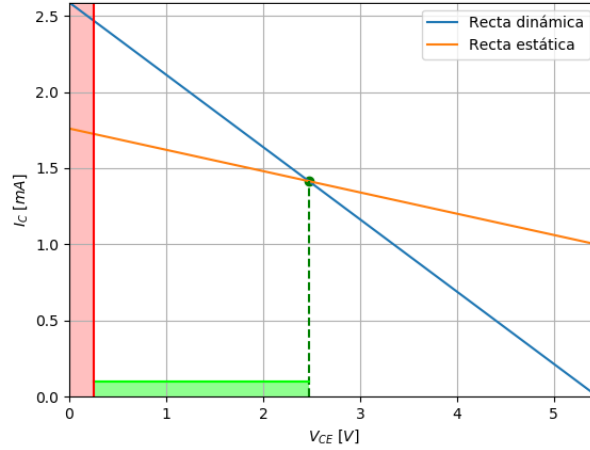


Figura 6: Recta de carga del circuito.

Sabiendo que la tensión de saturación del transistor es $V_{SAT} = 0.25 \text{ V}$ en el peor caso, se presenta en la Figura (6) la zona de saturación del transistor en rojo, mientras que en verde, se muestra la región del eje horizontal que representa la excursión simétrica máxima, la cual es limitada por el factor previamente mencionado. De esta forma, se calcula el valor del ESM , siendo este de 2.22 V .

5.2. Circuito incremental

Asumiendo $T = 27^\circ\text{C}$ y $V_{A1} = V_{A2} = V_A = -90 \text{ V}$ y sabiendo que los estimadores empleados son $gm = \frac{I_{CE}}{V_T}$, $h_{ie} = \frac{h_{fe}}{gm}$ y $\frac{1}{h_{oe}} = \frac{V_A}{I_{CE}}$, se buscan conseguir dichos valores para cada BJT. Para el caso de h_{fe1} y h_{fe2} se obtiene de la hoja de datos un valor de $h_{fe} = 200$, ya que se dispuso de integrado que cae en la clasificación tipo B.

Con todos los datos obtenidos y presentados, se elabora la siguiente tabla, en la cual se presentan los valores de los estimadores necesarios.

Transistor	gm [$\frac{\text{mA}}{\text{V}}$]	h_{ie} [$\text{K}\Omega$]	$\frac{1}{h_{oe}}$ [$\text{K}\Omega$]
Q_1	589.90	0.34	5.90
Q_2	61.89	3.23	56.25

Tabla 1: Estimadores y datos pertinentes del modelo incremental del circuito Darlington.

El siguiente paso consiste en reemplazar la fuente de corriente por su respectiva impedancia de salida R_{OF} , ya que no sufre variaciones incrementales, como se mencionó anteriormente. Planteando su respectivo modelo incremental, se llega al circuito presentado a continuación:

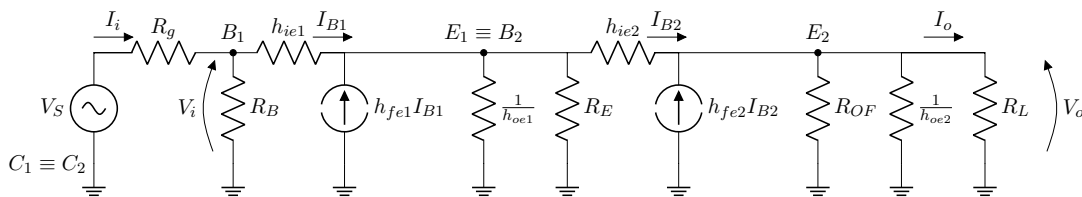


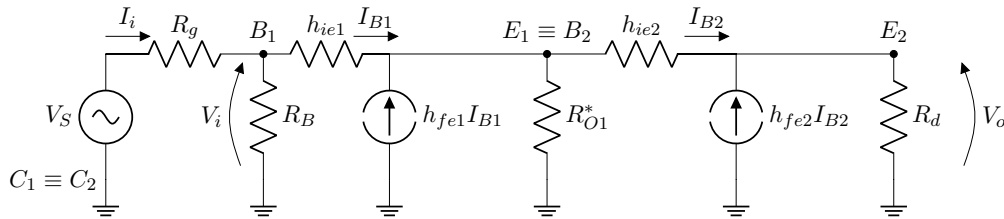
Figura 7: Circuito incremental del par Darlington.

Se observa en la Figura (7) que se puede obtener una relación entre I_{B2} e I_o , mediante el uso de un divisor de corriente, siendo esta

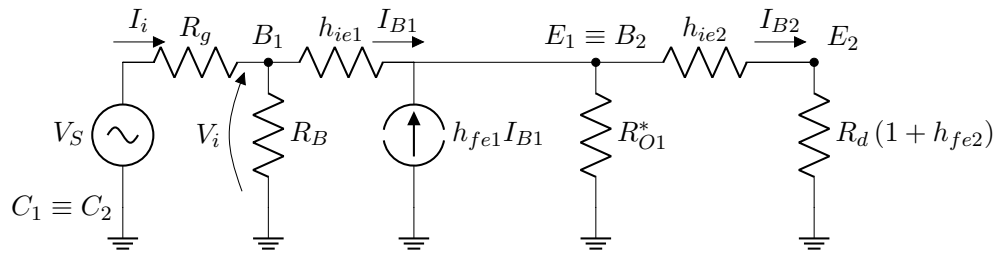
$$I_o = I_{B2} (1 + h_{fe2}) \frac{R_{OF} // \frac{1}{h_{oe2}}}{R_L + R_{OF} // \frac{1}{h_{oe2}}}$$

$$\frac{I_o}{I_{B2}} = (1 + h_{fe2}) \frac{R_{OF} // \frac{1}{h_{oe2}}}{R_L + R_{OF} // \frac{1}{h_{oe2}}} \quad (8)$$

Luego, definiéndose $R_{O1}^* = R_E // \frac{1}{h_{oe1}}$ y $R_d = R_{OF} // \frac{1}{h_{oe2}} // R_L$, se obtiene



Aplicando paso a nivel de corriente para la fuente de $h_{ie2} I_{B2}$, se llega a



Por un lado se destaca que

$$V_o = I_{B2} R_d (1 + h_{fe2})$$

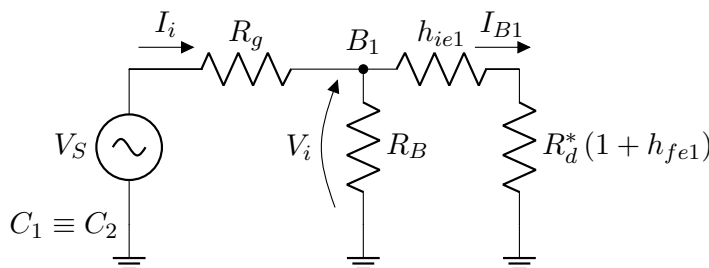
$$\frac{V_o}{I_{B2}} = R_d (1 + h_{fe2}) \quad (9)$$

Por otro lado, se puede hallar una relación entre I_{B1} e I_{B2} , de la misma forma que se realizó con I_o e I_{B2} , siendo así

$$I_{B2} = I_{B1} (1 + h_{fe1}) \frac{R_{O1}^*}{R_{O1}^* + h_{ie2} + R_d (1 + h_{fe2})}$$

$$\frac{I_{B2}}{I_{B1}} = (1 + h_{fe1}) \frac{R_{O1}^*}{R_{O1}^* + h_{ie2} + R_d (1 + h_{fe2})} \quad (10)$$

De manera análoga, se toma el equivalente al paralelo entre R_{O1}^* con h_{ie2} y $R_d (1 + h_{fe2})$. Por lo tanto, se define $R_d^* = R_{O1}^* // [h_{ie2} + R_d (1 + h_{fe2})]$ para luego aplicar paso a nivel de corriente con la segunda fuente.



De esta forma, se observa que

$$\begin{aligned} V_i &= I_{B1} [h_{ie1} + R_d^* (1 + h_{fe1})] \\ \frac{V_i}{I_{B1}} &= h_{ie1} + R_d^* (1 + h_{fe1}) \end{aligned} \quad (11)$$

Finalmente, se planteando nuevamente un divisor de corrientes, se obtiene

$$\begin{aligned} I_{B1} &= I_i \frac{R_B}{R_B + h_{ie1} + R_d^* (1 + h_{fe1})} \\ \frac{I_{B1}}{I_i} &= \frac{R_B}{R_B + h_{ie1} + R_d^* (1 + h_{fe1})} \end{aligned} \quad (12)$$

Con lo obtenido en (9), (10) y (11) y multiplicando, tanto el denominador como el numerador, por I_{B1} e I_{B2} , se procede a calcular la transferencia ΔV , siendo esta de la forma

$$\Delta V \triangleq \frac{V_o}{V_i} = \frac{V_o}{I_{B2}} \frac{I_{B2}}{I_{B1}} \frac{I_{B1}}{V_i} = \frac{(1 + h_{fe2}) R_d}{h_{ie2} + (1 + h_{fe2}) R_d} \quad (13)$$

De forma análoga, se calcula la ganancia de corriente. Utilizando (8), (10) y (12), se obtiene

$$\begin{aligned} \Delta I &\triangleq \frac{I_o}{I_i} = \frac{I_o}{I_{B2}} \frac{I_{B2}}{I_{B1}} \frac{I_{B1}}{I_i} \\ \Delta I &= \frac{R_C R_{O1}^* R_B (1 + h_{fe2}) (1 + h_{fe1})}{(R_{OF} R_L h_{oe2} + R_{OF} + R_L) \{[(1 + h_{fe2}) (1 + h_{fe1}) R_d + h_{fe1} h_{ie2} + R_B + h_{ie2}] R_{O1}^* + R_B [h_{ie2} + (1 + h_{fe2}) R_d]\}} \end{aligned} \quad (14)$$

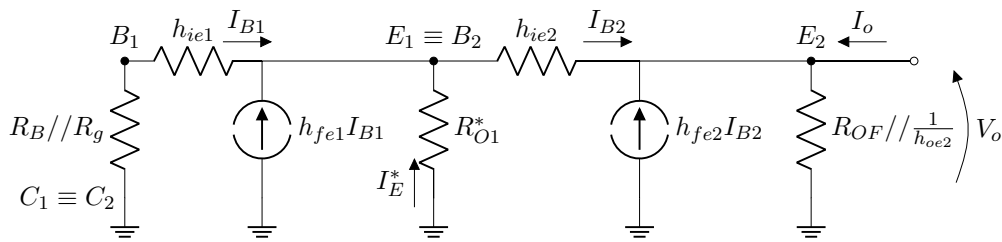
Similar a los casos anteriores, se calcula la impedancia de entrada del amplificador, mediante el uso de (11) y (12). Reemplazando el sistema por su impedancia de entrada y aplicando un divisor de tensiones se llega a dicha expresión, siendo esta

$$R_{ia} = \frac{V_i}{I_i} = \frac{V_i}{I_{B1}} \frac{I_{B1}}{I_i} = \frac{R_B R_{O1}^* [h_{ie2} + (1 + h_{fe2}) R_d] (1 + h_{fe1})}{[(1 + h_{fe2}) (1 + h_{fe1}) R_d + h_{fe1} h_{ie2} + R_B + h_{ie2}] R_{O1}^* + R_B [h_{ie2} + (1 + h_{fe2}) R_d]} \quad (15)$$

Una vez obtenidos ΔV y R_{ia} , se puede calcular la ganancia de tensión del sistema ΔV_S , siendo esta

$$\Delta V_S \triangleq \frac{V_S}{V_i} = \frac{V_S}{V_o} \frac{V_o}{V_i} = \frac{V_o}{V_i} \frac{R_{ia}}{R_g + R_{ia}} \quad (16)$$

Por otro lado, para el cálculo de la impedancia de salida R_{oa} , se reemplaza la fuente V_S por su impedancia de salida, considerándose el circuito de la siguiente forma:



Se definen $R_S^* = (R_B // R_g) + h_{ie1}$ y $R_{OF}^* = R_{OF} // \frac{1}{h_{oe1}}$. Luego, sabiendo que la tensión sobre R_{O1}^* y R_S^* es la misma, se obtiene

$$I_E^* = I_{B1} \frac{R_S^*}{R_{O1}^*} \quad (17)$$

Luego, observando el nodo E_2 , se llega a

$$[I_{B2} (1 + h_{fe2}) + I_o] R_{OF}^* = V_o \quad (18)$$

Se expresa la tensión V_o como

$$V_o = -(I_{B1} h_{ie1} + I_{B2} h_{ie2}) \quad (19)$$

y se plantea para el nodo E_1 , utilizando (17), llegándose a la expresión

$$I_{B2} = I_{B1} \left(1 + h_{fe1} + \frac{I_S^*}{I_E^*} \right)$$

$$I_{B1} = \frac{I_{B2}}{1 + h_{fe1} + \frac{R_S^*}{R_E^*}} \quad (20)$$

Reemplazando (20) en (19) se obtiene

$$V_o = -I_{B2} \left(h_{ie2} + \frac{R_S^*}{1 + h_{fe1} + \frac{R_S^*}{R_E^*}} \right) \quad (21)$$

Finalmente, con lo expresado en (21), al reemplazarlo en (17), se llega a

$$\frac{V_o}{I_o} = \frac{R_{OF}}{h_{ie2} + \frac{R_S^*}{1 + h_{fe1} + \frac{R_S^*}{R_E^*}} + R_{OF} (1 + h_{fe2})} \left(h_{ie2} + \frac{R_S^*}{1 + h_{fe1} + \frac{R_S^*}{R_E^*}} \right) \quad (22)$$

Ya conseguidas las expresiones previas, solo resta reemplazar los valores de cada componente y estimador que permitan obtener el resultado final para cada una. Dichos valores son expresados en la Tabla (2).

Variable	Valor	Valor en dB
ΔV	0.9897	-0.0900
ΔV_S	0.9102	-0.8140
ΔI	2.8853	9.2039
R_{ia}	6.4430 $K\Omega$	-
R_{oa}	16.0971 Ω	-

Tabla 2: Valores obtenidos del circuito incremental.

Dado que la configuración elaborada consiste en dos transistores BJT dispuestos como colector común, es esperable poseer una ganancia de tensión del amplificador próxima a uno, al igual que una alta impedancia de entrada y baja de salida. El hecho de que la ganancia del sistema sea menor que uno también es esperable, ya que depende de la relación resultante del divisor resistivo entre R_{ia} y R_g . El hecho de que ΔV_S se aleje de la cota máxima se debe a que R_{ia} es simplemente un orden de magnitud mayor que R_g . Por otro lado, es sorprendente obtener una ganancia de corriente tan baja. Esto se analiza con mayor profundidad en la Sección (8).

6. Desarrollo y armado de la placa

Una vez realizado el cálculo teórico, se realizó el circuito analizado. Primero, se presenta el PCB confeccionado mediante el uso del software **Altium**.

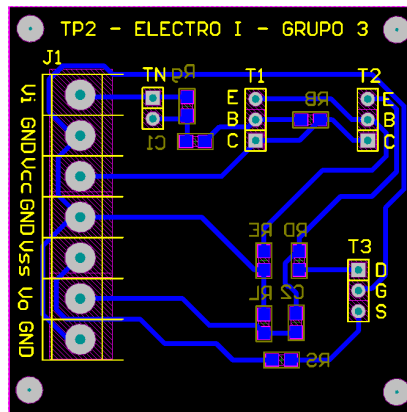


Figura 8: PCB obtenido en Altium.

Se colocaron pines hembra para cada transistor, con el mismo objetivo que se colocan zócalos para los distintos tipos de integrados. Además, se colocó un jumper sobre la resistencia R_g , de forma que se pueda medir la ganancia de corriente del amplificador y del sistema con facilidad. Se emplearon resistencias SMD, con tolerancia del 1 %. Esto se debe a que se buscó la mínima variación posible de las ganancias. Esta decisión queda respaldada por un análisis de Montecarlo efectuado en el programa **LTSpice**. Se observa en la Figura (9) como varía la ganancia de corriente del sistema empleando las tolerancias previamente mencionadas. Por otro lado, en la Figura (10), se efectúa el mismo análisis, pero esta vez con tolerancias del 5 %. La diferencia entre ambos casos es notable, siendo más estable la primera.

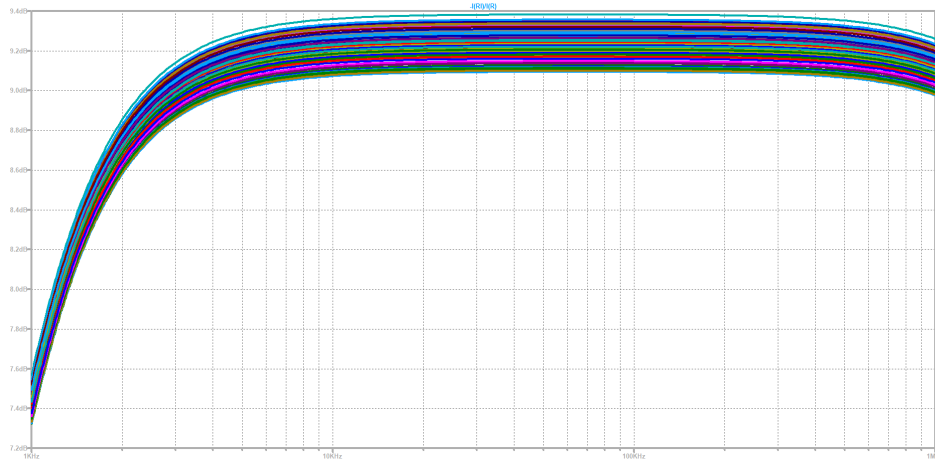


Figura 9: Montecarlo de la ganancia de corriente con tolerancia del 1 %.

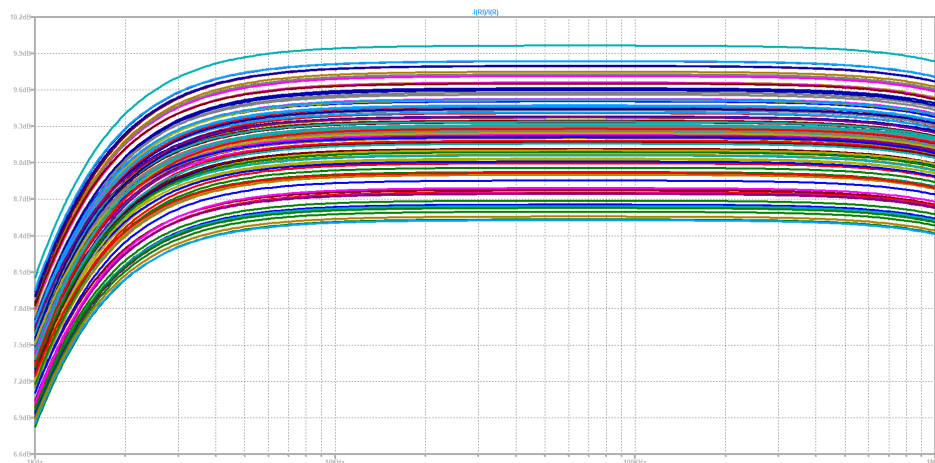
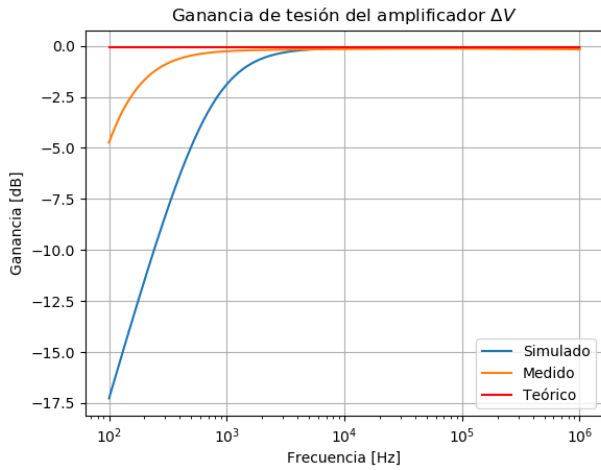


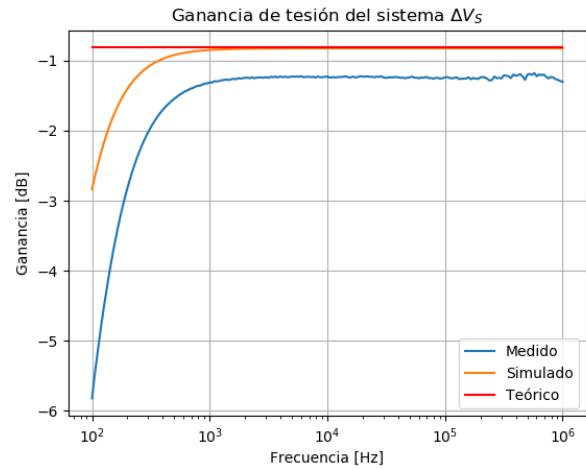
Figura 10: Montecarlo de la ganancia de corriente con tolerancia del 5 %.

7. Mediciones

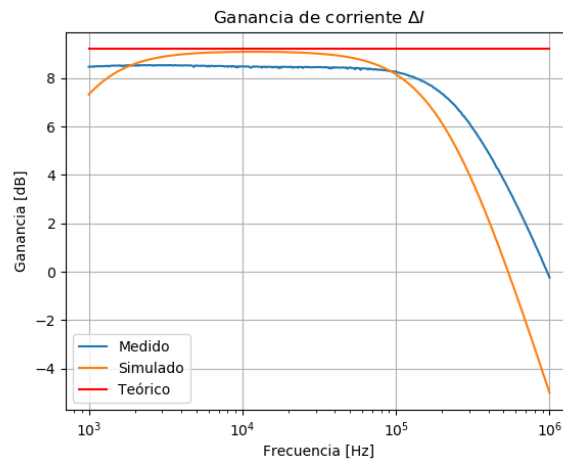
A continuación se procede a analizar los resultados obtenidos de las mediciones sobre el circuito, comparando dichos resultados con los cálculos teóricos y simulados.



(a) Ganancia de tensión del amplificador.



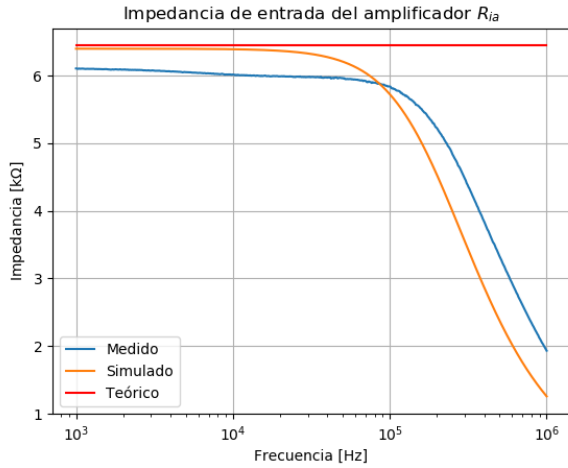
(b) Ganancia de tensión del sistema.



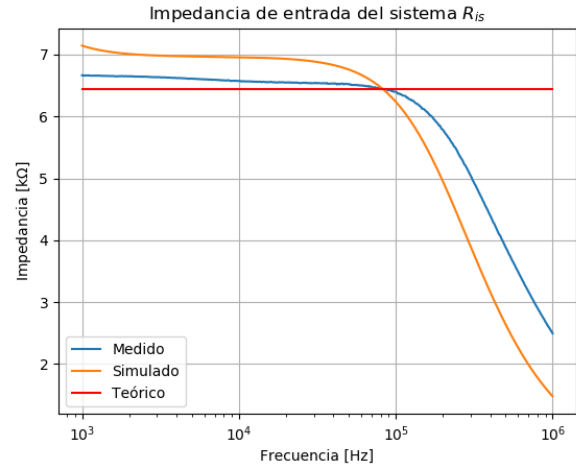
(c) Ganancia de corriente del amplificador.

Figura 11: Comparación de ganancias.

Se observa de la Figura (11) como a frecuencias medias se corresponden los tres valores obtenidos.



(a) Impedancia de entrada del amplificador.



(b) Impedancia de entrada del sistema.

Figura 12: Comparación de impedancias de entrada.

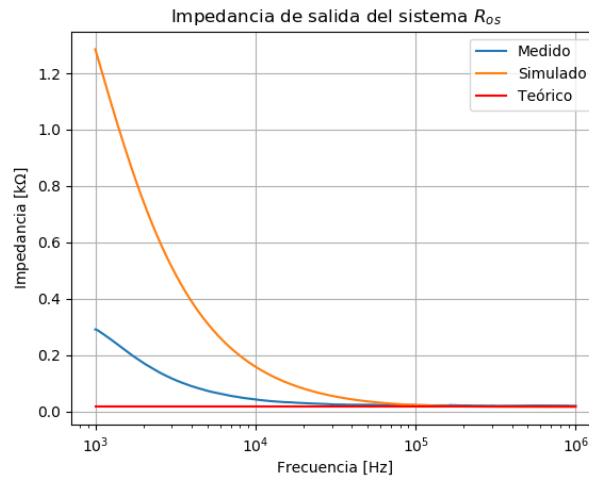
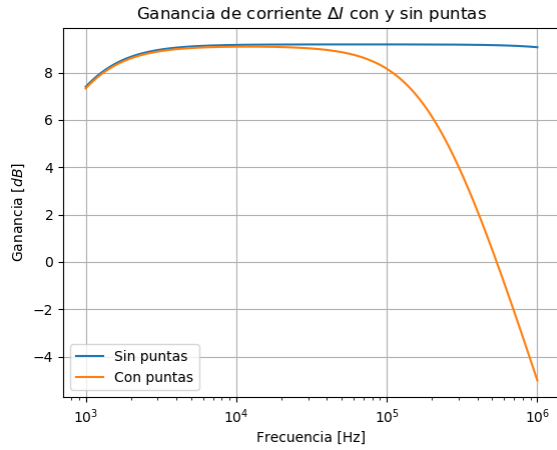
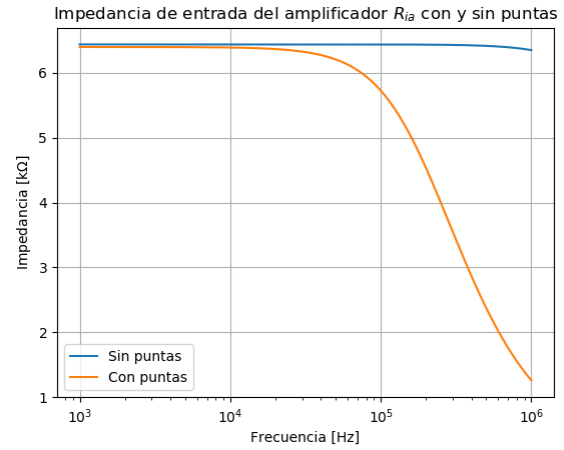


Figura 13: Comparación de impedancias de salida del sistema

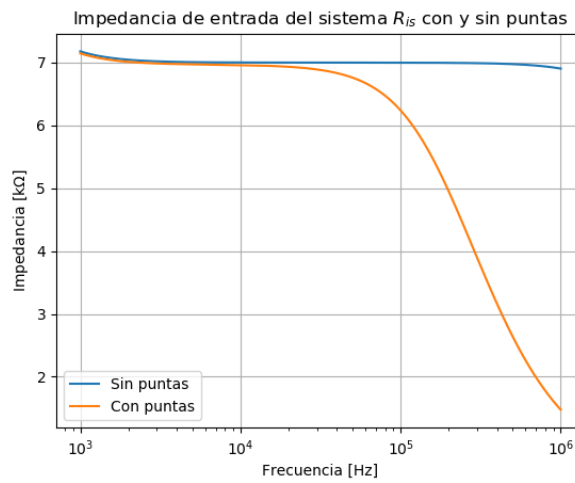
Cabe aclarar que en las Figuras (11c), (12a) y (12b), tanto las mediciones como las simulaciones presenta una caída a altas frecuencias, alejándose de los valores teóricos. Esto ocurre debido a la presencia de las puntas del osciloscopio con el cual se efectuaron las mediciones. También se debe tener en cuenta que, aunque no se encuentren dichas puntas, para frecuencias más elevadas se presentan polos que generan una caída similar, estos son los conocidos como polos de alta, propios de las capacidades C_μ y C_π de los transistores. A continuación se presentan simulaciones de los tres parámetros mencionados, comparando sus resultados tanto con como sin punta.



(a) Ganancia de corriente.



(b) Impedancia de entrada del amplificador.



(c) Impedancia de entrada del sistema.

Figura 14: Comparación de simulaciones con y sin punta.

8. Conclusiones

Dado que se optó por confeccionar una configuración Darlington, era esperable obtener una ganancia de corriente alta. Se pretendía obtener $\Delta I \approx h_{fe1}h_{fe2} = 40000$. Como se demostró en la Tabla (2) y en la Figura (11c), esto no resultó así, sino que se obtuvo una ganancia mucho más baja. Una de las soluciones posibles consiste en aumentar el valor de la resistencia R_B , adecuando también toda la polarización a esto, ya que si se toma $R_B \rightarrow \infty$, se obtiene $\Delta I \approx 36 \text{ dB}$. Esto no resultó posible de efectuarse ya que los componentes son limitados.

Si bien se obtuvo una buena ganancia de tensión del amplificador, es decir, el circuito resulta ser un buen seguidor de tensión, dado que su impedancia de entrada no resulta mucho mayor a la del generador, el sistema no cuenta con dicha cualidad. Esto, nuevamente se puede solucionar aumentando R_B . Si se realiza el mismo análisis que se efectuó previamente para el caso de la ganancia de corriente, se obtiene $R_{ia} \rightarrow \infty$, lo que concluye en $\Delta V = \Delta V_S$. En otras palabras, se está buscando efectuar una adaptación de las impedancias. Si bien esto no se puede lograr con los componentes disponibles, lo que sí se obtuvo es una baja impedancia de salida, lo que permite una buena adaptación en caso de conectar otro sistema a la salida de este.

Por otro lado, es posible afirmar que la polarización resulta estable, ya que se logró efectuarla mediante una fuente de corriente. Una alternativa aún mejor al circuito desarrollado, se basa en polarizar ambos transistores mediante el uso de fuentes de corriente. Si bien se cuenta con un diodo y un transistor NPN que no se han utilizado, no se poseen los componentes suficientes para realizar dicha disposición. Mínimamente se requeriría un diodo y dos resistencias más para efectuar una fuente simple compensada. También se destaca que se pudo haber colocado un diodo entre el colector y el emisor de Q_2 . Este tipo de configuración es utilizada para trabajar con potencias altas. Dado que este enfoque no es de interés, se reserva dicho componente.