

Instituto Tecnológico de Buenos Aires

22.12 ELECTRÓNICA II

Trabajo práctico N°2

Grupo 1

MECHOULAM, Alan	58438
LAMBERTUCCI, Guido Enrique	58009
RODRIGUEZ TURCO, Martín Sebastian	56629
LONDERO BONAPARTE, Tomás Guillermo	58150
SCALA, Tobías	55391

Profesores

HIRCHOREN, Gustavo Abraham
PETRUCCI, Javier David

Presentado: 4/06/20

Índice

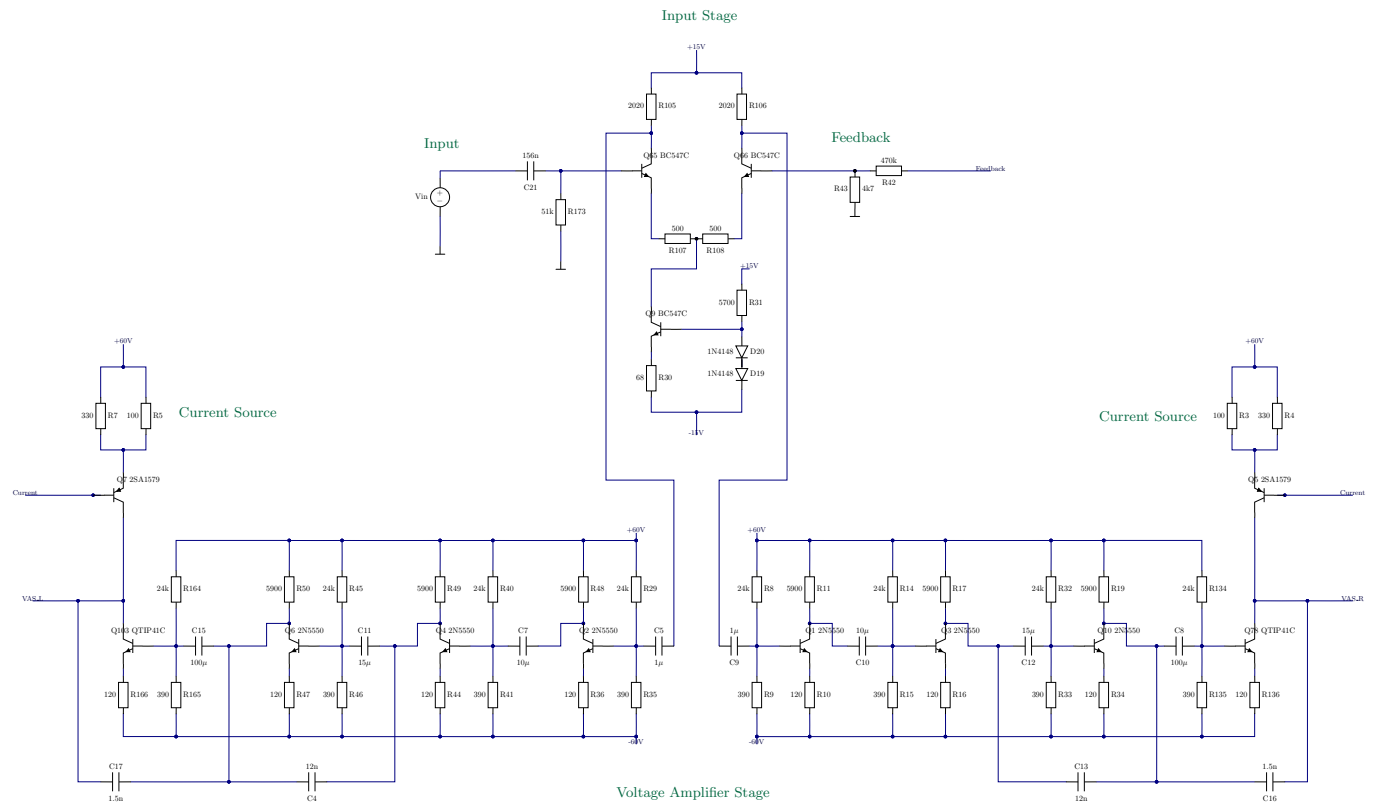
1. Consideraciones de Diseño	2
2. Características del Amplificador	2
3. Etapa de Entrada	3
3.1. Introducción	3
3.2. Distorsión	3
3.3. Linealidad y corriente de colector	5
3.4. Ruido	5
3.5. Limitación en banda	5
3.6. Calculo de componentes	5
4. Etapa de Ganancia	6
4.1. Introducción	6
4.2. Diseños propuestos	6
5. Etapa de Salida	9
5.1. Introducción	9
5.2. Topología Utilizada	11
5.3. Generador de Bias	12
5.4. Fuente de corriente	13
5.5. Resistor sumidero de corriente	13
6. Alimentación	13
6.1. Alimentación	13
7. Cálculos de Potencia	14
7.1. Simulación de rendimiento	14
7.2. Etapa de ganancia	14
7.3. Etapa de entrada	15
8. Simulaciones	15
8.1. Introducción	15
8.2. Efectos de la resistencia del Jfet	20
9. Conclusiones	21

1. Consideraciones de Diseño

Se debe diseñar un amplificador clase AB de audiofrecuencia para una carga nominal de $8\ \Omega$. El amplificador debe disipar la máxima potencia a la salida sin recorte para una señal de entrada de $1V_{pp}$. Se quiere una impedancia de entrada de $50\ k\Omega$ y corriente de reposo de los transistores de salida ajustable. Además, se consideró inicialmente una potencia máxima de $12\ W$. Sin embargo, tras consultar acerca de la potencia máxima, fue recomendado disipar una potencia mucho mayor. Se considera finalmente $1.5\ kW$ de potencia máxima a la salida sin recorte. El diseño se centra en lograr esta potencia máxima con una THD menor a $1\ %$. Además, se debe diseñar para maximizar el rendimiento.

2. Características del Amplificador

El circuito diseñado, el cual es presentado en su totalidad entre las Figuras (1) y (2) para una mejor visualización, posee las siguientes características.



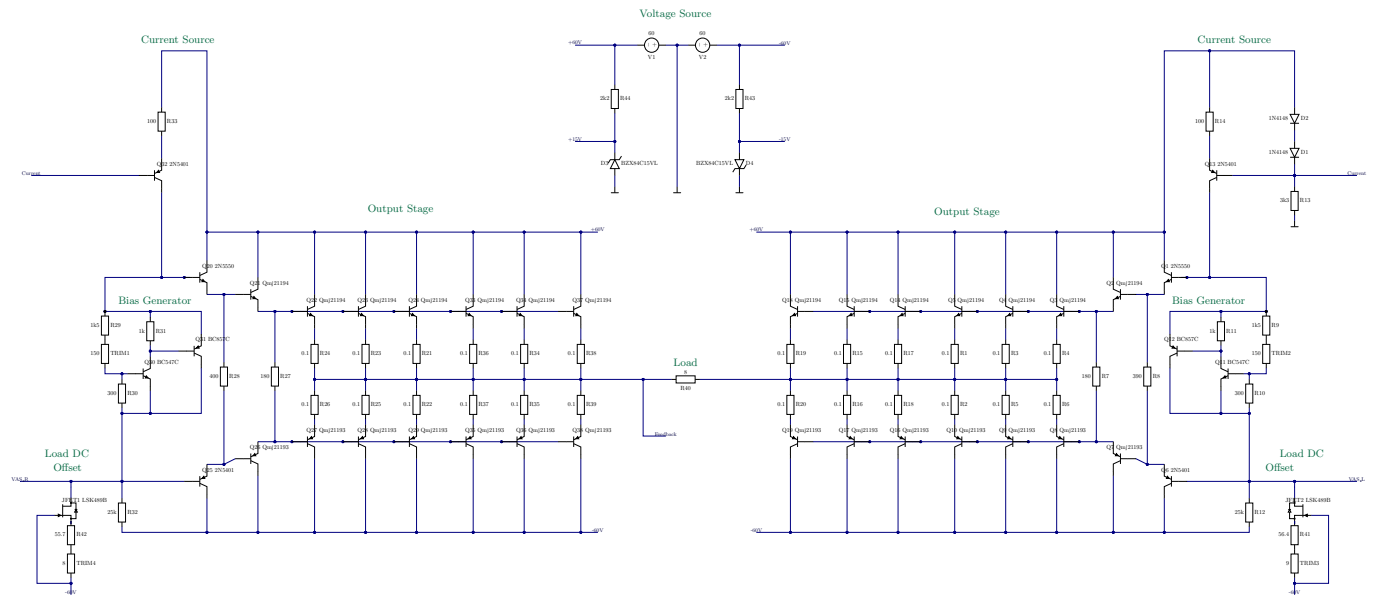


Figura 2: Etapas de salida y carga. (Imagen vectorizada la cual no se pixelea)

- Potencia máxima sin recorte sobre la carga de $1.5k\ W$.
- Tensión pico sin recorte sobre la carga de $109\ V$ con una fuente de alimentación de $\pm 60V$.
- Dos etapas de salida clase AB en configuración puente H.
- Rendimiento del amplificador del $74.5\ %$ posterior al balanceo. (Ver últimos dos items)
- Respuesta pasabanda en frecuencia para el rango audible con $-3\ dB$ en $20 - 20k\ Hz$ respecto a la banda pasante.
- El circuito se mantiene estable frente a ruido de distinta naturaleza y mantiene una salida sinusoidal.
- Cuenta con una impedancia de entrada de $50\ k\Omega$ en toda la banda audible.
- Implementación con una única fuente partida.
- Cuenta con una distorsión armónica del $\%$
- El circuito cuenta con la posibilidad de ajustar el nivel de continua sobre la carga.
- Permite calibrar el nivel de continua en reposo sobre los transistores de salida.

3. Etapa de Entrada

3.1. Introducción

La etapa de entrada de un amplificador cumple con la función de restar a la entrada la señal proveniente de la realimentación, para así obtener la señal deseada de error, a partir de la cual se confecciona la salida del sistema.

3.2. Distorsión

La distorsión puede ser provocada o provenir de distintas fuentes. Los amplificadores que se valen del uso de pares diferenciales como entrada se caracterizan por poseer un bajo offset de continua, dado a la cancelación de los voltages de V_{BE} . Pero mucho más notorio e importante es que la corriente de mantenimiento no atraviesa la red de realimentación. Finalmente, una ventaja también a destacar es que posee una linealidad superior a las entradas basadas en un solo transistor. Se puede observar la comparación de distorsión entre una etapa diferencial frente a una individual en la Figura (3).

Es muy importante reflejar que esta etapa debe la que posee la mínima distorsión, por sobre las demás, ya que las señales que maneja son pequeñas, dándose el aumento de estas en la etapa de amplificación.

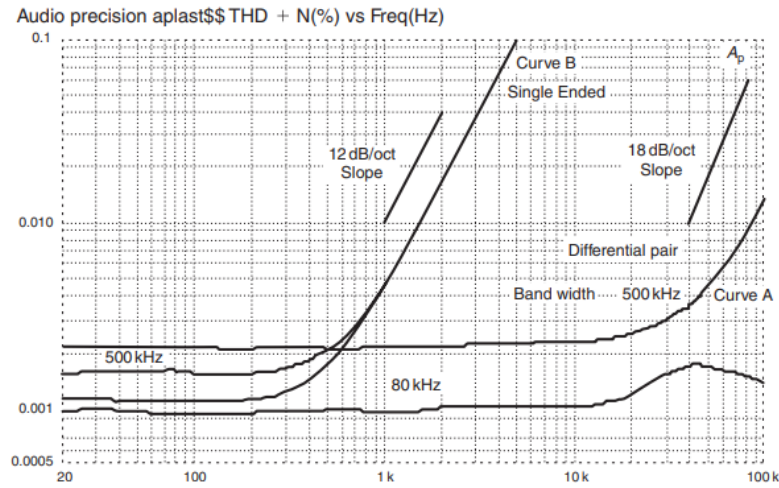


Figura 3: Comparación de THD en función de la frecuencia.

Si bien, seleccionando adecuadamente las resistencias del circuito se puede balancear el par, quedan pendientes ciertos parámetros. Las corrientes de colectores deben ser lo más similares posibles. Debe existir una precisión del 1 % o mejor para poder optimizar la linealidad de la etapa, y de esta forma, reducir la distorsión en altas frecuencias.

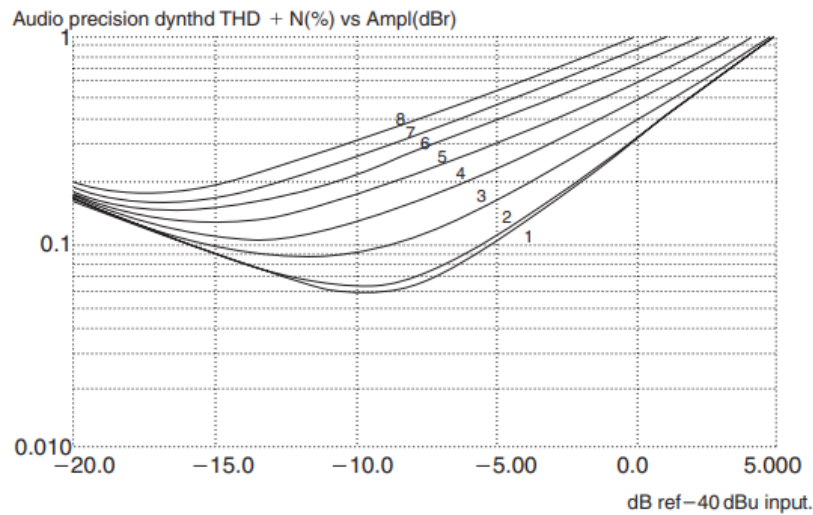


Figura 4: THD en función de la entrada (en dBu , nivel de referencia $0.7746 V$) al variar el balance de la corriente del colector. Número de curva y distorsión especificadas en la Tabla (1).

Número de curva	Variación I_C [%]
1	0
2	0.5
3	2.2
4	3.6
5	5.4
6	6.9
7	8.5
8	10

Tabla 1: Número de curva y distorsión de la Figura (4).

Una opción válida (e implementada en este diseño) se basa en el uso de una fuente de corriente compensada para polarizar el par. Además, se emplean resistencias en los emisores para ajustar dicho parámetro. Es importante recordar

que dichos elementos no deben ser lo suficientemente grandes como para que afecte el ruido térmico¹.

3.3. Linealidad y corriente de colector

La transconductancia aumenta con la corriente de colector. Elevar este último parámetro es posible y relativamente sencillo. Una técnica empleada para poder mejorar la linealidad en altas frecuencias consiste en aumentar la corriente mencionada para luego reducirla a través del lazo de realimentación negativa. Esta no linealidad es atribuida a la resistencia del R_E del emisor, la cual no es una resistencia física, sino que una resultante de la expresión de la pendiente de la corriente de colector.

La corriente de mantenimiento a la entrada es uno de los parámetros que define el máximo slew rate (SR). Otro factor importante que lo limita es el polo dominante proveniente del capacitor de Miller. Este último es solucionado por los requerimientos que se deben cumplir para conseguir la estabilidad. Por otro lado, aumentar la corriente de colector puede aumentar el factor de SR sin afectar la estabilidad, siempre y cuando, la transconductancia se mantenga en el valor deseado.

A pesar de ello, existen límites para esta corriente. El aumento de las corrientes de bias, como la caída de tensión a través de las resistencias son algunos ejemplos. El factor más limitante es la potencia disipada a lo largo de esta etapa, ya que no siempre deja margen para incrementar la I_C .

3.4. Ruido

El ruido existente en la etapa de entrada surge de los componentes activos y las resistencias que se presentan en la entrada. Las condiciones de operación de los transistores se encuentran limitadas por los factores de SR y linealidad. Por otro lado, ya que el ruido es una función que dependen de I_C , bastan con ajustar dicho parámetro para poder reducir el ruido.

Además de reducir las resistencias existentes en la etapa de entrada para así reducir el ruido térmico existente, es posible realizar el mismo efecto haciendo lo mismo con la resistencia observada a la salida del lazo de realimentación negativa. Este último paso es más delicado ya que puede generar grandes cambios en el sistema.

3.5. Limitación en banda

Se sabe que existen etapas que acumulan cambios de la fase, siendo estas las altas frecuencias, las cuales tienden a ser más inestables y generar oscilaciones. Es así que se puede llegar a dañar los dispositivos a la salida del sistema por sobrecalentamiento, entre otros motivos. Esto es causado por la distorsión del amplificador y el incremento de la ganancia de lazo abierto. Limitar en banda esta ganancia evita que la señal del realimentador.

3.6. Calculo de componentes

Para poder seleccionar los elementos y parámetros que componen la etapa de entrada, ya que se polariza ambos transistores por una fuente de corriente compensada, se comenzó por dicha fuente, para así obtener la siguiente ecuación:

$$-15\text{ V} - 2V_D + V_{BE} + 15\text{ V} = I_O R_{30} \quad (1)$$

Recorriendo la malla de entrada:

$$-V_{BE} - \frac{R_V}{2} I_C - R_{30} I_O - V_{CEQ9} + 15\text{ V} = 0 \quad (2)$$

Recorriendo la malla del par, se llega a la expresión:

$$15\text{ V} - R_{105} I_C - V_{CEQ65} - \frac{R_V}{2} I_C - R_{30} I_O - V_{CEQ9} + 15\text{ V} = 0 \quad (3)$$

Además, se coloca un preset en los emisores del par para poder ajustar la corriente que circula, en caso de ser necesario. Dado esto último, la ganancia del par diferencial con el preset viene dada por la expresión:

$$\Delta V_D = \frac{h_{fe} R_D}{2h_{ie} + h_{fe} R_V} = \frac{R_{105}}{2\frac{V_T}{I_C} + R_V} \quad (4)$$

siendo $I_C = \frac{I_O}{2}$, $V_T \approx 25\text{ mV}$ y $R_V = R_{107} + R_{108} = 2R_{107}$.

¹D. Self, Audio Power Amplifier Design Handbook, 5ta ed. Kidlington: Elsevier Science, 2014.

Se selecciona $R_V = 1\text{ k}\Omega$ ya que este es un valor típico para las resistencias con esta funcionalidad. Se busca que la ganancia de esta etapa sea baja, que no altere mucho la señal (no mayor a 10 veces) y que los transistores se encuentren bien polarizados. Mediante el uso de las ecuaciones previamente mencionadas, se obtienen los siguientes valores de interés:

- Para la fuente de corriente: $I_O = -9.41\text{ mA}$ y $R_{30} = 68\text{ }\Omega$.
- Para la resistencia del colector: $R_{105} = 2\text{ k}\Omega$.

4. Etapa de Ganancia

4.1. Introducción

La etapa de amplificación de tensión (o VAS) a menudo es considerada como la etapa más crítica de un amplificador de potencia, dado que no solo provee la ganancia de tensión sino que también debe manejar todo el rango de la tensión de salida. Esto indicaría que puede jugar un rol significativo en la distorsión armónica de la señal, sin embargo un VAS bien diseñado contribuye relativamente poco a la distorsión total, e incluso si se tomasen pasos extra para intentar linealizar aún más la salida, estas contribuciones comparadas con las hechas en una etapa de entrada, son completamente despreciables.

4.2. Diseños propuestos

El primer diseño que se pensó fue un emisor común que se observa a continuación que si bien cuenta con varios problemas estos van a ser sorteados en las siguientes líneas.

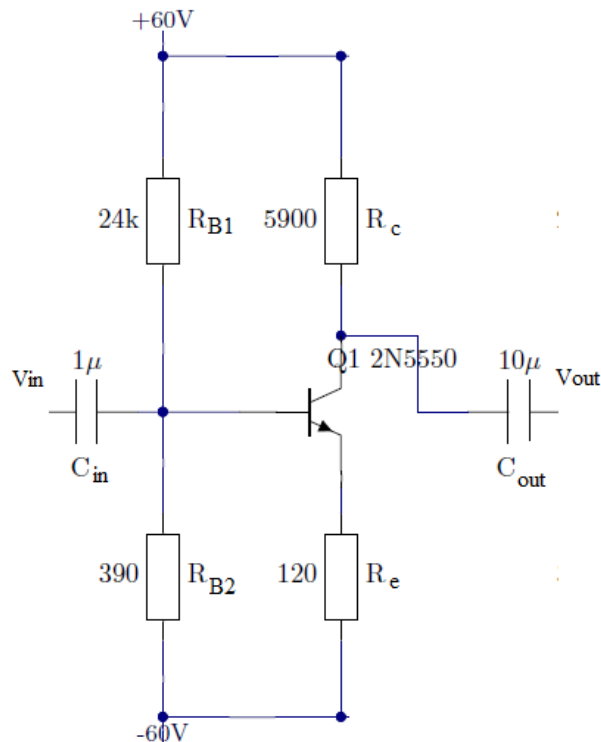


Figura 5: Primer diseño Emisor Común

El primer problema que se afrontó fue el de limitar la ganancia de altas frecuencias. Para esto se introduce una línea de realimentación negativa utilizando C_{dom} el cual limita la ganancia de altas frecuencia y así asegura mayor estabilidad.

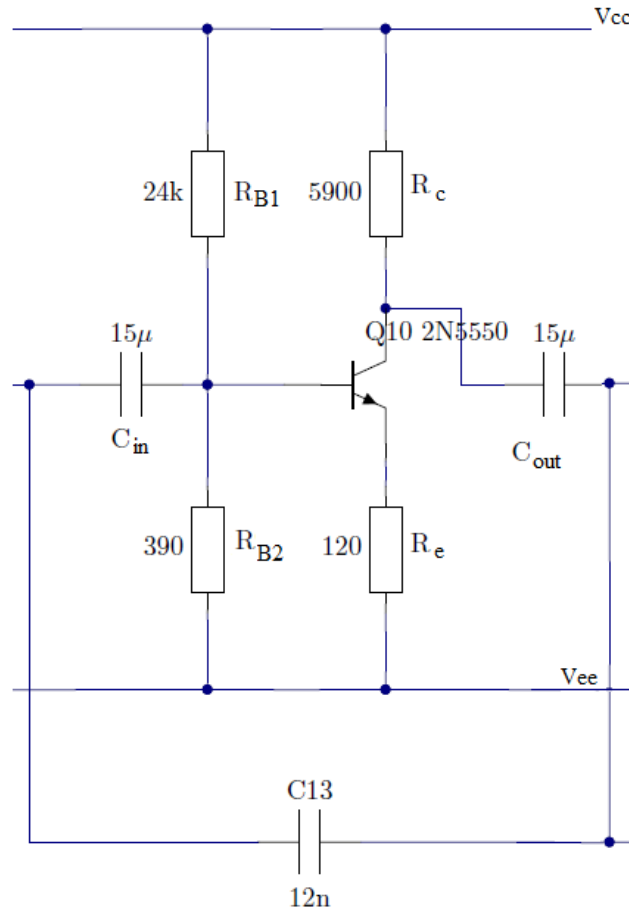


Figura 6: Segundo diseño Emisor Común

En cuanto al cálculo de C_{in} o C_{out} se buscó que la impedancia para frecuencias medias sea despreciable frente a la impedancia vista desde el colector o la base.

Para el caso de C_{Dom} se eligió un valor tal que las altas frecuencias vean un camino de baja impedancia comparado con la entrada del emisor común. De esta manera, las frecuencias altas no serán amplificadas.

Es importante que la ganancia a lazo abierto del VAS sea alta, así este puede ser linealizado. Si se intenta aumentar la ganancia del emisor común, se sabe que la ganancia de este está descrito por la ecuación:

$$A_{vs} = \frac{-R_D}{R_E} \quad (5)$$

Por lo que si se quiere subir la ganancia puede subirse el valor de R_C , pero esto dado una I_C determinada por la malla de entrada, provocará que caiga más tensión sobre la resistencia R_C y así consuma un valor de potencia mucho más elevado. Una manera de asegurar una gran ganancia es utilizar una carga activa con una fuente de corriente, así suministrando la corriente necesaria, y mostrando una alta impedancia.

Además, se optó por utilizar un acople por fuente de corriente en vez de uno capacitivo con la idea de no introducir singularidades no deseadas en el circuito.

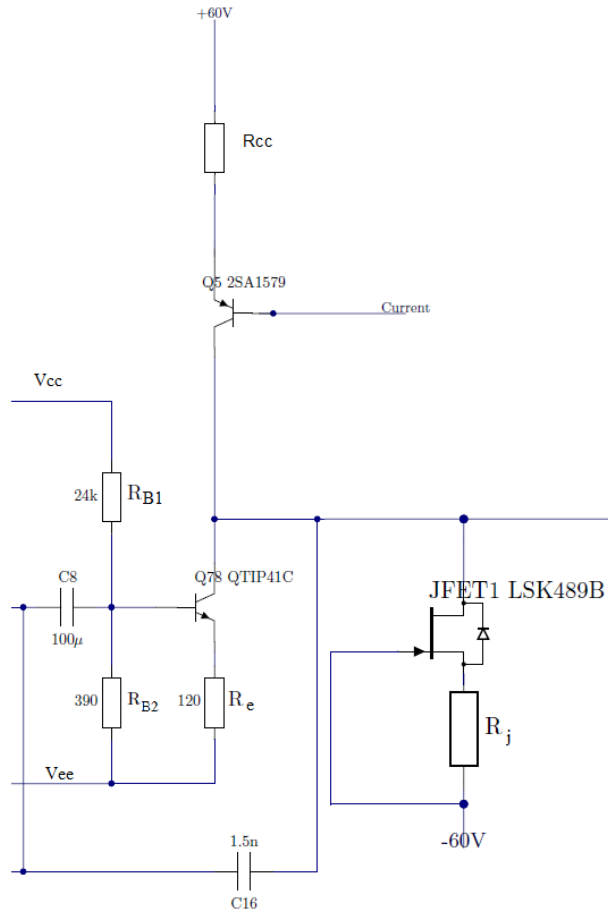


Figura 7: Tercer diseño Emisor Común

Para la fuente de corriente de la carga activa se optó por utilizar una fuente compensada. Mientras que para el acomplete se utilizó una fuente implementada con JFET, debido a que en esa zona el circuito tiene la máxima variación de tensión, lo cual si se hubiese implementado con una fuente con BJT podría tener problemas de Saturación / Corte. El transistor se le impuso una tensión de VCE de $\frac{V_{cc}+V_{ee}}{2}$ al igual que un valor de corriente $I_c = 10mA$, al igual que optar por una resistencia de emisor baja.

Los valores utilizados para el circuito responden a las siguientes ecuaciones:

$$R_{B2} = \frac{V_{Re} + V_{be}}{I_{RB}} \approx 390\Omega |_{I_{Rb}=5mA \wedge V_{re}=1.2V} \quad (6)$$

$$R_E = \frac{I_{Rb} \cdot R_{B2} - 2V_{be}}{I_c} = 120\Omega \quad (7)$$

$$R_{B1} = \frac{V_{cc} + V_{ee} - I_{Rb} \cdot R_{B2}}{I_{Rb}} = 24k\Omega \quad (8)$$

Luego para la fuente compensada se obtuvo un valor para la resistencia R_{cc} , tal que suministre los $10mA$ al colector del transistor.

$$R_{cc} = \frac{V_{be}}{I_c} \approx 76\Omega \quad (9)$$

También se obtiene el parámetro de la impedancia de salida de la fuente compensada la cual es de aproximadamente:

$$R_{of} = (R_{cc}/h_{ie}^*) + (1 + h_{fe}^*) \cdot r_{ce} \quad (10)$$

En cuanto a la compensación por corriente se optó por el transistor UJ3N065080K3S debido a que puede manejar el rango de tensiones de la salida y puede proveer una corriente suficiente, si bien este era el transistor ideal, el subcircuito encontrado en línea parece no funcionar correctamente por lo que se utilizó el LSK489B para la simulación, pero ese transistor sería el utilizado en la realidad. En cuanto a la elección de la resistencia del Jfet, se consideraron los parámetros V_p , I_{dss} .

$$I_D = -\frac{V_{GS}}{R_j} \quad (11)$$

El valor de la corriente de drain que se necesitará será la corriente la cual se fugaría del VAS hacia la etapa de salida al no estar presente el capacitor, la cual es de un valor de $\approx 5 \text{ mA}$.

$$I_D = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (12)$$

De aquí se obtiene $R_j \approx 65 \Omega$.

La fuente de corriente de acople posee además una segunda característica. Esta permite no solo regular el nivel de continua de reposo a la salida de cada clase AB, sino también el nivel de continua de reposo sobre la carga. Basta que ambas salidas en reposo sean iguales para que la continua de reposo sobre la carga sea nula, sin embargo, si no se compensa correctamente con esta fuente el nivel de continua en reposo a la salida de cada clase AB, se consumirá una gran potencia lo que disminuirá considerablemente el rendimiento del amplificador, por más que los parlantes no se dañen debido a la simetría del circuito.

Como última consideración se optó por poner 3 etapas amplificadoras como la de la Figura (5) previo al diseño de la Figura (7) con la intención de aumentar la ganancia del bloque A tal que valga que $\alpha \cdot \beta \gg 1$ dado que β será de un valor muy pequeño para lograr llegar a disipar como máximo 1.5 kW sobre la carga. Con esto dicho la tensión sobre los V_{ce} serán:

Para el transistor con carga activa:

$$V_{ce-ec-rms} = V_{ce-cc} + \frac{\hat{V}_o}{\sqrt{2}} \approx \quad (13)$$

Para la carga activa será:

$$V_{ce-load-rms} = V_{cc} - I_C - \frac{\hat{V}_{ce-ec}}{\sqrt{2}} \approx \quad (14)$$

5. Etapa de Salida

5.1. Introducción

La etapa de salida de un amplificador de audio se encarga de entregar la corriente necesaria a la carga para conseguir la característica de potencia buscada en el amplificador; sin así distorsionar demasiado a la señal, para preservar el THD para el cual se trabajó tanto para disminuir en las etapas anteriores.

Por un lado, se puede utilizar tecnología FET, sin embargo, estos presentan muy pocas ventajas frente a desventajas con otras tecnologías. Una alternativa aún utilizada son las válvulas, que quedan descartadas al no ser relevante en este trabajo. Otra alternativa, mucho más popular, es usar tecnología BJT, la cual será nuestra opción.

Existen varias clases de etapa de salidas distintas, entre ellas A, con una alta linealidad pero muy baja eficiencia; clase B, la cual soluciona el problema de la eficiencia, al costo de la distorsión por crossover; la clase AB, un compromiso entre ambas; variaciones de la popular clase AB, como la clase G que utiliza 4 rieles de alimentación distintos, y muchas más. En el amplificador de audio diseñado se utilizará clase AB al ser una consideración de diseño.

Dentro de la clase AB existen muchas topologías distintas, cada una con sus respectivas ventajas y desventajas. Una de ellas es la topología EF (*emitter-follower*) compuesta por un seguidor por emisor o dos en cascada. En esta última, un transistor funciona como *driver*, generalmente situado en un punto Q muy estable. Este transistor proporciona la corriente de base al siguiente, generalmente un transistor de potencia, por el cual fluye la corriente que se le entrega a la carga. Dentro de esta topología existen tres tipos mostrados en la Figura (8). En el tipo 1 los resistores de emisor se conectan a la salida. Estos resistores colocan al driver en un punto Q estable. El tipo 2 posee la ventaja de ahorrarse un resistor, colocando uno solo entre los emisores de los transistores. Además, los transistores nunca se polarizarán en inversa al pasar de un semiciclo al otro. En el tipo 3, se conectan los resistores a los rieles de alimentación, lo cual puede mejorar el apagado de altas frecuencias.

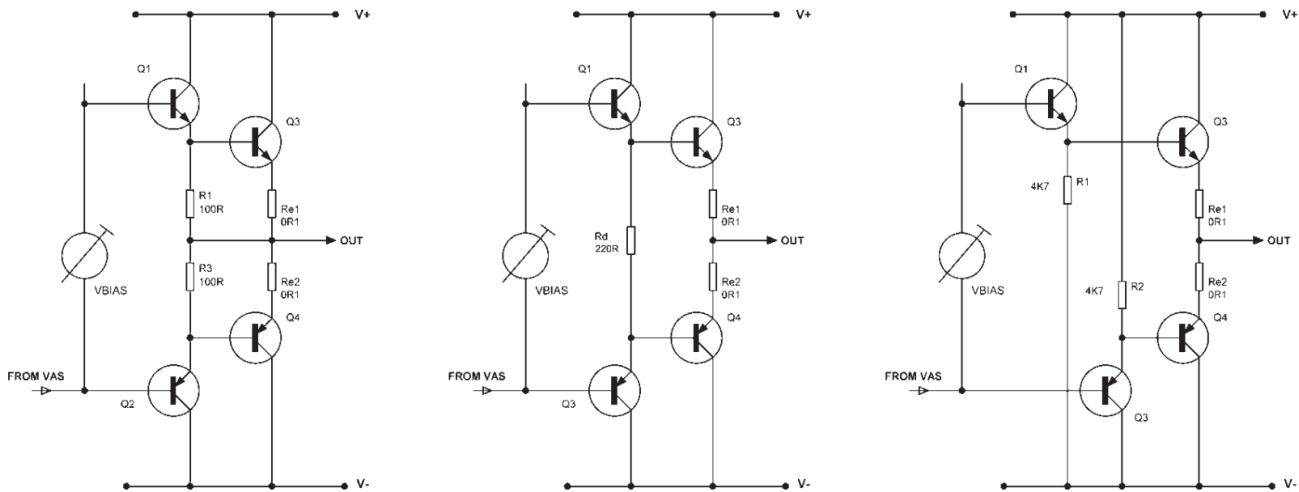


Figura 8: Tipos de configuraciones emitter follower. D. Self, Audio Power Amplifier Design Handbook, 5th, p. 143.

Otra configuración involucra los pares Sziklai, Quasi-Darlington o también llamados par de realimentación, dado que ahora el driver se coloca de manera tal que este compare la tensión a la salida con la entrada, lo cual aumenta la linealidad. Además, como el V_{be} del transistor de salida se encuentra dentro del lazo de realimentación, se observa una estabilidad térmica mayor.

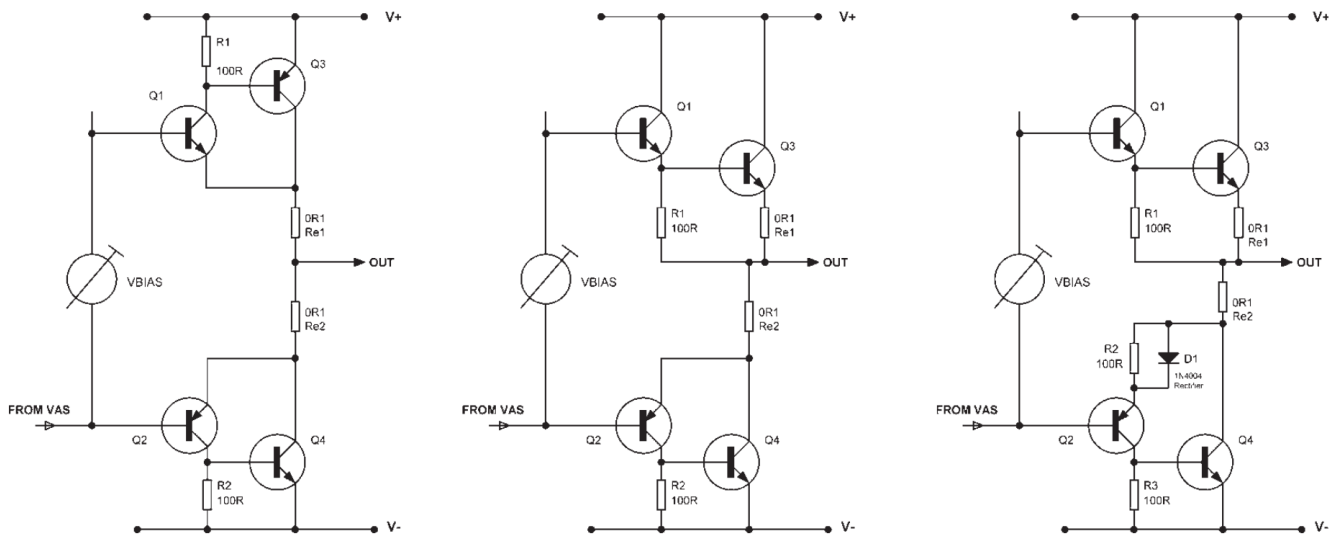


Figura 9: Tipos de configuraciones de par de realimentación. D. Self, Audio Power Amplifier Design Handbook, 5th, p. 145.

Una topología la cual en el pasado era casi obligatoria por la falta de transistores PNP de potencia complementarios a los NPN, es la casi complementaria. En esta configuración solamente se reemplaza por un par Quasi-Darlington a los transistores PNP. Esta topología presenta una linealidad mucho menor y no será utilizada, aunque existen varios arreglos a la simetría, como por ejemplo utilizando un diodo de Baxandall.

Naturalmente surge al analizar estas etapas de salida la idea de colocar tres transistores en cascada, o más. De ahí surge la topología basada en triples, como la Triple EF. Esta configuración presenta mayor linealidad a altas potencias, un punto Q más estable para los transistores *pre-drivers*, los que proporcionan la corriente a los drivers, debido a que estos manejarán una corriente menor y disiparán menor potencia. Además, al poseer una ganancia de corriente mayor, la etapa de ganancia de tensión deberá proporcionar corrientes menores. En la Figura (10) se observan distintas configuraciones triples posibles.

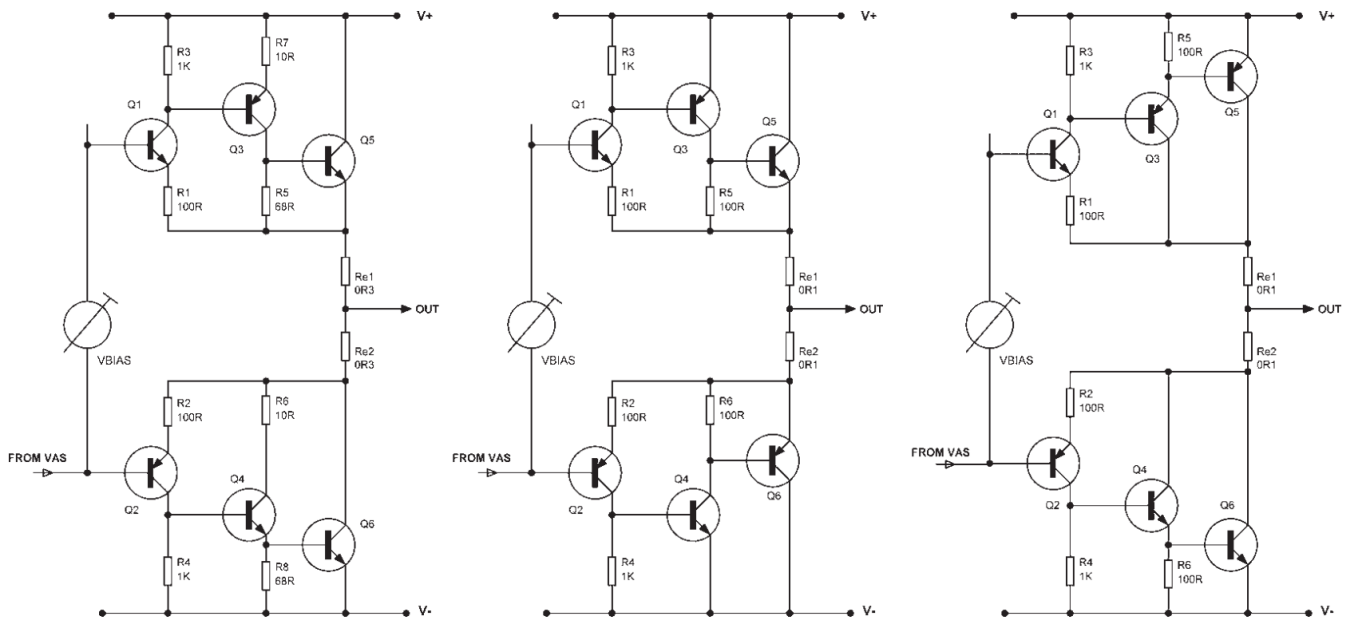


Figura 10: Algunos tipos de configuraciones basadas en triples. D. Self, Audio Power Amplifier Design Handbook, 5th, p. 145.

5.2. Topología Utilizada

Debido a la alta potencia que se deberá disipar sobre la carga, que al ser de tan solo $8\ \Omega$ provoca corrientes muy grandes, se decidió utilizar una topología basadas en triples detallado en la Figura (10). Esto permite, como ya descrito antes, utilizar transistores de media potencia como pre-drivers que tanto permanezcan a una temperatura estable como posean una pequeña excursión en corriente, lo que aumenta la linealidad de la etapa de salida. Luego, el transistor driver y de salida serán de potencia. Se utilizará una configuración con pares de realimentación para aumentar aún más la linealidad.

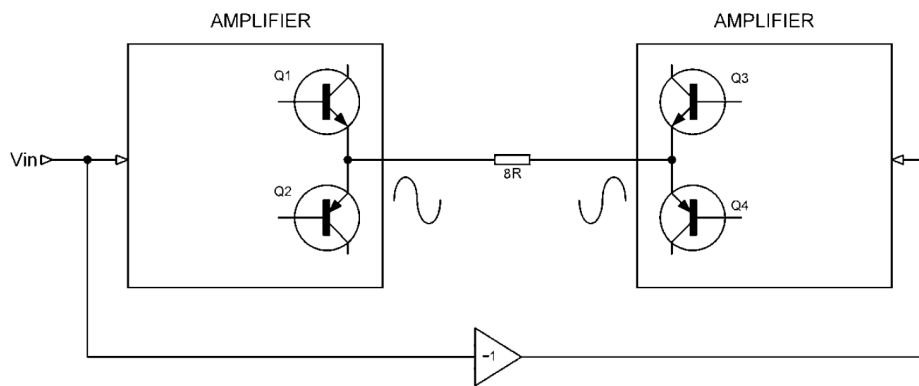


Figura 11: Puenteo de la carga con las etapas de salida. D. Self, Audio Power Amplifier Design Handbook, 5th, p. 38.

Por otro lado, se utilizaron dos etapas de salida idénticas pero en contra-fase con la carga entre la salida de ambas. Esto permite (debido a que el amplificador diseñado será para una carga mono y no estéreo) duplicar la tensión sobre la carga y así cuadruplicar la potencia disipada sobre esta. Como la potencia disipada será muy alta, se decidió utilizar además una técnica muy frecuentemente empleada en amplificadores de audio comerciales, la cual consiste en colocar varios transistores de salida en paralelo, encontrando en amplificadores profesionales hasta incluso doce de ellos o más. El cálculo del número de pares de transistores en paralelo se detallará en la sección de potencia y serán de 6 pares por lado.

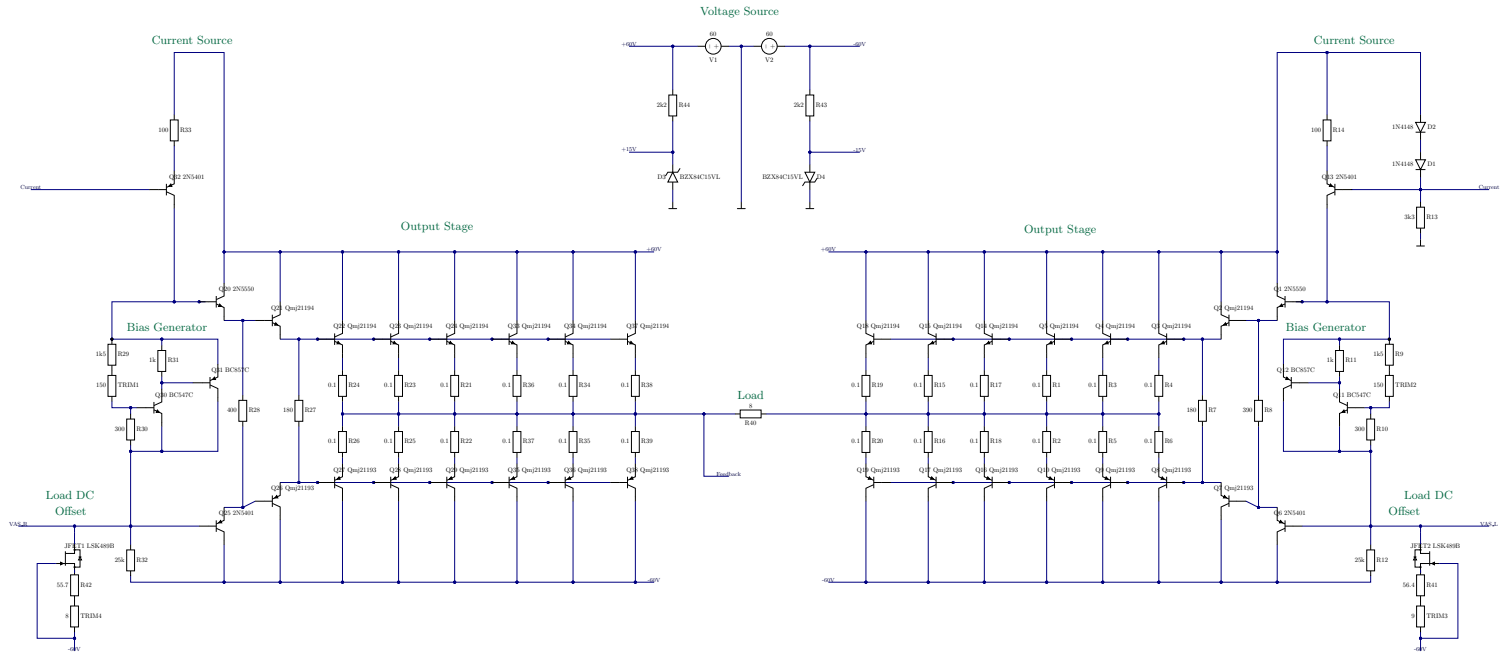


Figura 12: Circuito diseñado para la etapa de salida. (Imagen vectorizada)

Las resistencias de emisor de los transistores se seleccionaron de acuerdo al libro Audio Power Amplifier Design Handbook de Douglas Self con un valor de $390\ \Omega$ para los transistores pre-driver, $180\ \Omega$ para los transistores driver y $0.1\ \Omega$ para los transistores de salida. Luego, se utilizaron los transistores *MJ21194* y *MJ21193* debido a su uso en amplificadores de audio comerciales de alta potencia y los transistores *2N5550* y *2N5401* para los pre-drivers, que, si bien disipan mucho menos que los demás transistores, poseen una gran caída de tensión V_{CE} .

5.3. Generador de Bias

Para el generador de bias se utilizó inicialmente un multiplicador de V_{be} compuesto por dos resistencias y un transistor. Sin embargo, resultados experimentales demostraron que este generador de bias fallaba en mantener una tensión constante de bias frente a las grandes variaciones de corriente que egresaban de la etapa de salida. Debido a esto, se utilizó un par de realimentación compensado en vez del transistor, lo cual aumenta el beta total, logrando generar una tensión de bias con una fluctuación alrededor de diez veces menor.

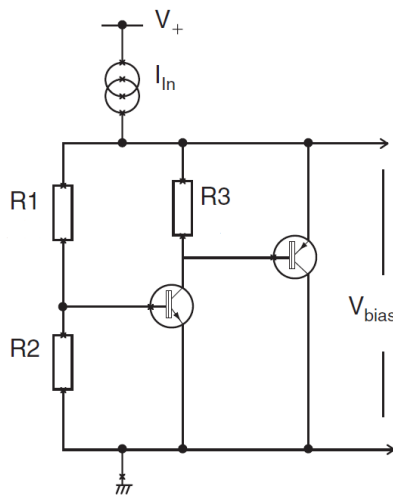


Figura 13: Generador de bias utilizado. D. Self, Audio Power Amplifier Design Handbook, 5th, p. 417.

La corriente que fluye por las resistencias R_1 y R_2 está gobernada por tanto la caída de V_{be} como por el valor de R_2 . Imponiendo una corriente de 2 mA para estas resistencias, se tiene que

$$I_R = \frac{0.6 \text{ V}}{2 \text{ mA}} = 300 \text{ } \Omega \quad (15)$$

Luego, dado que se encuentran seis caídas de V_{be} , lo cual equivale a 4.2 V , se decidió para poder ajustar el nivel de corriente de reposo de los transistores de salida, tomar ese valor como central y con un trimmer brindar una excursión bilateral frente este valor central. Si el trimmer se coloca en la posición de menor resistencia, habrá una gran distorsión de crossover, mientras que si se coloca en la posición de mayor resistencia habrá una gran corriente de reposo. Teniendo esto en cuenta, y las recomendaciones del libro de Douglas Self, de utilizar un V_{bias} de 3.9 V para la configuración Triple EF, se tiene que $R_2 = R_{2-fija} + R_{2-trimmer}$. $R_{2-fija} = 1.5 \text{ k}\Omega$ y $R_{2-trimmer} = 500 \text{ } \Omega$ nominales. Esto hará que

$$3.6 \text{ V} < V_{bias} = V_{be} \cdot \frac{R_a + R_b}{R_b} < 4.6 \text{ V} \quad (16)$$

5.4. Fuente de corriente

Finalmente, se utilizó una fuente de corriente compensada simple en vez de una resistencia para no limitar por corriente a la máxima potencia sin recorte a la salida. Esta fuente de corriente será la que provea de corriente a tanto el generador de Bias como a los transistores pre-driver de salida. Para el valor de la fuente de corriente se decidió utilizar 7 mA dado que eso brinda suficiente margen entre la corriente de base del transistor pre-driver ($\approx 1 \text{ mA}$) y el generador de bias. Se cedieron alrededor de 6 mA al generador de bias para no solo dejar una buena corriente de colector en los transistores, sino también dejar una corriente sobre las resistencias para que valga la aproximación de divisor resistivo. Se obtuvo entonces que la resistencia que fija la corriente de la compensada es

$$R_{curr} = \frac{0.7 \text{ V}}{7 \text{ mA}} = 100 \text{ } \Omega \quad (17)$$

Finalmente para polarizar correctamente los diodos, como se colocaron cuatro transistores en paralelo a estos, se impuso una corriente mayor a la habitual, de 20 mA . Obteniendo así

$$R_{diod} = \frac{0.7 \text{ V}}{20 \text{ mA}} = 3k3 \text{ } \Omega \quad (18)$$

5.5. Resistor sumidero de corriente

Por esta resistencia fluirá la resta de corrientes entre la proporcionada por la fuente de corriente compensada descrita anteriormente y la fuente de corriente JFET, la cual cumple la función de acople entre el VAS y la etapa de salida, y de ajuste de continua en la carga. Se tiene luego que $7 \text{ mA} - 5 \text{ mA} = 2 \text{ mA}$. Luego,

$$R = \frac{V_{output_{max}}}{I_R} = \frac{45 \text{ V}}{2 \text{ mA}} = 22.5 \text{ k}\Omega \quad (19)$$

Sin embargo, se comprobó empíricamente mediante simulaciones que un valor de $R = 25 \text{ k}\Omega$ decrece la distorsión armónica sin comprometer mucho el funcionamiento.

6. Alimentación

6.1. Alimentación

Se eligió utilizar una fuente partida de $\pm 60 \text{ V}$ debido a que se buscaba una tensión de salida elevada para obtener un valor de potencia sobre la carga de $\approx 1.5 \text{ kW}$. Para esto, la tensión pico de cada lado del amplificador debe ser de $\approx 53 \text{ V}$. Utilizando 60 V se llega a un buen compromiso entre tener un margen considerable hasta el recorte para reducir el THD, y el rendimiento del amplificador.

También se optó por utilizar un segundo riel de alimentación para el par diferencial, teniendo como objetivo optimizar el rendimiento, dado que este trabaja con pequeña señal. Se utilizó un valor de $\pm 15 \text{ V}$, empleando una resistencia y un diodo zener para proveer esa tensión a partir de la fuente partida principal.

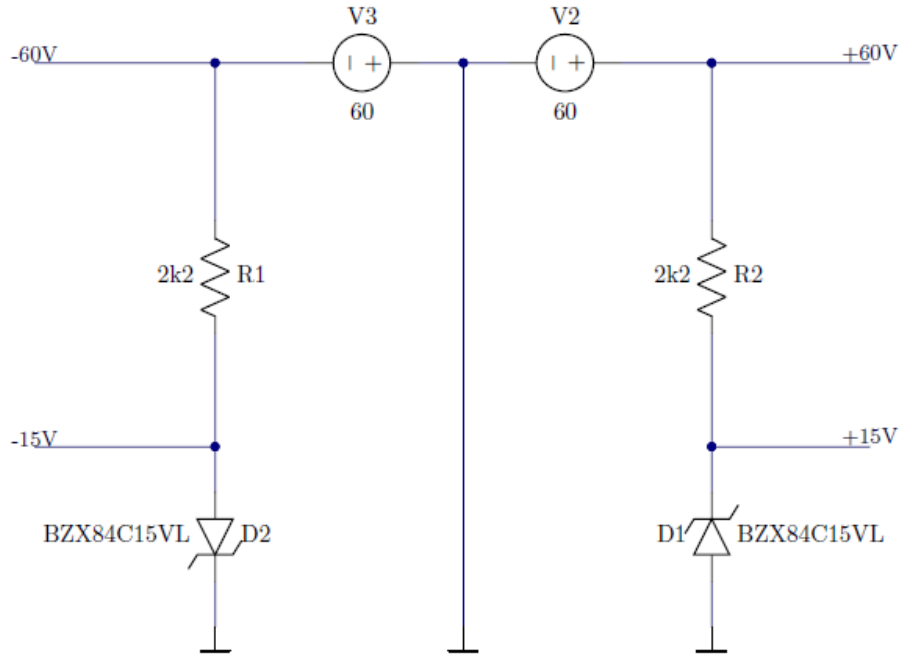


Figura 14: Fuente de alimentación

El diodo seleccionado es uno cuya tensión de zener es de 15 V. Para el cálculo de la resistencia del diodo se tuvo en cuenta que el diodo quede polarizado con una corriente de mantenimiento de 6 mA al igual que haya suficiente corriente para que el par diferencial utilice. Teniendo en cuenta la corriente de polarización del par diferencial se llega a la conclusión de que la corriente por la resistencia debe ser de 20 mA.

$$R1 = \frac{60 - V_z}{20mA} = 2k2\Omega \quad (20)$$

7. Cálculos de Potencia

7.1. Simulación de rendimiento

El rendimiento esta definido como:

$$\eta = \frac{P_{RL}}{P_{vcc} + P_{vee}} \quad (21)$$

Teniendo en cuenta que la potencia para las señales senoidales se toma la potencia eficaz, siendo esta:

$$P_R = V_{R-RMS} \cdot I_{R-RMS} = \frac{\hat{V}_R}{\sqrt{2}} \cdot \frac{\hat{I}_R}{\sqrt{2}} \quad (22)$$

Finalmente fue simulado el rendimiento obteniendo los siguientes valores:

$$\eta = \frac{1083/2W}{2 \cdot 18W + 2 \cdot 690/2} \approx 74.5 \% \quad (23)$$

7.2. Etapa de ganancia

En la etapa de ganancia el transistor que mas disipa potencia en cuanto a la señal en modo incremental es el último transistor de los emisores comunes.² Para el cálculo de la potencia de este bastará con realizar el cálculo:

$$P_{ec4} \approx \left[V_{ce-cc} + \frac{V_{ce-ac}}{\sqrt{2}} \right] \cdot I_c \approx 880mW \quad (24)$$

²Los valores de corriente I_c y tensión V_{ce} son los calculados en la etapa de ganancia

En cuanto a las otras tensiones V_{ce} de los transistores debido a que no trabajan con señales tan grande se aproxima la potencia disipada a la de continua.

$$P_{ec-123} \approx V_{ce-cc} \cdot I_c \approx 620mW \quad (25)$$

En cuanto a las resistencias de colector de los emisores compunes será una potencia de:

$$P_{Rc} = I_c^2 \cdot R_c = 0.55W \quad (26)$$

Para la carga a activa bastará con realizar el producto de la tension de juntura por la corriente.

$$P_{CS} \approx \left[V_{ce-cc} + \frac{V_{ce-ac}}{\sqrt{2}} \right] \cdot I_c \approx 1W \quad (27)$$

7.3. Etapa de entrada

Se calcula la potencia disipada por la etapa de entrada. Para los transistores del par diferencial, sabiendo I_C y V_{CE} (y despreciando la corriente de base) se obtiene aproximadamente unos 30 mW , para cada uno, mientras que para el transistor de la fuente de corriente unos 106.23 mW . Para el conjunto de las resistencias R_V ($R_{107} + R_{108}$), R_{105} y R_{106} , se obtiene una potencia de 111.57 mW . Para R_{30} se calculan 6.02 mW , mientras que para R_{31} , 143.50 mW . Finalmente, para los diodos D_{19} y D_{20} , conjuntamente se calcula una potencia de 7.02 mW . Luego, sumando todas las potencias disipadas, se obtiene total de 404.34 mW .

8. Simulaciones

8.1. Introducción

Se realizaron simulaciones en LTSpice del circuito propuesto, así también se comprobó que los resultados teóricos concuerdan con las simulaciones, ademas se tuvo especial cuidado a la hora de evaluar que transistores y resistores usar en las etapas tal que no haya problemas de potencia, aqui se muestran las tensiones y potencias relevantes del circuito en cuanto a la elección crítica de componentes.

Comenzando por los emisores comunes la potencia se encuentra cerca del máximo y la tensión V_{ce} en un rango seguro.

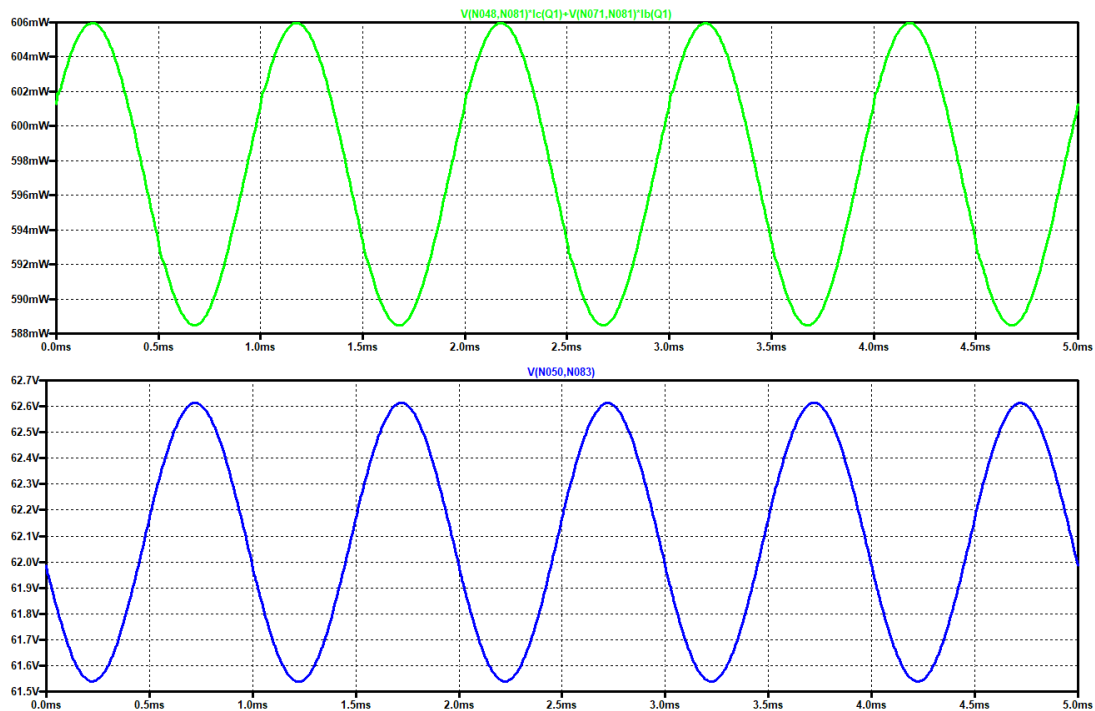


Figura 15: Potencia y tensión sobre un emisor común sin carga activa.

También se cuenta con que la potencia disipada por las resistencias de colector son cercanas al medio watt, por lo que las resistencias a utilizar son de medio watt.

Luego el último emisor común, el cual tiene la mayor ganancia de todos, es razonable esperar que disipe mas potencia y en efecto así es, por eso la necesidad de utilizar un transistor de mayor potencia para este ademas de que este manejara la máxima variación de tensión.

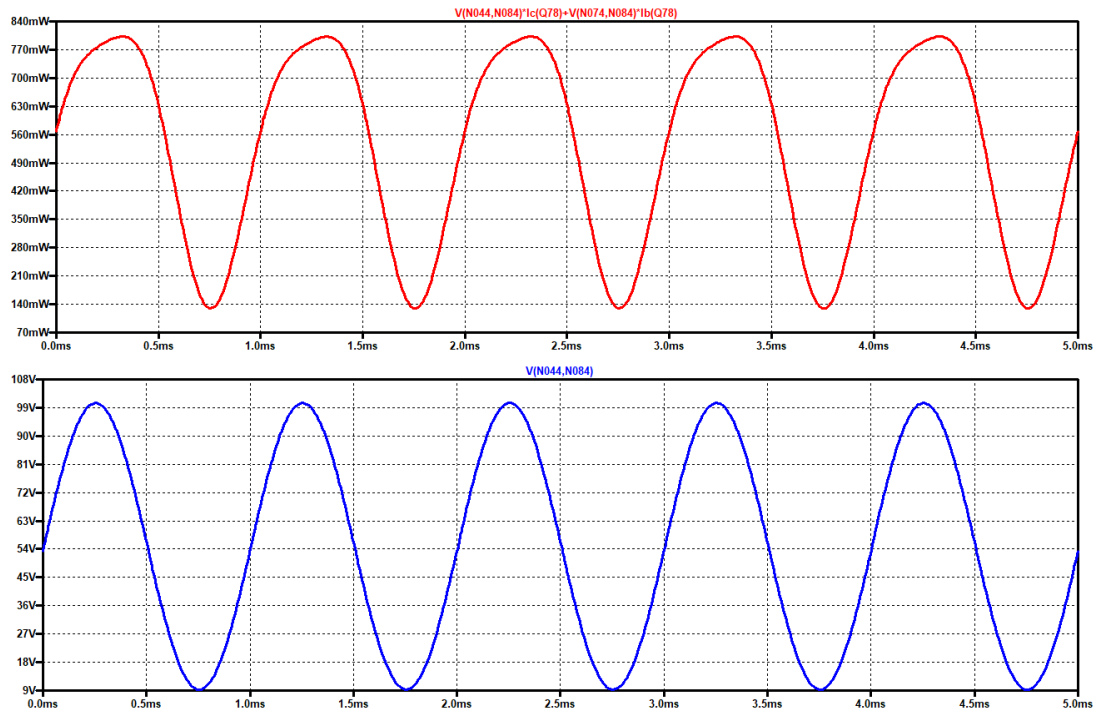


Figura 16: Potencia y tensión sobre un emisor común con carga activa.

En cuanto a la carga activa, dado que se encuentra en el colector del transistor va a sufrir también una gran variación de tensión por lo que se necesita un transistor que pueda manejar dicha tensión.

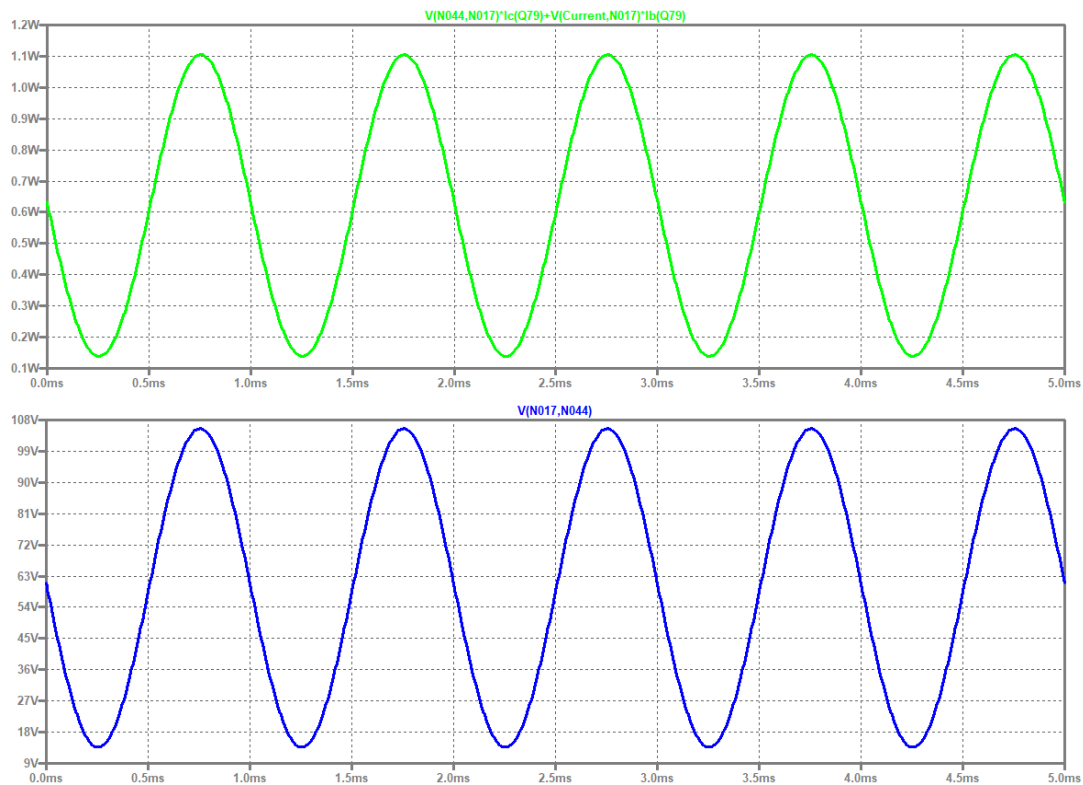


Figura 17: Potencia y tensión sobre la carga activa.

Continuando por la potencia y tensión correspondiente a la fuente de corriente de la etapa de salida.

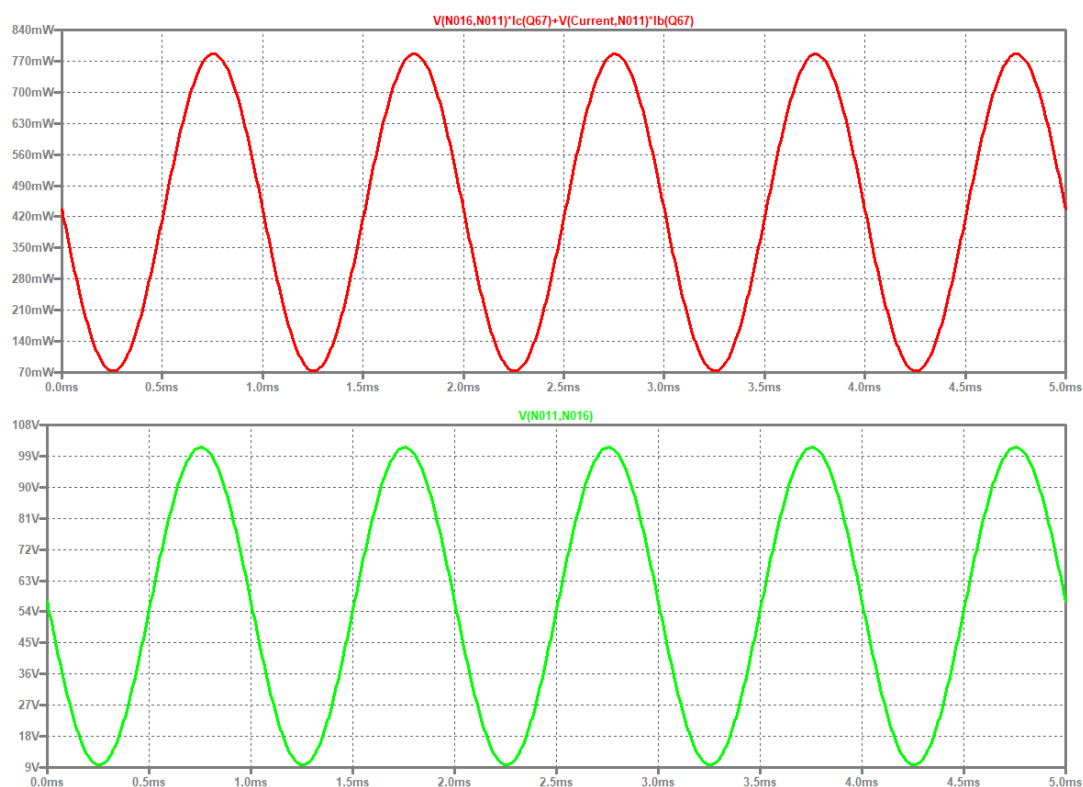


Figura 18: Potencia y tensión de la fuente de corriente de la salida.

Considerando la potencia de la etapa de salida consideraremos la potencia de las 3 fases, correspondiendo a la primera, la de menor potencia:

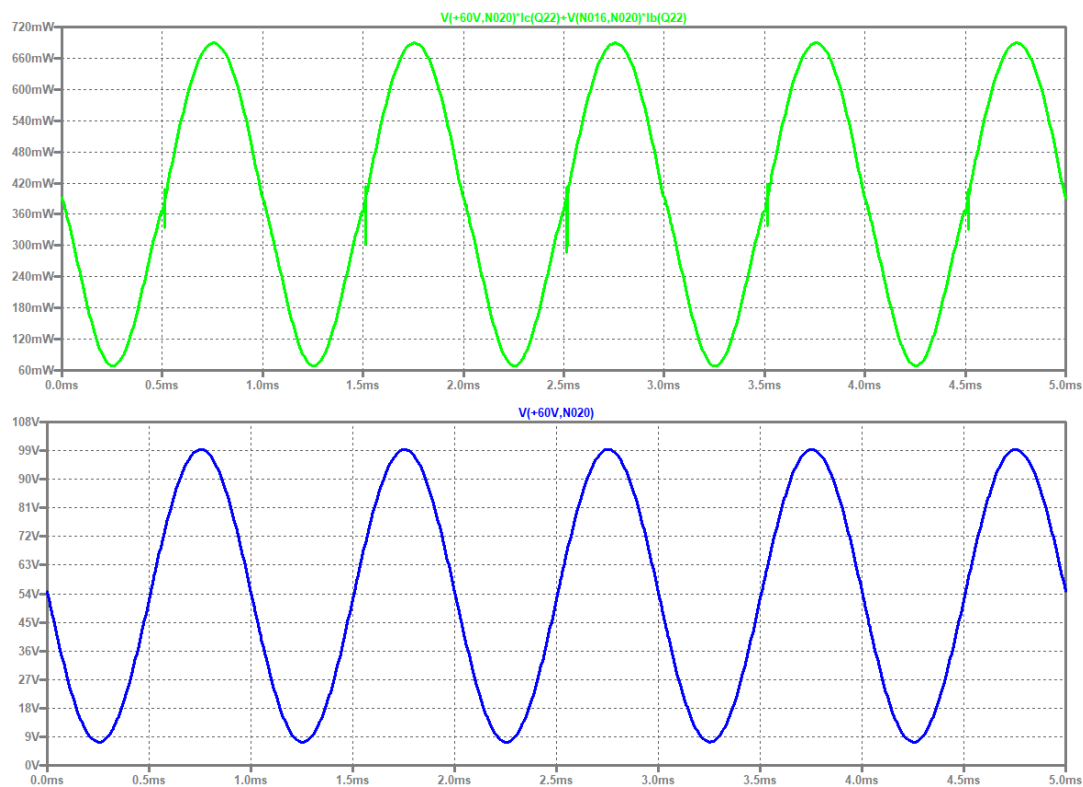


Figura 19: Potencia y tensión del primer transistor de salida.

Para el segundo, el cual corresponde a mediana potencia:

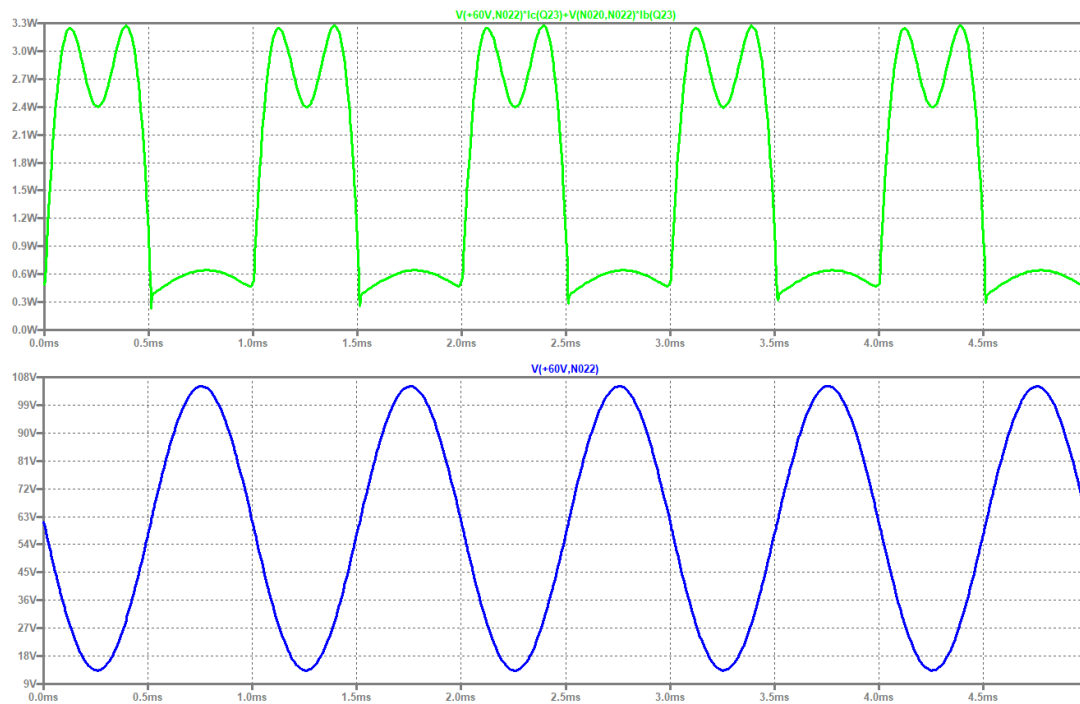


Figura 20: Potencia y tensión del segundo transistor de salida.

Finalmente para los últimos transistores, los cuales son los que trabajan con la mayor parte de la potencia de salida se obtuvo tanto la potencia como la tensión sobre ellos.

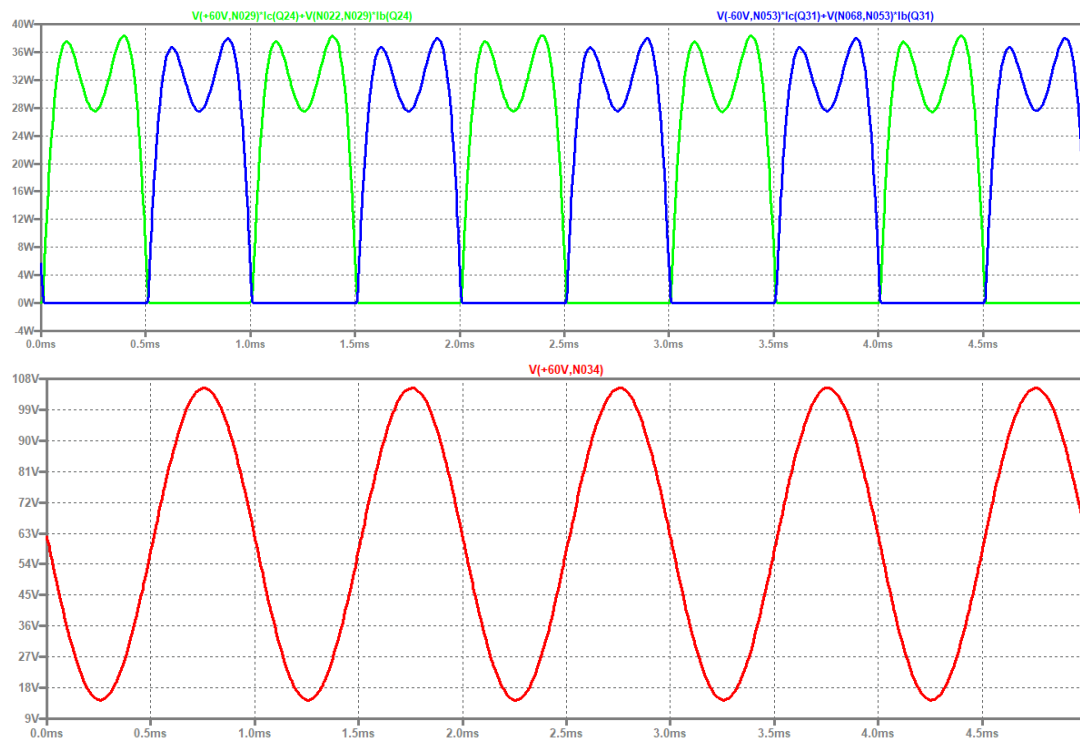


Figura 21: Potencia y tensión de los transistores de salida.

Adicional mente se puede observar que en el gráfico de potencias se dibujo también la potencia del transistor PNP de la rama inferior, para hacer evidente el nivel de simetría que se tiene. Finalmente mostraremos la simulación de potencia sobre la carga.

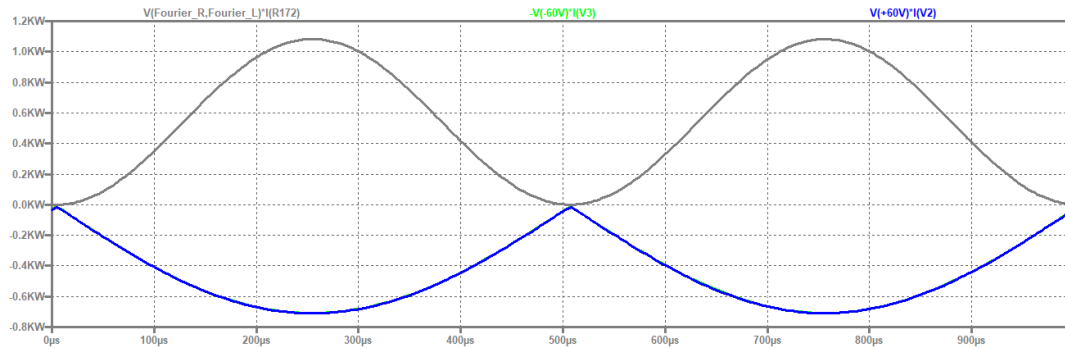


Figura 22: Potencia sobre la carga.

Aquí se pueden apreciar varias cosas, primeramente que con una tensión de entrada de $0.5\hat{V}$ se obtiene la mayor potencia, la cual corresponde a $\approx 1078W$, también debe notarse que la potencia entregada por la fuente es $\approx 0W$ cuando la potencia sobre la carga también lo es.

Luego se obtuvo la salida del circuito teniendo a la entrada una señal senoidal de frecuencia $1KHz$ y de amplitud $0.25\hat{V}$ y otra simulación con la misma entrada pero sumado también ruido blanco con distribución uniforme de amplitud $25m\hat{V}$.

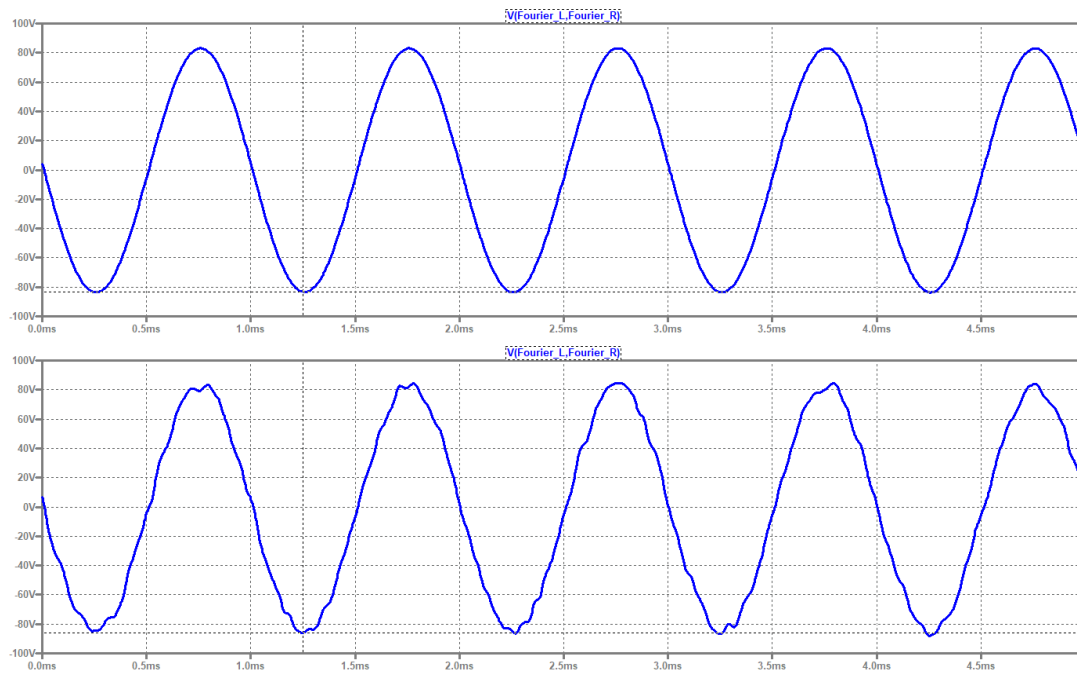


Figura 23: Tensión sobre la carga con y sin ruido.

Finalmente se obtuvo el Bode del sistema como se observa a continuación:

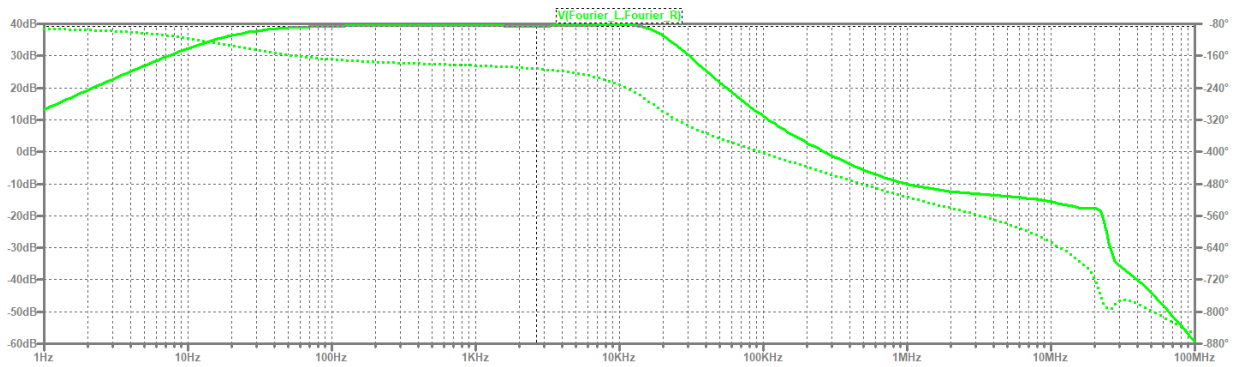


Figura 24: Bode del sistema.

Donde se puede apreciar una caída de 3dB respecto a la banda pasante tanto en 20Hz como en 20KHz. También se simuló la impedancia tanto de entrada como de salida.

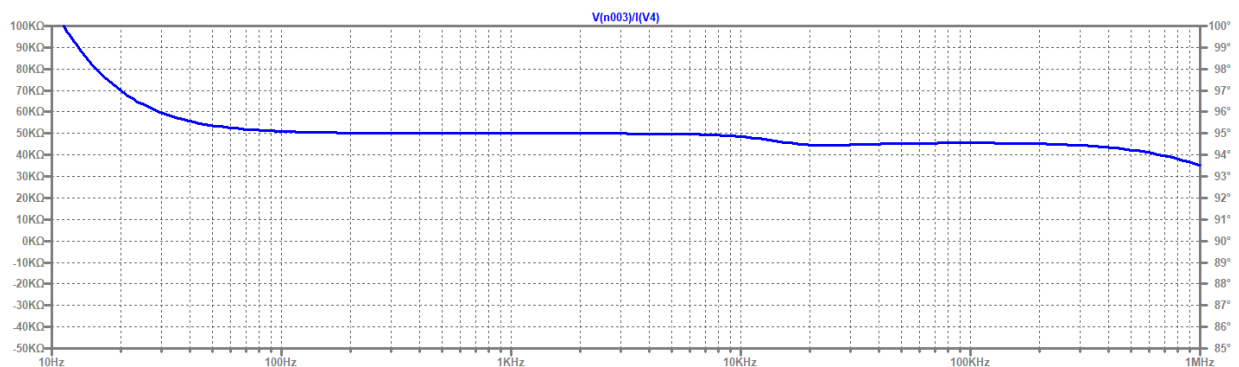


Figura 25: Impedancia de entrada del sistema.

Se puede notar que la impedancia de entrada en la banda audible es de 50KΩ

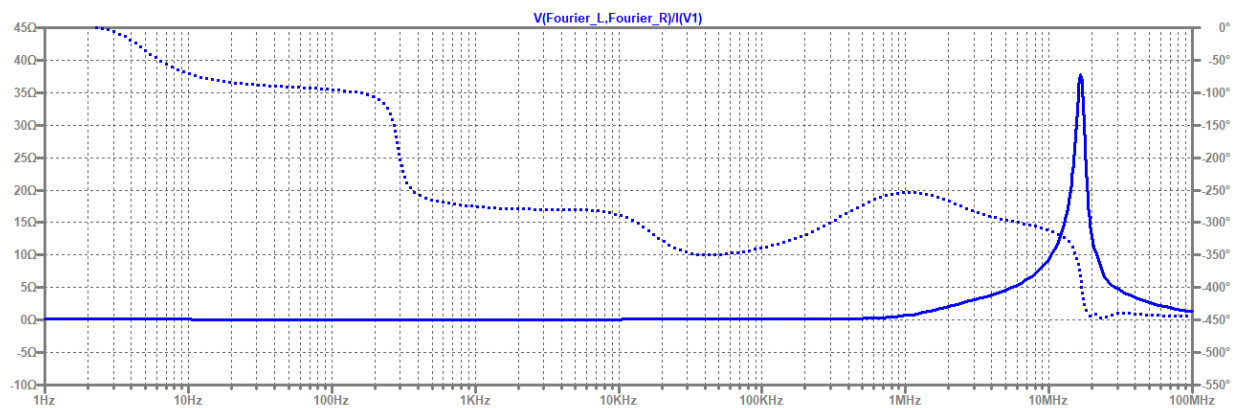


Figura 26: Impedancia de salida del sistema.

La impedancia de salida es un valor cercano del orden de las decenas de mΩ, idealmente sería de 8 Ω para que haya máxima transferencia de Potencia. Como también se midió la THD en la simulación obteniendo un valor de 0.400742 % cuando se disipa la máxima potencia.

8.2. Efectos de la resistencia del Jfet

Dado a que la resistencia del Jfet gobierna la corriente provista por el, variaciones en ella provocan un desvalance tanto en la tensión de salida, agregando un nivel de continua, como la potencia sobre los transistores de salida. A continuación se muestra una simulación en la cual se puede apreciar el cambio de la tensión de salida provocado por la variación de dicha resistencia.

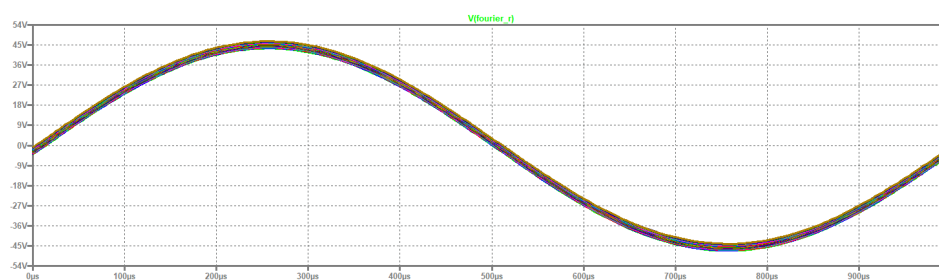


Figura 27: Variación de la tensión de salida en función de la resistencia del Jfet.

El desvalance en la tensión de salida de cada etapa puede llegar a no ser un problema debido a la configuración de puente H. Teniendo la carga conectada diferencialmente, y al estar en contrafase ambas ramas del circuito, se cancelaría la continua sobre la carga, pero este nivel de continua que carga cada rama resulta un problema debido a que si la potencia disipada por los transistores esta desbalanceada, afecta seriamente al rendimiento.

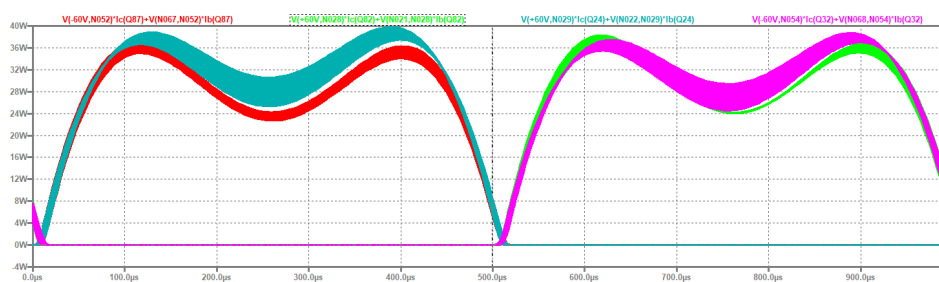


Figura 28: Variación de la potencia de los transistores de salida en función de la resistencia del Jfet.

9. Conclusiones