

Instituto Tecnológico de Buenos Aires - Electrónica 2 - 2020

Trabajo práctico de laboratorio N°1

Fuentes Reguladas de Tensión

Entrega: 30/04/2019 - 19:00Hs

Consigna:

- 1- Diseñar de acuerdo con las especificaciones dadas a continuación.
- 2- Construir el circuito en LTSpice y verificar el cumplimiento de las especificaciones.
- 3- Confeccionar un informe escrito. El mismo debe estar disponible para la entrega en su versión definitiva en el día y horario indicado para la entrega, sin excepciones.

Se requieren informes de buena calidad, legibles, organizados y con información relevante. Conteniendo, aunque no limitándose a los siguientes elementos: consideraciones de diseño, circuitos completos, cálculo detallado de todos los componentes, simulaciones, condiciones de ensayo, mediciones, consideraciones relevantes.

- 4- Se coordinará con cada grupo una presentación para demostrar el funcionamiento del circuito, y los alumnos serán evaluados por su desempeño tanto grupal como individualmente.

Fase 1:

Consideraciones:

Se dispone de una fuente de alimentación de 10V con una impedancia de salida de 10Ω . Diseñar un regulador serie con realimentación negativa para alimentar un circuito con $5V \pm 3\%$ en un rango de corrientes de 0 a 200mA.

El diseño debe estar optimizado en función de utilizar la menor cantidad posible de componentes, y el mayor rendimiento. Ponderado de acuerdo a la siguiente expresión:

$$H = \frac{8 \cdot \eta_{200ma} \cdot \eta_{100ma}}{[\sum_{k=1}^n P_{m\acute{a}x}(C_k)]} \%$$

$P_{m\acute{a}x}(C_k)$ representa el valor la potencia máxima que puede disipar cada componente, expresado en Watt. Independientemente de que el componente se emplee en dicha condición.

Por ejemplo, para el componente el componente BC547 fabricado por ON Semiconductor se consideraría el valor "Total Device Dissipation = 0.625 W".

Utilizar componentes standard y de accesibilidad razonable.

Las resistencias se considerarán como mínimo de 0.25W.

Y el factor $\eta_{200ma} \cdot \eta_{100ma}$ es el producto de los rendimientos a plena carga y al 50% de la corriente máxima.

Debe indicarse el valor de H para el circuito presentado, y se hará una mención de el/los mejores diseños. La impedancia de salida de la alimentación principal y la carga no se consideran parte del circuito. Valor H de referencia: 100%.

Fase 2:

Nº de Grupo	Vo [V]	Io máx [A]
1	$0 < V_o < 9$	2.5
2	$0 < V_o < 11$	2.3
3	$1 < V_o < 13$	2.0
4	$1.5 < V_o < 15$	1.7
5	$2 < V_o < 17$	1.5

Consideraciones:

A- Diseñar para obtener el máximo rendimiento (e.g. mínima tensión de entrada posible). Calcular, medir y simular el rendimiento.

B- Diseñar protección contra cortocircuito, con la mejor característica que puedan obtener.

C- Obtener Vo (Io), teórica, simulada. Presentar un gráfico de buena calidad.

- D- Analizar la impedancia de salida, calcular y simular.
- E- Simular y medir la inmunidad de la fuente a variaciones de la tensión de entrada (Power Supply Rejection Ratio).
- F- En caso de requerir disipador térmico, realizar los cálculos correspondientes que justifiquen la elección del modelo de disipador utilizado. Adjuntar hoja de datos y características del disipador que utilizarían para una implementación.
- G- Se valorará especialmente la originalidad de los diseños.
- H- No se podrán utilizar componentes variables para ajustar el funcionamiento de la fuente (trimming) salvo para definir la tensión de salida.
- I- Las resistencias utilizadas deben ser de la serie de 10% de tolerancia (valores de 1.0, 1.2, 1.5, 1.8, 2.2, 2.7, 3.3, 3.9, 4.7, 5.6, 6.8, 8.2 por 10^n). No se permite el uso de resistencias en serie para formar otros valores, excepto que pueda ser perfectamente justificado.
- J- El valor de TODOS los componentes debe ser calculado, y exhibirse claramente y de forma explícita el modo en que se obtuvo. Caso contrario no será aceptado el diseño.
- K- En caso de utilizar un par Darlington o similar debe implementarse de forma discreta, eligiendo justificadamente los transistores que lo componen de acuerdo a sus características (nota: solo a fines didácticos, en una implementación real se recomienda lo contrario).
- L- Para la fase B, debe buscarse para cada bloque la implementación que se considere óptima, lo cual requiere investigación.
- M- Los diagramas esquemáticos presentados en el informe y muy especialmente en la simulación, deben ser claros y estar prolijamente dibujados, respetando todas las buenas prácticas conocidas para el caso.
- N- El diseño debe admitir que se modifique en $\pm 5\%$ el valor de cualquier resistencia y garantizar su funcionamiento cumpliendo las mismas especificaciones. Este ensayo será realizado en la presentación sobre cualquier componente.
- O- Los modelos de transistores a utilizarse deben pertenecer a la librería standard de LTspice, o bien ser modelos completos provistos por el fabricante, debiendo especificar el sitio de dónde se obtuvo el modelo. No está permitido modificar manualmente los parámetros del modelo, ni utilizar modelos demasiado simplificados. Diseñar con componentes disponibles comercialmente, de tipo standard.

- P- Se utilizará LTspiceXVII, los archivos entregados deben estar comentados para que se puedan recrear TODAS las simulaciones que se incluyan en el informe de forma sencilla. Incluir todas las directivas de PSPICE, indicar dónde se midió (Probes) en cada caso y qué expresión de gráfico y con qué parámetro en el eje horizontal.
- Q- De considerarse necesario la cátedra se reserva el derecho de presentar un anexo de condiciones adicionales o aclaratorias.