

0.1. Introducción

La etapa de amplificación de tensión (o VAS) a menudo es considerada como la etapa más crítica de un amplificador de potencia, dado que no solo provee la ganancia de tensión sino que también debe manejar todo el rango de la tensión de salida. Esto indicaría que puede jugar un rol significativo en la distorsión armónica de la señal, sin embargo un VAS bien diseñado contribuye relativamente poco a la distorsión total, e incluso si se tomasen pasos extra para intentar linealizar aún más la salida, estas contribuciones comparadas con las hechas en una etapa de entrada, son completamente despreciables.

El primer diseño que se pensó fue un emisor común que se observa a continuación que si bien cuenta con varios problemas estos van a ser sorteados en las siguientes líneas.

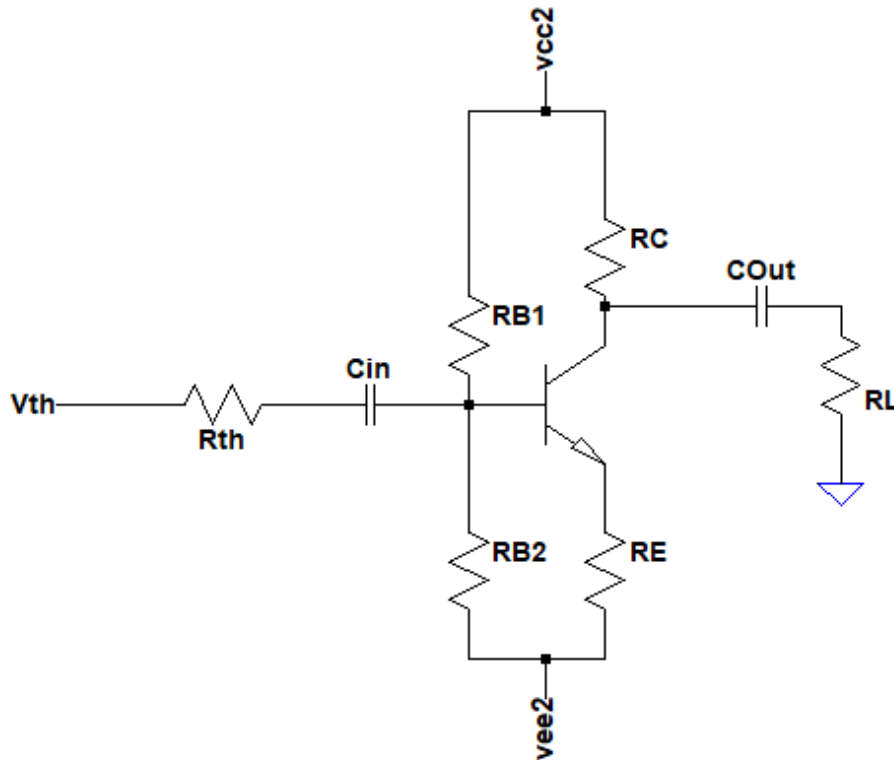


Figura 1: Primer diseño Emisor Común

El primer problema que se afrontó fue el de limitar la ganancia de altas frecuencias. Para esto se introduce una línea de realimentación negativa utilizando C_{dom} el cual limita la ganancia de altas frecuencia y así asegura mayor estabilidad.

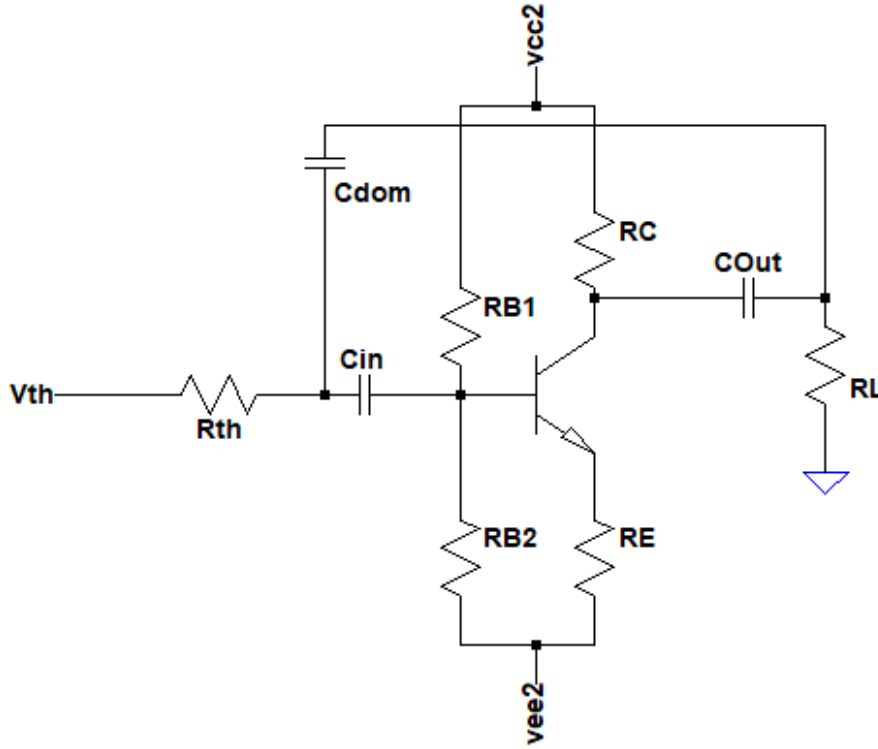


Figura 2: Segundo diseño Emisor Común

En cuanto al cálculo de C_{in} o C_{out} se buscó que la impedancia para frecuencias medias sea despreciable frente a la impedancia vista desde el colector o la base.

Para el caso de C_{Dom} se eligió un valor tal que las altas frecuencias vean un camino de baja impedancia comparado con la entrada del emisor común. De esta manera, las frecuencias altas no serán amplificadas.

Es importante que la ganancia a lazo abierto del VAS sea alta, así este puede ser linealizado. Si se intenta aumentar la ganancia del emisor común, se sabe que la ganancia de este está descrito por la ecuación:

$$A_{vs} = \frac{-R_D}{R_E} \quad (1)$$

Por lo que si se quiere subir la ganancia puede subirse el valor de R_C , pero esto dado una I_c determinada por la malla de entrada, provocará que caiga más tensión sobre la resistencia R_C y así consuma un valor de potencia mucho más elevado. Una manera de asegurar una gran ganancia es utilizar una carga activa con una fuente de corriente, así suministrando la corriente necesaria, y mostrando una alta impedancia.

Además, se optó por utilizar un acople por fuente de corriente en vez de uno capacitivo con la idea de no introducir singularidades no deseadas en el circuito.

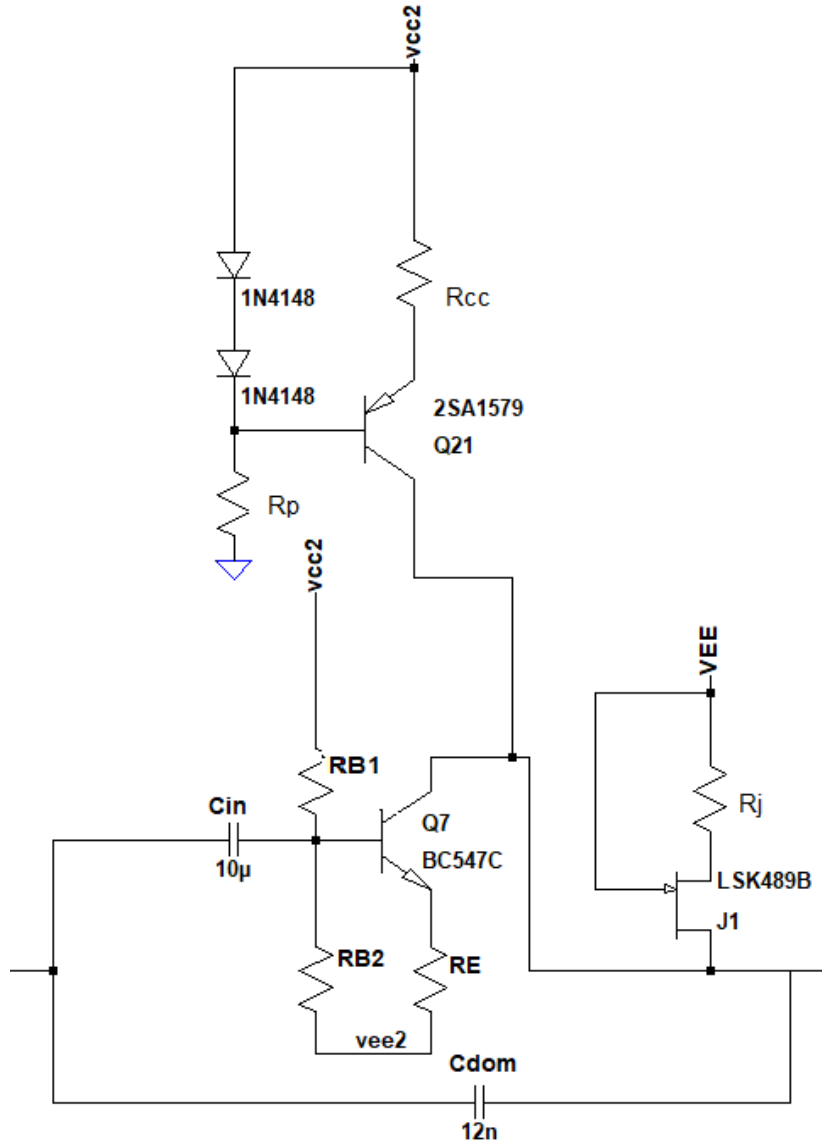


Figura 3: Tercer diseño Emisor Común

Para la fuente de corriente de la carga activa se optó por utilizar una fuente compensada. Mientras que para el acomplete se utilizó una fuente implementada con JFET, debido a que en esa zona el circuito tiene la máxima variación de tensión, lo cual si se hubiese implementado con una fuente con BJT podría tener problemas de Saturación / Corte. El transistor se le impuso una tensión de VCE de $\frac{V_{cc}+V_{ee}}{2}$ al igual que un valor de corriente $I_c = 10mA$, al igual que optar por una resistencia de emisor baja.

Los valores utilizados para el circuito responden a las siguientes ecuaciones:

$$R_{B2} = \frac{V_{Re} + V_{be}}{I_{RB}} \approx 390\Omega | I_{RB}=5mA \wedge V_{Re}=1.2V \quad (2)$$

$$R_E = \frac{I_{Rb} \cdot R_{B2} - 2V_{be}}{I_c} = 120\Omega \quad (3)$$

$$R_{B1} = \frac{V_{cc} + V_{ee} - I_{Rb} \cdot R_{B2}}{I_{Rb}} = 24k\Omega \quad (4)$$

Luego para la fuente compensada se obtuvo un valor para la resistencia R_{cc} , tal que suministre los $10mA$ al colector del transistor.

$$R_{cc} = \frac{V_{be}}{I_c} \approx 76\Omega \quad (5)$$

También se obtiene el parámetro de la impedancia de salida de la fuente compensada la cual es de aproximadamente:

$$R_{of} = (R_{ec}/hfe^*) + (1 + hfe^*) \cdot r_{ce} \quad (6)$$

En cuanto a la compensación por corriente se optó por el transistor UJ3N065080K3S debido a que puede manejar el rango de tensiones de la salida y puede proveer una corriente suficiente, si bien este era el transistor ideal, el subcircuito encontrado en línea parece no funcionar correctamente por lo que se utilizó el LSK489B para la simulación, pero ese transistor sería el utilizado en la realidad. En cuanto a la elección de la resistencia del Jfet, se consideraron los parámetros V_p , I_{dss} .

$$I_D = -\frac{V_{GS}}{R_j} \quad (7)$$

El valor de la corriente de drain que se necesitará será la corriente la cual se fugaría del VAS hacia la etapa de salida al no estar presente el capacitor, la cual es de un valor de $\approx 5 \text{ mA}$.

$$I_D = I_{DSS} \cdot \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (8)$$

De aquí se obtiene $R_j \approx 65 \Omega$.

Esta resistencia es de especial importancia dado que controla el nivel de continua sobre la carga, por lo que se optó por utilizar un trimmer para poder compensar el circuito para el caso de que haya variación en los componentes. Como última consideración se optó por poner 3 etapas amplificadoras como la de la Figura (1) previo al diseño de la Figura (3) con la intención de aumentar la ganancia del bloque A tal que valga que $\alpha \cdot \beta \gg 1$ dado que β será de un valor muy pequeño para lograr llegar a disipar como máximo 1 kW sobre la carga.