

### 0.1. Implementación por lógica discreta

Para la lógica combinacional lo primero que se hizo fue escribir las posiciones de memoria en las que vivirá nuestro periférico en binario, teniendo en cuenta que la memoria es de 8k (8192) ocupará 0x2000 posiciones de memoria.

| Address | Dispositivo | Binario Comienzo | Binario Fin  |
|---------|-------------|------------------|--------------|
| 0x4000  | RAM         | 010000000000     | 011000000000 |

De aquí se arma la tabla de verdad de los últimos 3 bits mas significativos.

| $a_{15}$ | $a_{14}$ | $a_{13}$ | CS |
|----------|----------|----------|----|
| 0        | 0        | 0        | 0  |
| 0        | 0        | 1        | 0  |
| 0        | 1        | 0        | 1  |
| 0        | 1        | 1        | 1  |
| 1        | 0        | 0        | 0  |
| 1        | 0        | 1        | 0  |
| 1        | 1        | 0        | 0  |
| 1        | 1        | 1        | 0  |

Tabla 1: Tabla de verdad.

De aquí se puede solucionar el mapa de karnaugh para la siguiente configuración:

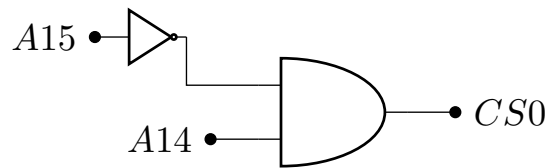


Figura 1: Lógica Discreta

### 0.2. Implementación por lógica de baja complejidad

Se utilizó el decodificador 74LS139, conectando a los pines  $a_{15}$  y  $a_{14}$  a las entradas B y A respectivamente, el CS será la salida  $Y_1$  quedando de la siguiente manera

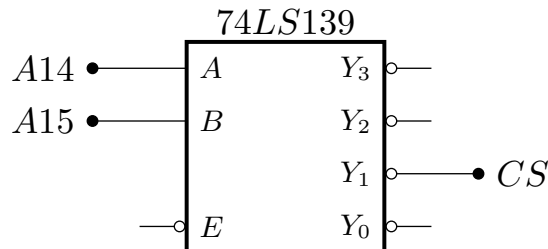


Figura 2: Lógica de baja complejidad

### 0.3. Implementación por medio de una PAL

Se utilizó una PAL como decodificador de direcciones, como se observa en la Tabla (1) es posible detectar el periférico viendo únicamente los bits  $a_{15}$  y  $a_{14}$  así se llega a la siguiente ecuación:

$$x_1 = a_{15} \quad x_2 = a_{14} \quad (1)$$

$$f1 = CS \quad f1 = \bar{x}_1 \& x_2 \quad (2)$$

### 0.4. Análisis y construcción del diagrama de tiempos

Se construyó para el microprocesador M68HC11 el diagrama de tiempos para un ciclo de lectura/escritura, usando como ejemplo la posición de memoria \$2345, la cual está dentro de la hipotética región del mapa de memoria donde se aloja la memoria para la cual se diseñó el decodificador anteriormente.

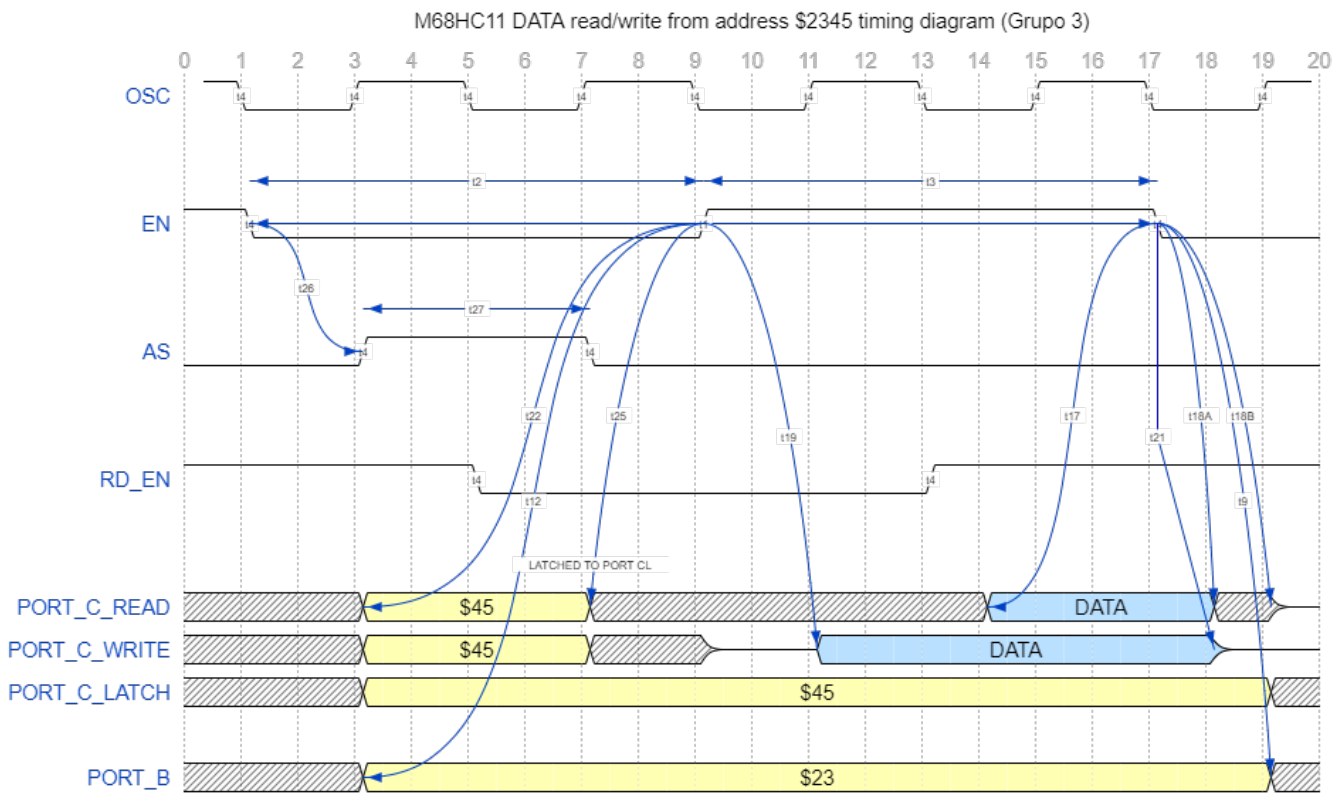


Figura 3: Ciclo de lectura/escritura de *DATA* en la dirección de memoria \$2345

Para el análisis de tiempos se tiene en cuenta una frecuencia característica de  $2\text{ MHz}$ . Dado esto, se obtiene un rise time de las señales de  $t_4 = 20\text{ ns}$  y un periodo entre ciclos de lectura/escritura de  $t_1 = 500\text{ ns}$ , por lo que los tiempos en alto y bajo de la señal **E** de enable serán de  $t_3 = 230\text{ ns}$  respectivamente.

#### 0.4.1. Primera mitad del ciclo de escritura/lectura

El comienzo del ciclo de lectura o escritura comienza con el flanco descendente de la señal de enable. Un tiempo  $t_{26} = 53\text{ ns}$  después se activa la señal **AS** de address strobe, lo cual indica que se utilice el bus de address entero para cargar la parte baja y alta de la dirección de memoria en los puertos C y B del M68HC11 respectivamente. Esta señal se desactiva luego de un tiempo  $t_{27} = 96\text{ ns}$  activando el latch que retendrá la parte baja de la dirección de memoria. De esta manera se logra multiplexar la parte baja del bus de address, o puerto C, para leer o escribir datos al igual que retener la parte baja de la dirección del mapa de memoria.

El puerto C tiene la dirección de memoria por un tiempo válido de  $t_{t22} = 88\text{ ns}$  como mínimo y el puerto B por un tiempo de  $t_{t12} = 94\text{ ns}$  como mínimo, que corresponde con el flanco ascendente de la señal de enable y marca la mitad del ciclo de lectura/escritura.

#### 0.4.2. Segunda mitad del ciclo de escritura/lectura

**Lectura:** En el caso de la lectura, el tiempo de setup para que el periférico coloque el dato a su salida y lo mantenga estable antes del flanco descendente de la señal de enable es de  $t_{17} = 30 \text{ ns}$  y debe ser mantenido estable por  $t_{18A} = 10 \text{ ns}$  pasado dicho flanco. Luego pasa a hiZ el puerto C pasados  $t_{18B} = 83 \text{ ns}$  de dicho flanco.

**Escritura:** Para el caso de la escritura, el puerto C tiene un delay máximo para contener el dato a escribir de  $t_{19} = 128 \text{ ns}$  y un tiempo de hold de  $t_{21} = 33 \text{ ns}$  como mínimo, por lo cual el tiempo de escritura deberá ser como máximo de  $t_3 + t_{21} - t_{19} = 143 \text{ ns}$ .

Finalmente, el address se mantendrá por un tiempo de  $t_9$  tras el flanco descendente de la señal de enable, por lo que el tiempo válido de lectura de la dirección de memoria en un ciclo de  $t_1 = 500 \text{ ns}$  será de  $t_1 - t_{26} + t_9 = 480 \text{ ns}$ .