

TP1: Decoding and Timing

1. Se desea conectar una memoria RAM de 8K al bus del HC11 a partir de la posición \$4000. Se pide diseñar el decodificador de direcciones usando:

- a- Lógica discreta (Compuertas)
- b- Lógica de baja complejidad (decodificadores Ej.: 74LS138)
- c- Una PAL (PALCE22V10) escribir solo las ecuaciones

Realizar el análisis del diagrama de tiempos tanto para lectura como escritura

Usar como referencia el esquemático de la placa del HC11 y las siguientes tablas (2 MHz).

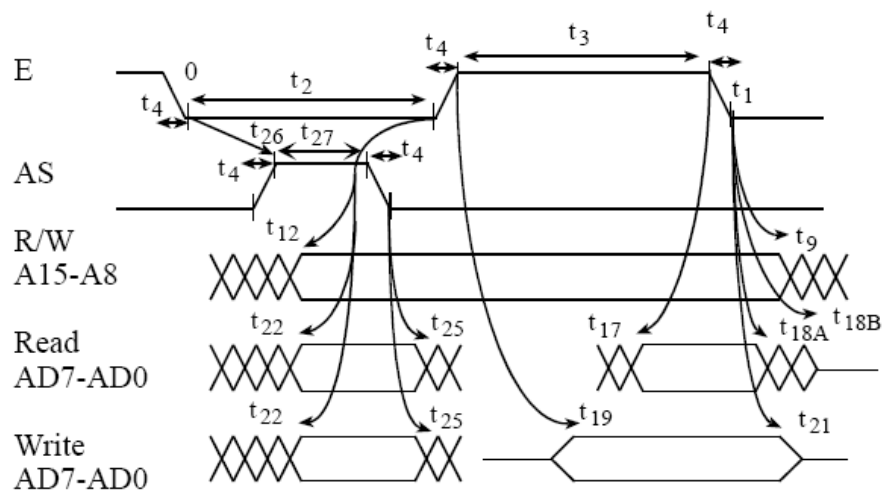


Figure 9.34. Simplified bus timing for the 6811 in expanded mode.

Num	Characteristic	1.0 MHz	2.0 MHz	2.1 MHz	Units
	Frequency	1.0	2.0	2.1	MHz
t ₁	Cycle Time	1000	500	476	ns
t ₂	Pulse Width E low	480	230	218	ns
t ₃	Pulse Width E high	480	230	218	ns
t ₄	rise/fall time	20	20	20	ns
t ₉	address hold time	95.5 min	33 min	30 min	ns
t ₁₂	A15-A8, R/W valid time	281.5 min	94 min	85 min	ns
t ₁₇	Read data setup time	30 min	30 min	30 min	ns
t _{18A}	Read data hold time	10 min	10 min	10 min	ns
t _{18B}	Read data goes hiZ	145.5 max	83 max	80 max	ns
t ₁₉	Write data delay time	190.5 max	128 max	125 max	ns
t ₂₁	Write data hold time	95.5 min	33 min	30 min	ns
t ₂₂	A7-A0 valid time	271.5 min	84 min	75 min	ns
t ₂₅	A7-A0 hold time	95.5 min	33 min	30 min	ns
t ₂₆	E to AS rise time	115.5	53	50	ns
t ₂₇	AS pulse width	221	96	90	ns

Laboratorio de Microprocesadores 2020

2. Diseñar el decodificador de direcciones para el siguiente mapa y dibujar el esquemático completo:

Address	Dispositivo
C000	ROM 16K
2000	RAM 4K
A000	Puerto de Salida de 8 bits
A800	Puerto de Entrada de 8 bits

Como decodificador de direcciones usar un 74LS138

3. Existe un límite físico respecto de cuantos dispositivos se pueden conectar al bus de un microprocesador. Que soluciones existen cuando se excede dicho limite.
4. Investigar cuales son las diferentes soluciones que existen cuando se desea interconectar un sistema de 5V TTL a uno de 3.3V TTL y viceversa. Dar ejemplos. Que es LVTTTL?.
5. Dado el siguiente programa realizar los diagramas de tiempos ciclo a ciclo (usar la señal E como referencia) e incluir la señal LIR (ver HC11 Reference Manual).

```
org $C000
ldaa    #$A5
L1      staa    $4000
        jmp     L1
```

Nota: La señal **LIR** (**L**oad **I**nstrucción **R**egister Activo Bajo – Open Drain) indica cuando se inicia la ejecución de una nueva instrucción (Op-Code-Fetch). Esta señal se activa solo en el primer ciclo E de la dicha instrucción (cuando E=1).

