

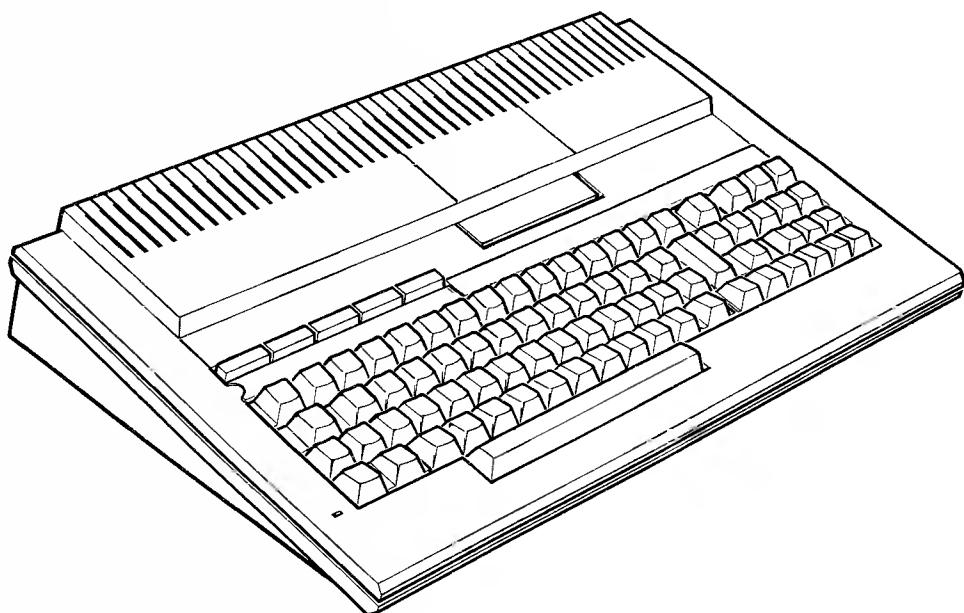
**COFADEL**  
■■■■■ SERVICE

DOCUMENTATION TECHNIQUE



TO8

# MICRO ORDINATEUR



# TO8

**COFADEL**  
■■■■■ SERVICE

166, rue du Landy  
93200 SAINT DENIS



BP 68  
93202 SAINT-DENIS CEDEX 1



(1) 48 20 61 15  
TELEX  
SAV GEN 611 740

COFADEL SERVICE S A AU CAPITAL de 39 600 000 F  
SIEGE SOCIAL 166, RUE DU LANDY - 93200 SAINT-DENIS  
RCS EN COURS D'IMMATRICULATION

**FICHE SPECIFIQUE  
SPECIFIC DATA**

**CU 88 - AZE**

**UNITE CENTRALE  
CENTRAL UNIT**

**II/1 - 32**

**ALIMENTATION  
POWER SUPPLY**

**III/1 - 8**

**LISTE DES PIECES DETACHEES  
PARTS LIST**

**IV/1 - 2**

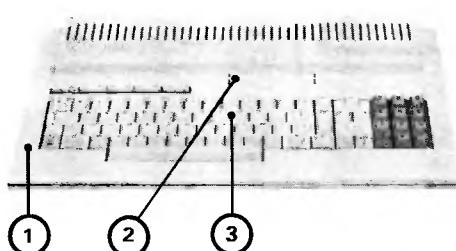
- { 1 - 4 Schéma synoptique.  
Block diagram.  
5 - 7 Circuit imprimé.  
Circuit board.  
8 - Organisation de la mémoire.  
Memory map  
9 - 11 Schéma de principe.  
Circuit diagram.  
12 - 32 Principe de fonctionnement.  
Operating mode.

- { 1 - Schéma synoptique.  
Block diagram.  
2 - 4 Principe de fonctionnement.  
Operating mode.  
5 - 7 Schéma de principe.  
Circuit diagram.  
8 - Circuit imprimé.  
Circuit board.

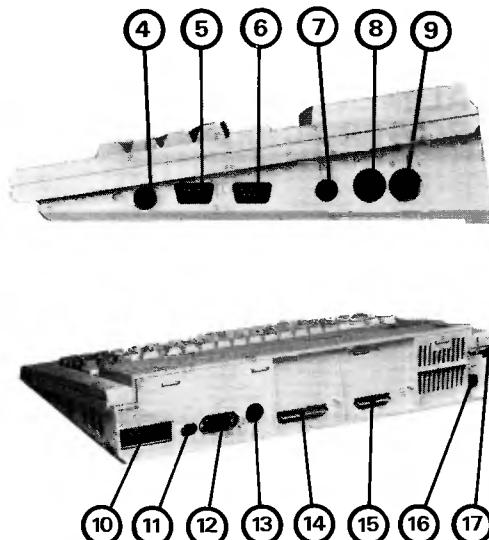


## PRISES ET COMMANDES CONNECTORS AND CONTROLS

- 1 — Voyant indiquant que l'appareil est sous tension.
- 2 — Trappe destinée à recevoir les cartouches de programmes.
- 3 — Clavier.
- 4 — Touche « INIT » permet en cours d'utilisation d'afficher à nouveau le menu.
- 5 — Connecteur permettant le raccordement d'une manette de jeux (numéro 0 en basic) ou d'une souris.
- 6 — Connecteur permettant le raccordement d'une manette de jeux (numéro 1 en basic).
- 7 — Sortie antenne UHF PAL (modèle équipé).
- 8 — Prise DIN permettant le raccordement du crayon optique.
- 9 — Prise DIN permettant le raccordement du lecteur enregistreur de programmes.
- 10 — Prise péritelévision permettant le raccordement au récepteur de télévision.
- 11 — Prise CINCH sortie son.
- 12 — Prise permettant le raccordement d'une imprimante (interface parallèle).
- 13 — Prise permettant le raccordement d'un lecteur de disquettes ou d'un QDD.
- 14 — Connecteur permettant le raccordement des boîtiers d'extension.
- 15 — Connecteur extension RAM.
- 16 — Interrupteur de mise en service de l'appareil.
- 17 — Cordon secteur.



- 1 — Pilot light indicating that the computer is powered-up.
- 2 — Port to accomodate programme cartridges.
- 3 — Keyboard.
- 4 — « INIT » key enables the menu to be displayed during use.
- 5 — Connector for joystick (number 0 in basic) or a mouse.
- 6 — Connector for joystick (number 1 in basic).
- 7 — RF Modulator PAL (equipped types).
- 8 — DIN connector for connecting the light pen.
- 9 — DIN connector for connecting the program recorder.
- 10 — SCART connector for connecting the television receiver.
- 11 — CINCH connector for audio output.
- 12 — Printer connector (parallel) interface.
- 13 — Connector for connecting a floppy or a QDD.
- 14 — Connector for expansion packages.
- 15 — RAM extension connector.
- 16 — On switch for computer.
- 17 — Mains lead.



### CARACTÉRISTIQUES PRINCIPALES

**COFFRET :** matière moulée.

**CLAVIER :** mécanique, 81 touches dont 5 touches de fonction.

**DIMENSIONS :** L 440, H 80, P 226 mm.

**MASSE :** 2,6 kg.

**ALIMENTATION :** secteur 220 V 50 Hz.

**CONSOMMATION :** 25 W sans extension.

**FUSIBLE :** T 315 mA.

Une étiquette fixée sous l'appareil reproduit les particularités électriques mentionnées ci-dessus.

**MICROPROCESSEUR :** 6809 E, 1 MHz.

**MÉMOIRE :**

- 256 Ko (interne) extensible à 512 Ko (sur connecteur extension RAM).
- 80 Ko ROM (interne) extensible (sur connecteur cartouche).
- (32 Ko pour BASIC 1 ; 32 Ko pour BASIC 512 ; 16 Ko pour MONITEUR/CONTROLEUR FLOPPY/QDD).

**ÉCRAN :** sortie RVB + son par prise péritelévision.

**MODE D'AFFICHAGE :** 8 configurations possibles.

**NOMBRE DE COULEURS :** 16 couleurs sélectionnées parmi 4096.

**CODEUR MODULATEUR PAL :** modèles équipés.

### MAIN CHARACTERISTICS

**CABINET :** Moulded material.

**KEYBOARD :** Mechanical, 81 key including five function keys.

**DIMENSIONS :** Length 440 mm ; Height 80 mm ; Depth 226 mm.

**WEIGHT :** 2,6 kg.

**POWER SUPPLY :** 220 V 50 Hz.

**CONSUMPTION :** 25 W with no extension.

**FUSE :** T 315 mA.

A label on the bottom of the computer reiterates the above electrical data.

**MICROPROCESSOR :** 6809 E, 1 MHz.

**MEMORY :**

- 256 Kb (internal) extendable to 512 Kb (on RAM extension connector).
- 80 Kb ROM (internal) extendable (on cartridge connector).
- (32 Kb for BASIC 1 ; 32 Kb for BASIC 512 ; 16 Kb for MONITOR/CONTROLLER FLOPPY/QDD).

**SCREEN :** Audio + RGB output through PERITEL connector.

**DISPLAY MODE :** 8 configurations possible.

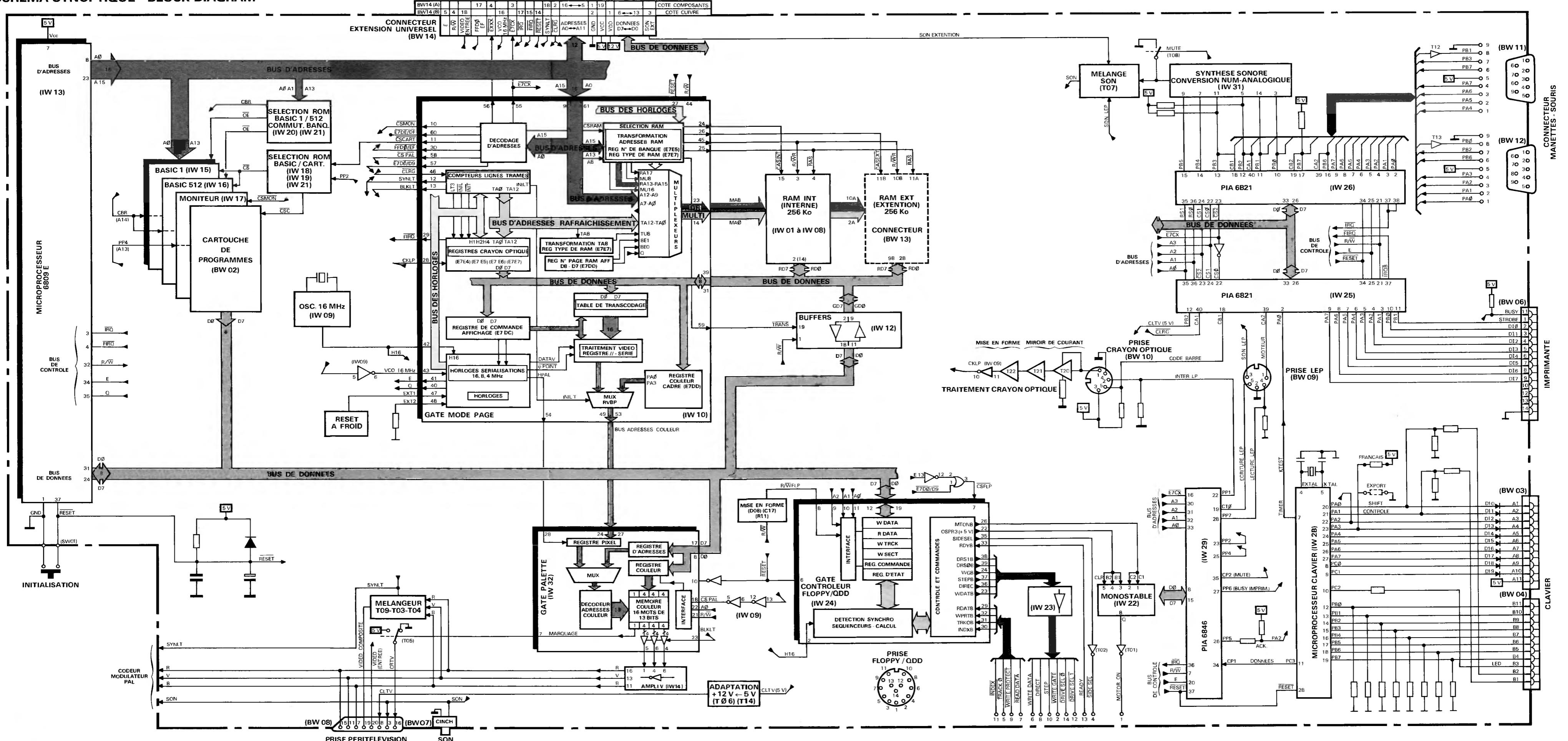
**NUMBER OF COLOURS :** 16 colours out of 4096.

**RF MODULATOR PAL :** equipped types.

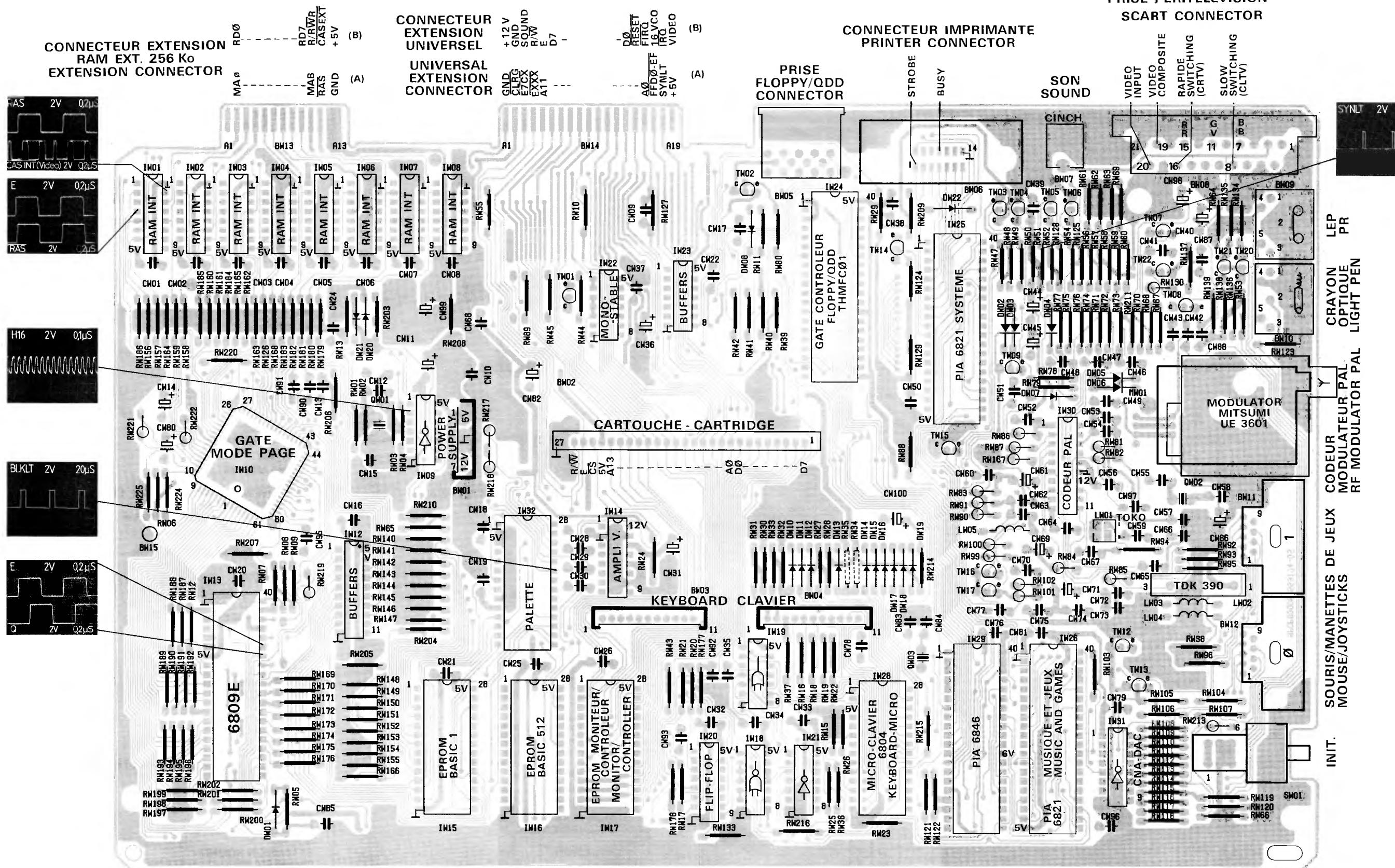


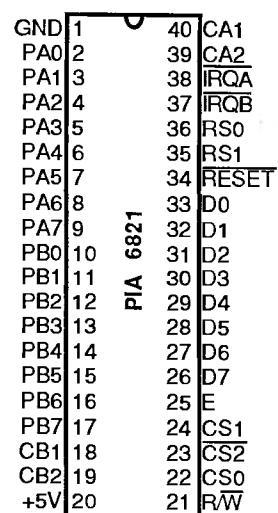
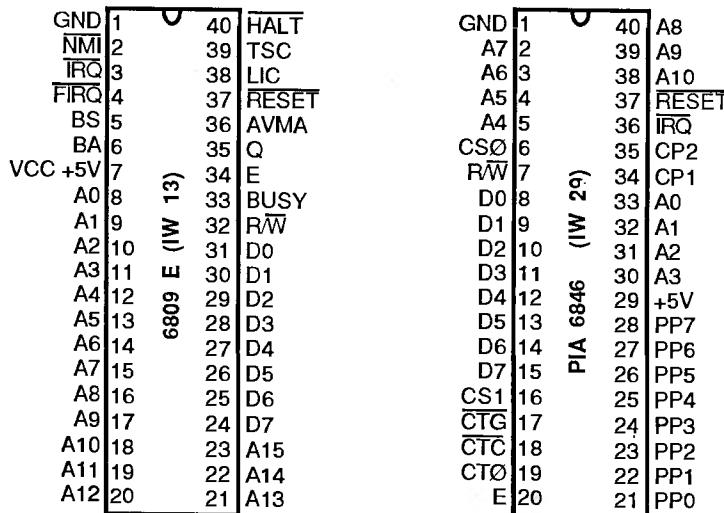
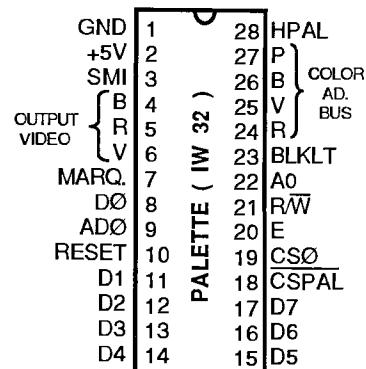
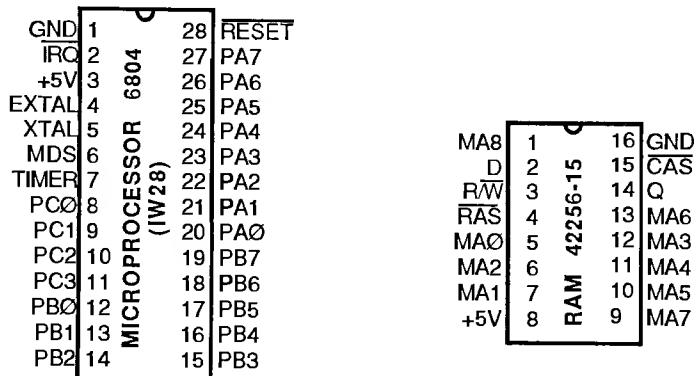
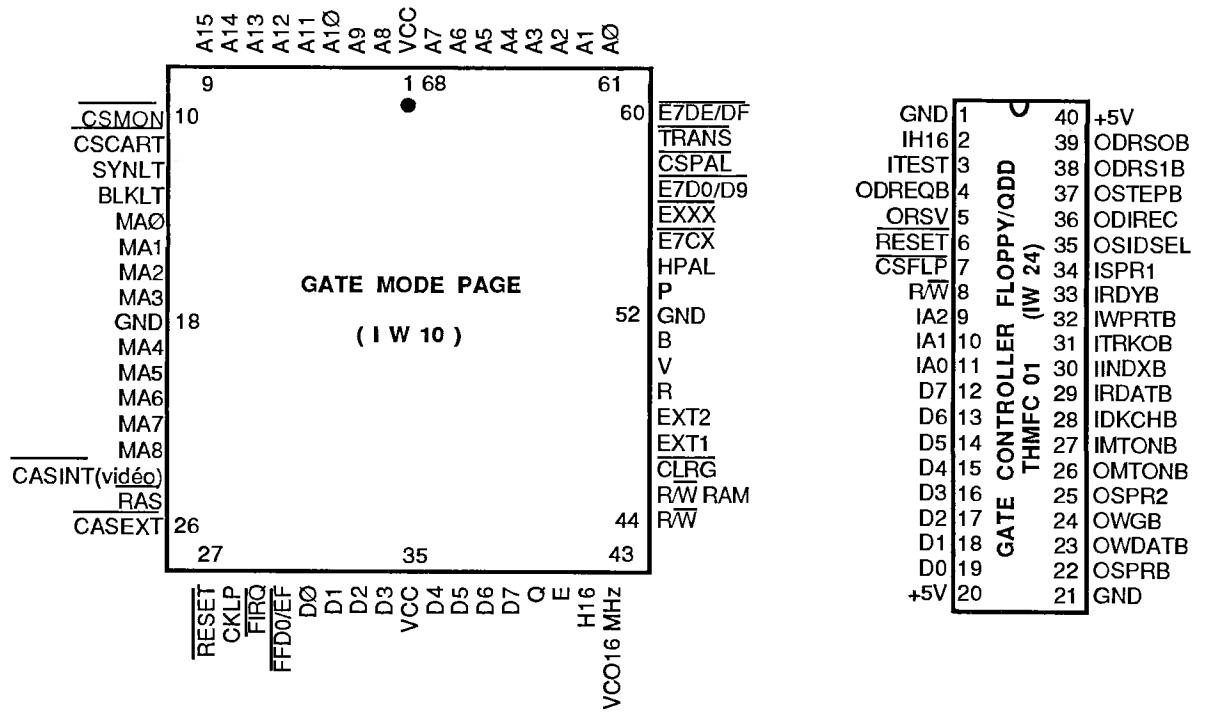
## **UNITÉ CENTRALE - CENTRAL UNIT**

# SCHÉMA SYNOPTIQUE - BLOCK DIAGRAM



ADAPTATION ADRESSES AMPLI-VIDÉO	ADAPTATION ADDRESS VIDEO AMPLIFIER
BUS ADRESSES COULEUR BUS D'ADRESSES BUS D'ADRESSES DE RAFFRAICHISSEMENT BUS DE CONTRÔLE BUS DE DONNÉES BUS DES HORLOGES	COLOR ADDRESS BUS ADDRESS BUS REFRESH ADDRESS BUS CONTROL BUS DATA BUS CLOCK BUS
CARTOUCHE DE PROGRAMMES CLAVIER CLTV (COMMUTATION LENTE TV) CODE BARRE CODEUR-MODULATEUR PAL COMMUTATION BANQUE ROM (CBR) COMPTEURS LIGNE-TRAME CONNECTEUR EXTENSION UNIVERSEL CONNECTEURS « MANETTES-SOURIS » CONTRÔLE ET COMMANDE CONVERSION NUMÉRIQUE-ANALOGIQUE (CNA) CÔTÉ COMPOSANT CÔTÉ CUIVRE CRTV (COMMUTATION RAPIDE TV)	PROGRAM CARTRIDGE KEYBOARD SLOW SWITCHING TV BAR CODE RF MODULATOR PAL ROM BANK COMMUTATION LINE-FRAME COUNTERS UNIVERSAL EXTENSION CONNECTOR « JOYSTICK-MOUSE » CONNECTOR COMMAND AND CONTROL DIGITAL TO ANALOG CONVERSION (DAC) COMPONENT SIDE COPPER SIDE RAPID SWITCHING TV
DÉCODAGE D'ADRESSES DÉCODEUR ADRESSES COULEUR DÉTECTION SYNCHRO DONNÉES	ADDRESS DECODING COLOR ADDRESS DECODER SYNCHRO DETECTION DATA
ÉCRITURE LEP EXTENSION	PR WRITING EXTENSION
HORLOGES HORLOGES DE SÉrialisation	CLOCK SERIALISATION CLOCK
IMPRIMANTE INTERFACE INTERNE	PRINTER INTERFACE INTERNAL
LECTURE LEP LEP (LECTEUR ENREGISTREUR DE PROGRAMMES)	PR READING PR (PROGRAMM RECORDER)
MARQUAGE MÉLANGE SON MÉLANGEUR MÉMOIRE COULEUR (16 MOTS DE 13 BITS) MICROPROCESSEUR MIROIR DE COURANT MISE EN FORME MONiteur MONOSTABLE MOTEUR MULTIPLEXEURS (MUX)	MARKING SOUND MIXING MIXER COLOR MEMORY (16 WORDS OF 13 BITS) MICROPROCESSOR CURRENT FEEDBACK « MIRROR » SHAPING MONITOR MONOSTABLE MULTIVIBRATOR MOTOR MULTIPLEXER
PRISE CRAYON OPTIQUE PRISE FLOPPY/QDD PRISE PÉRITÉLÉVISION PRISE LEP	LIGHT PEN CONNECTOR FLOPPY/QDD CONNECTOR SCART CONNECTOR PR CONNECTOR
REGISTRE D'ADRESSES REGISTRE COULEUR REGISTRE COULEUR CADRE REGISTRE COMMANDE REGISTRE DE COMMANDE AFFICHAGE REGISTRE D'ÉTAT REGISTRE PIXEL REGISTRES CRAYON OPTIQUE REGISTRES PARALLÈLE/SÉRIE REGISTRE N° DE BANQUE REGISTRE N° PAGE RAM AFFICHÉE REGISTRE TYPE DE RAM RESET A FROID	ADDRESS REGISTER COLOR REGISTER FRAME COLOR REGISTER CONTROL REGISTER DISPLAY CONTROL REGISTER STATE REGISTER PIXEL REGISTER LIGHT PEN REGISTER PARALLEL SERIAL REGISTER BANK NUMBER REGISTER DISPLAYED RAM PAGE Nr REGISTER RAM TYPE REGISTER INITIALISATION RESET
SÉLECTION RAM SÉLECTION ROM SEQUENCEURS-CALCUL SON SON EXTENSION SON LEP SYNTHÈSE SONORE	RAM SELECTION ROM SELECTION SEQUENCER-CALCULATION SOUND EXTENSION SOUND PROGRAM RECORDER SOUND SOUND SYNTHESIS
TABLE DE TRANSCODAGE TRAITEMENT CRAYON OPTIQUE TRAITEMENT VIDÉO TRANSFORMATION ADRESSES RAM TRANSFORMATION TA 8	TRANSCODING TABLE LIGHT PEN PROCESSING VIDEO PROCESSING RAM ADDRESS TRANSFORMATION TA 8 TRANSFORMATION
VIDÉO COMPOSITE VIDÉO (ENTREE)	VIDEO COMPOSITE VIDEO (INPUT)



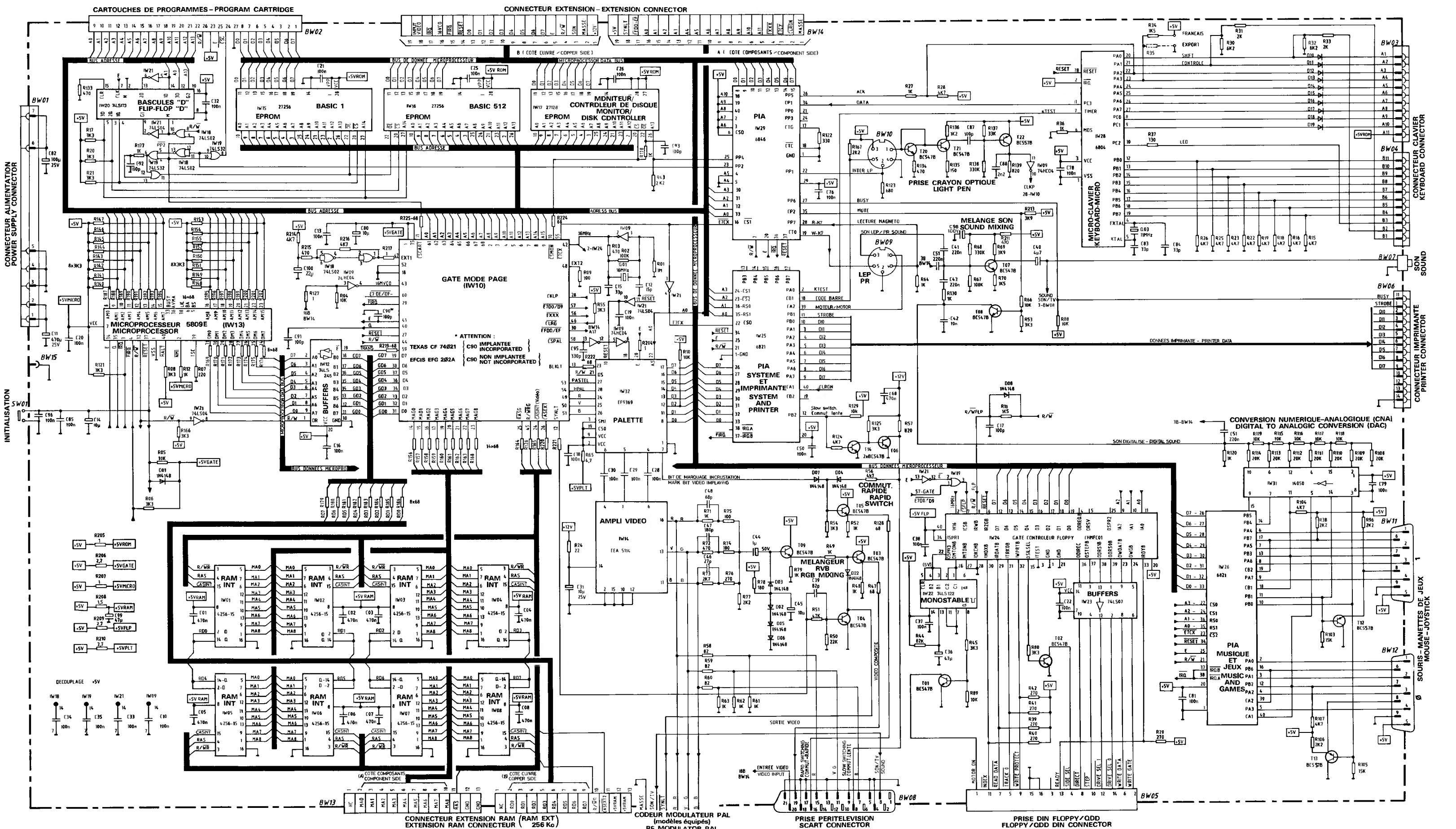


## ORGANISATION DE LA MÉMOIRE - MEMORY MAP

FFFF (65535) <sub>10</sub>	<b>MONITEUR - MONITOR</b>
E800 (59392) <sub>10</sub>	2 pages de 6 ko en parallèle – 2 x 6 kb in parallel
E7FF (59391) <sub>10</sub>	<b>INTERFACE MODEM</b>
E7F8 (59384) <sub>10</sub>	
E7F7 (59383) <sub>10</sub>	<b>INTERFACE IEEE</b>
E7F0 (59376) <sub>10</sub>	
E7EB (59370) <sub>10</sub>	<b>RS 232</b>
E7E8 (59368) <sub>10</sub>	
E7E7 (59367) <sub>10</sub>	<b>GATE MODE PAGE</b>
E7E4 (59364) <sub>10</sub>	Registres crayon optique et système - Light-pen and system register
E7DF (59359) <sub>10</sub>	<b>LIBRE - FREE</b>
E7DE (59358) <sub>10</sub>	
E7DD (59357) <sub>10</sub>	<b>GATE MODE PAGE</b>
	Registre configuration système - System register
E7DC (59356) <sub>10</sub>	<b>GATE MODE PAGE</b>
	Registre mode d'affichage - Display mode register
E7DB (59355) <sub>10</sub>	<b>GATE PALETTE</b>
E7DA (59354) <sub>10</sub>	
E7D9 (59353) <sub>10</sub>	<b>CONTRÔLEUR DE FLOPPY/QDD - FLOPPY/QDD CONTROLLER</b>
E7D0 (59344) <sub>10</sub>	
E7CF (59343) <sub>10</sub>	<b>PIA 6821 JEUX ET MUSIQUE (IW 26)</b>
E7CC (59340) <sub>10</sub>	MUSIC AND GAMES
E7CB (59339) <sub>10</sub>	<b>PIA 6821 SYSTEME ET IMPRIMANTE (IW 25)</b>
E7C8 (59336) <sub>10</sub>	SYSTEM AND PRINTER
E7C7 (59335) <sub>10</sub>	<b>PIA TIMER 6846</b>
E7C0 (59328) <sub>10</sub>	
E7BF (59327) <sub>10</sub>	<b>LIBRE - FREE</b>
E7B0 (59312) <sub>10</sub>	
E7AF (59311) <sub>10</sub>	<b>LOGICIEL CONTRÔLEUR DE FLOPPY/QDD</b>
E000 (57344) <sub>10</sub>	<b>FLOPPY/QDD CONTROLLER SOFTWARE</b>
	2 pages de 1.9 ko en parallèle – 2 X 1.9 kb in parallel
DFFF (57343) <sub>10</sub>	<b>RAM UTILISATEUR – USER MEMORY</b>
A000 (40960) <sub>10</sub>	32 pages de 16 k octets en parallèle 32 x 16 kb in parallel
9FFF (40959) <sub>10</sub>	<b>RAM UTILISATEUR – USER MEMORY</b>
6100 (24832) <sub>10</sub>	
60FF (24831) <sub>10</sub>	<b>PAGE 0 RÉSERVÉ AU SYSTÈME MONITEUR</b>
6000 (24576) <sub>10</sub>	<b>PAGE 0 RESERVED TO MONITOR SYSTEM</b>
5FFF (24575) <sub>10</sub>	<b>RAM RÉSERVÉ AU SYSTÈME</b>
5F40 (24384) <sub>10</sub>	<b>SYSTEM MEMORY</b>
5F3F(24383) <sub>10</sub>	<b>MÉMOIRE ÉCRAN – SCREEN MEMORY</b>
4000 (16384) <sub>10</sub>	2 pages de 8 k octets en parallèle 2 x 8 kb in parallel
3FFF (16383) <sub>10</sub>	<b>ESPACE ROM CARTOUCHE + LOGICIELS INTÉGRÉS</b>
0000	<b>ROM CARTRIDGE + INTERNAL SOFTWARE</b>



# SCHÉMA DE PRINCIPE - CIRCUIT DIAGRAM



UNITÉ CENTRALE  
CENTRAL UNIT

II/9

UNITÉ CENTRALE  
CENTRAL UNIT

II/10

Il existe 3 versions de la platine UNITÉ CENTRALE.

Pour les distinguer, on se réfère au numéro inscrit côté cuivre de cette platine :

- 1) HPOP 8000S XXXXXX - 05
- 2) HPOP 8000S XXXXXX - 04
- 3) HPOP 8500S XXXXXX - 05 (version Export)

indice  
index

a) Index 05

Conforme au schéma de principe.

On monte des GATE MODE PAGE (IW10) EFCIS EFG 202A.

Dans ce cas C90 100pF n'est pas implanté.

On peut monter des GATE MODE PAGE (IW10) TEXAS CF 74021.

Dans ce cas C90 100pF doit être implanté.

b) Index 04

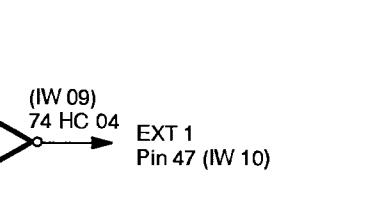
Only TEXAS CF 74021 GATE MODE PAGE (IW10) can be mounted.

C90 100pF est implanté.

Differences par rapport au schéma de principe :

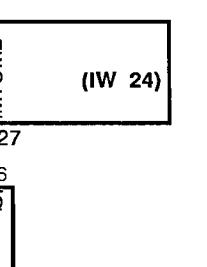
— Câblage du reset à froid EXT1 pin 47 de (IW10) :

Initialisation reset wiring on EXT1 pin 47 (IW10) :



— Câblage GATE CONTRÔLEUR FLOPPY/QDD (IW24) /MONOSTABLE (IW22) :

GATE CONTROLLER FLOPPY/QDD (IW24) /MONOSTABLE (IW22) wiring :



Three versions of the CENTRAL UNIT board exist.

To distinguish between them, you should refer to the number written on the copper side of the board.

II/11

# PRINCIPE DE FONCTIONNEMENT OPERATING MODE

## A) PRÉSENTATION GÉNÉRALE DE L'APPAREIL

Bâti autour du microprocesseur 6809-E de MOTO-ROLA/EFCIS, cette unité centrale se distingue par l'utilisation d'une puissante unité de gestion et d'intégration : « LE GATE ARRAY MODE PAGE ».

### a) LA PROGRAMMATION DU GATE MODE PAGE

Le GATE MODE PAGE contient 6 registres programmables (voir « REGISTRES GATE MODE PAGE » (page : 31)). Ces registres contiennent tous les renseignements dont le système a besoin et assurent une polyvalence de ce composant pour plusieurs produits, avec différents types de RAM.

### b) L'INTÉGRATION

Le GATE MODE PAGE (IW10) intègre :

- le décodage des adresses,
- le traitement et le multiplexage des adresses RAM,
- la génération synchro,
- la gestion du crayon optique,
- la gestion vidéo, pilotant le GATE PALETTE (IW32) : 16 couleurs parmi 4096.

### c) L'ACCÈS MODE PAGE

Ce nouveau mode d'adressing RAM, (2 lectures de la RAM vidéo pendant la phase non active : E = 0), permet de faire le chargement des 16 bits d'info-vidéo, dans la table de transcoding, en 2 fois et de travailler dans un seul boîtier RAM (RAM INT.)

### d) LA TRANSFORMATION DES ADRESSES RAM

Permet l'utilisation des blocs mémoire à grande capacité, (4464, 41256...), par pages de 16 Ko, 8 Ko et d'assurer la polyvalence du GATE MODE PAGE, pour plusieurs produits, avec différents types de RAM.

### e) 256 Ko RAM

- Répartis dans 8 boîtiers RAM de 256 K × 1 bits (42256), couplés, afin d'obtenir virtuellement, 1 bloc RAM de 256 Ko : RAM INT (RAM interne).
- Possibilité de rajouter 256 Ko (boîtiers couplés) supplémentaires sur le connecteur extension RAM (BW13). Dans ce cas, on a virtuellement 2 blocs RAM de 256 Ko : RAM INT et RAM EXT (RAM extension). Soit une capacité maxi de 512 Ko.

### f) 80 Ko ROM

— Répartis dans 3 boîtiers EPROM :

- EPROM (IW16) (27256) : 32 Ko BASIC 512,
- EPROM (IW15) (27256) : 32 Ko BASIC 1,
- EPROM (IW17) (27128) : 16 Ko MONITEUR/CONTRÔLEUR DE DISQUE.

Les deux basics peuvent être masqués par une cartouche de programmes de 16 Ko enfichable sur le connecteur cartouche (BW02).

### g) UN INTERFAÇAGE COMPLET

- Les PIA 6846 (IW29) et 6821 (IW25) assurent :
  - la commutation des banques mémoires EPROM,
  - la génération et la lecture des signaux du lecteur-enregistreur de programme (LEP),
  - la gestion du crayon optique,
  - la gestion du connecteur imprimante parallèle centronics,
  - le MUTE : règle les problèmes d'interférences provoquées par l'utilisation des manettes de jeu ou de la souris lors d'une impression. MUTE = 0 : validation de la sortie son du CNA, MUTE = 1 : inhibition,
  - la gestion du clavier (6846 et 6804).

## A) GENERAL HARDWARE DESCRIPTION

The central processing unit is based around a MOTO-ROLA/EFCIS 6809-E microprocessor, and its design incorporates a performant GATE ARRAY MODE PAGE integration and handler unit.

### a) PROGRAMMING THE GATE MODE PAGE

The GATE MODE PAGE includes six programmable registers (refer to GATE MODE PAGE REGISTERS : (page : 32)). These registers contain all data required by the system and ensure that the subsystem is compatible with the various types of RAM used in several systems.

### b) INTEGRATION

The GATE MODE PAGE (IW10) incorporates :

- address decoding,
- processing and multiplexing of RAM addresses,
- synch generation,
- light pen control,
- video handling, driving the GATE PALETTE (IW32) of 16 colors out of 4096.

### c) MODE PAGE ACCES

This new method of addressing RAM (two readouts of video RAM during the non-active phase i.e E = 0) allows 16 bits of video data to be loaded into the transcoding table in two phases, and to work within a single RAM package (RAM INT.).

### d) TRANSFORMATION OF RAM ADDRESSES

This allows use of high capacity memory blocks (4464, 41256, etc.) in pages of 8 K and 16 K and ensures compatibility of the GATE MODE PAGE with the various types of RAM of several systems.

### e) 256 Kb RAM

- This is divided into 8 RAM packages of 256 K by 1 bit (42256), linked in twos so as to provide 1 virtual RAM block of 256 Kb, called RAM INT (RAM internal).
- It is possible to add 256 Kb (8 linked packages) of supplementary memory on the RAM connector extension (BW13). This provides two virtual RAM blocks of 256 Kb called RAM INT and RAM EXT (RAM extension), giving a maxi capacity of 512 Kb.

### f) 80 Kb ROM

- This is divided into 3 EPROM packages :
  - EPROM (IW16) (27256) : 32 Kb BASIC 512,
  - EPROM (IW15) (27256) : 32 Kb BASIC 1,
  - EPROM (IW17) (27128) : 16 Kb MONITOR/DISK CONTROLLER.

The two BASICs can be masked by a 16 Kb program cartridge which plugs into the cartridge connector (BW02).

### g) COMPLETE INTERFACING

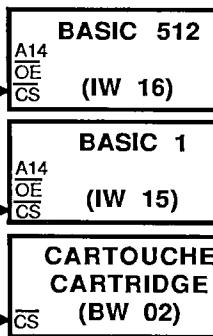
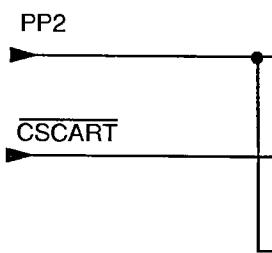
- The PIA 6846 (IW29) and 6821 (IW25) handle :
  - switching between the EPROM memory banks,
  - generation and readout of signals from the program recorder (PR),
  - the light pen,
  - the Centronics parallel printer connector,
  - the MUTE, which solves interference problems caused by the use of joysticks or the mouse during printing. MUTE = 0 : validation of the audio output of DAC, MUTE = 1 : inhibition,
  - the keyboard (6846 and 6804).

- Le PIA 6821 (IW26) gère : les manettes de jeu, la souris et la synthèse son (conversion numérique-analogique (CNA), d'un mot programmé sur PB0-PB5).
- CONNECTEUR EXTENSION UNIVERSEL.
- PRISES SCART (PÉRITEL) et SON (CINCH).
- CODEUR MODULATEUR PAL (modèles équipés).
- CONTRÔLEUR ET PRISE LECTEUR DE DISQUE.

## B) DÉCODAGE D'ADRESSES ROM ET ENTRÉES/SORTIES

Le Gate Mode Page pilote :

1) La sélection des boîtiers EPROM affectés à l'espace logique (0000-3FFF). Il envoie le signal CSCART, afin d'aiguiller cette sélection sur les 2 EPROM BASIC ou sur la cartouche de programme. Cet aiguillage est commandé par PP2 du PIA (IW 29) via une simple logique :



PP2 = 0 : Cartouche sélectionnée.

PP2 = 1 : EPROM BASIC 1 et EPROM BASIC 512 sélectionnées.

La commutation des banques de 16 Ko dans les 2 boîtiers EPROM de 32 Ko s'effectue sur A14. On programme une bascule « D » (contenue dans le registre 74LS173 (IW20)) par une écriture dans l'espace cartouche. C'est l'état du fil d'adresse de poids faible du microprocesseur, A0, qui est mémorisé par la bascule D1, grâce à cette écriture. Il est appliqué sur A14 des EPROM BASIC 1 et BASIC 512.

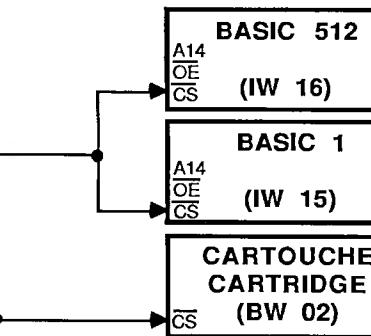
La sélection d'une des 2 EPROM s'effectue sur  $\overline{OE}$  selon le même principe que précédemment : A1 est mémorisé par D2, il est envoyé sur  $\overline{OE}$  de l'EPROM BASIC 512. A1 est mémorisé par D3, il est envoyé sur  $\overline{OE}$  de l'EPROM BASIC 1.

- The PIA 6821 (IW26) handles : the joysticks, the mouse and audio synthesis (digital/analog conversion or DAC), of a word programmed on PB0-PB5).
- GENERAL PURPOSE EXTENSION SOCKET.
- SCART (PERITEL) and AUDIO (CINCH) sockets.
- RF MODULATOR PAL (equipped types).
- CONTROLLER and DISK DRIVE SOCKET.

## B) ROM AND INPUT/OUTPUT ADDRESS DECODING

The Gate Mode Page handles :

1) Selection of the EPROM packages used for the logic space (0000-3FFF). It sends the CSCART signal, in order to direct this selection towards either the 2 EPROM BASICs or the program cartridge. The choice is controlled by PP2 on the PIA (IW29) via a simple logic :

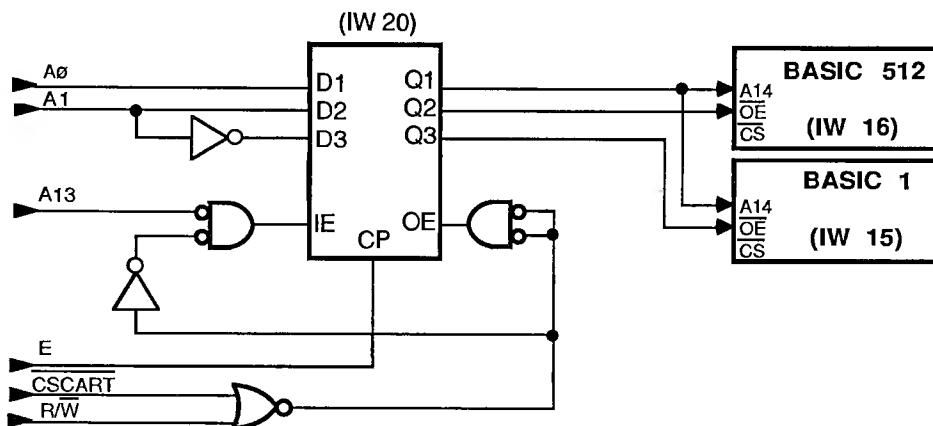


PP2 = 0 : Cartridge selected.

PP2 = 1 : EPROM BASIC 1 and EPROM BASIC 512 selected.

The switching of the 16 Kb banks in the two 32 Kb EPROM packages takes place on A14. A « D » flip-flop (contained in the 74LS173 register (IW20)) is programmed by writing it into the cartridge space. The state of the low significance address wire of the microprocessor, A0, is memorized by the D1 flip-flop as a result of this writing. It is applied on A14 of the BASIC 1 and BASIC 512 EPROMs.

The selection of one of the two EPROMs take place on  $\overline{OE}$  following the same principle : A1 is memorized by D2 and sent on  $\overline{OE}$  of the BASIC 512 EPROM. A1 is memorized by D3, and sent on  $\overline{OE}$  of the BASIC 1 EPROM.



Écriture adresse paire ( $A_0 = 0$ ) :

$A_{14} = 0$  : partie basse EPROM adressée.

Écriture adresse impaire ( $A_0 = 1$ ) :

$A_{14} = 1$  : partie haute EPROM adressée.

$A_1 = 0$  : EPROM BASIC 512 sélectionnée.

$A_1 = 1$  : EPROM BASIC 1 sélectionnée.

Even address writing ( $A_0 = 0$ ) :

$A_{14} = 0$  : lower part of EPROM addressed.

Odd address writing ( $A_0 = 1$ ) :

$A_{14} = 1$  : upper part of EPROM addressed.

$A_1 = 0$  : BASIC 512 EPROM selected.

$A_1 = 1$  : BASIC 1 EPROM selected.

2) La sélection de l'EPROM MONITEUR/CONTROLEUR (IW17). Il envoie le signal CSMON.

L'espace d'adressage alloué au moniteur est de 8 Ko. La taille nécessaire pour le moniteur/contrôleur étant de 16 Ko, une commutation de banque est à réaliser sur le fil d'adresse haute du boîtier EPROM (A13), pour accéder aux 8 Ko supplémentaires.

C'est le PIA 6846 (IW29) qui envoie par PP4, le signal de commutation de ces 2 banques.

PP4 = 0 : partie basse de la ROM accessible.  
PP4 = 1 : partie haute de la ROM accessible.

3) La sélection des boîtiers Entrées/Sortie :

E7C0/E7CF : (E7CX) sélection des boîtiers PIA 6846 (IW29) et 6821 (IW25), (IW26).

E7D0/E7D9 : sélection du boîtier Contrôleur FLOPPY/QDD (IW24)

E7DA/E7D8 : (CSPAL) sélection du boîtier Palette (IW32).

E7DE/E7DF : non utilisé.

EXXX : sélection extension....

2) The selection of the MONITOR/CONTROLLER EPROM (IW17). It sends the CSMON signal.

The addressing space allocated to the monitor is 8 Kb. As the size necessary for the monitor/controller is 16 Kb, a bank switching has to be carried out on the high address wire of the EPROM package (A13), to access the extra 8 Kb.

The PIA 6846 (IW29) sends the switching signal of these two banks through PP4.

PP4 = 0 : lower part of ROM accessible.  
PP4 = 1 : upper part of ROM accessible.

3) Selection of the INPUT/OUTPUT packages :

E7C0/E7CF : (E7CX) selection of the PIA 6846 (IW29) and 6821 (IW25), (IW26) packages.

E7D0/E7D9 : selection of the FLOPPY/QDD Controller package (IW24)

E7DA/E7D8 : (CSPAL) selection of the Palette package (IW32).

E7DE/E7DF : no used.

EXXX : extension selection....

## C) GESTION RAM

### a) TRANSFORMATION DES ADRESSES

L'utilisation des boîtiers RAM à grande capacité conduit à opérer une transformation des adresses, afin de pouvoir accéder à tout l'espace adressable des boîtiers.

En effet, l'espace adressable des boîtiers (RAM INT, RAM EXT) (voir : A) e) est de 256 Ko (ADRESSES PHYSIQUES : de 0000 à 3FFF), celui alloué dans la MAP MÉMOIRE est seulement de 40 Ko (ADRESSES LOGIQUES : de 4000 à DFFF).

Afin d'organiser la RAM et d'accéder dans celle-ci à tout son espace physique, on transforme les 3 bits de poids fort de l'adresse logique A15, A14, A13, et on crée 2 bits supplémentaires RA17 et MU8.

Les 3 bits transformés deviennent RA15, RA14, RA13 (voir synoptique) et sont fonction du bit forme (interne au bloc « TRANSFORMATION ADRESSES RAM »), du N° de banque désiré et de l'adresse demandée par le microprocesseur (adresse logique).

La création de 2 bits supplémentaires (RA17, MU8) est nécessaire pour travailler dans la RAM à des adresses physiques supérieures à FFFF, elle est directement fonction du N° de banque.

## C) RAM MANAGEMENT

### a) ADDRESS TRANSFORMATION

The use of high capacity RAM packages has led to address transformation in order to have access to the full addressable area of packages.

The addressable area of packages (RAM INT, RAM EXT) (refer to A) e)) is in fact 256 Kb (PHYSICAL ADDRESSES from 0000 to 3FFF), whereas that allocated in the memory map is only 40 Kb (LOGICAL ADDRESSES from 4000 to DFFF).

In order to organise RAM and provide access to its entire physical space, the three most significant bits of the logical address A15, A14 and A13 are transformed, and 2 extra bits, RA17 and MU8, are created. The 3 transformed bits become RA15, RA14 and RA13 (see block diagram) and are dependent on the form bit (within the RAM ADDRESS TRANSFORMATION block) from the required bank number and the address requested by the microprocessor (logical address).

The creation of 2 extra bits (RA17, MU8) is necessary to work in the RAM at physical addresses higher than FFFF ; it is directly dependent on the bank number.

### ADRESSES PHYSIQUES (envoyées sur MA0-MA8) PHYSICAL ADDRESS (sent on MA0-MA8)

RA17	MU8	RA15	RA14	RA13	A12	A11	A10	A9
MSB								

**MU8 = A16** : (voir : C) d) POLYVALENCE  
(See : C) d) COMPATIBILITY

Ainsi, par cette méthode entièrement transparente à l'utilisateur, la RAM est vue comme 32 pages de 16 Ko (avec 512 Ko) ou 16 pages de 16 Ko (avec 256 Ko).

On accède aux pages supérieures en programmant le N° de banque désiré dans E7E5. Ce registre a une influence directe sur la transformation des adresses.

Thus RAM is perceived as 32 pages (with 512 Kb), or 16 pages (with 256 Kb) by virtue of this method which is completely transparent to the user.

The top pages are accessed by programming the bank required in E7E5. This register has a direct influence on the transformation of addresses.



## ORGANISATION RAM

### RAM ORGANISATION

AD. LOGIQUES  
LOGICAL AD.

AD. PHYSIQUES  
PHYSICAL AD.

AD. LOGIQUES  
LOGICAL AD.

AD. PHYSIQUES  
PHYSICAL AD.

<b>RAM INT</b>		<b>RAM EXT</b>	
DFFF		3FFF	3FFF
	RAM UTILISATEUR BANQUE N° 13  USER RAM BANK No 13  (PAGE 15 = 16 Ko)		RAM UTILISATEUR BANQUE N° 29  USER RAM BANK No 29  (PAGE 31 = 16 Ko)
A000		3C000	A000
DFFF	BANQUE N° 1 à N° 12 BANK N° 1 to N° 12	3BFFF	DFFF
A000		C000	A000
DFFF	RAM UTILISATEUR BANQUE N° 0  USER RAM BANK No 0  (PAGE 2 = 16 Ko)	BFFF	DFFF
A000		8000	A000
9FFF	RAM UTILISATEUR + PAGE 0 MONITEUR  USER RAM + PAGE 0 MONITOR  (PAGE 1 = 16 Ko)	7FFF	DFFF
6000		4000	A000
5FFF	MÉMOIRE POINT - PIXEL MEMORY FORME = 1 - FORM = 1 (1/2 PAGE 0 = 8 Ko)	3FFF	DFFF
4000		2000	
5FFF	MÉMOIRE COULEUR - COLOR MEMORY FORME = 0 - FORM = 0 (1/2 PAGE 0 = 8 Ko)	1FFF	
4000		0000	A000
			0000

#### b) L'ACCÈS MODE PAGE

La mémoire vidéo (16 Ko) est contenue dans la page 0 du boîtier RAM INT.

**ÉCRITURE** : Par transformation des adresses, en fonction du bit forme, on accède à l'une ou l'autre des deux 1/2 pages 0 (mémoire couleur ou mémoire point).

- bit forme = 0 :  
(adresse logique = adresse physique + 4 000 (H)).
- bit forme = 1 :  
(adresse logique = adresse physique + 2 000 (H)).

**LECTURE** : L'horloge Q est injecté parmi les bits de poids forts de l'adresse de rafraîchissement (voir synoptique) :

TU8	BE1	BE0	Q	TA12	TA11	TA10	TA9
MSB							

**NOTA** : BE1 BE0 (voir : C)c) PAGE VIDÉO AFFICHÉE.  
TU8 = 0 (voir : C)d) POLYVALENCE).

PENDANT LA PHASE NON ACTIVE E = 0, Q PREND 2 ÉTATS :

#### b) MODE PAGE ACCESS

The video memory (16 Kb) is contained in page 0 of package RAM INT.

**WRITING** : One or other of the two 1/2 pages 0 (color memory or pixel memory) is accessed by transforming addresses by a function of form bit, where :

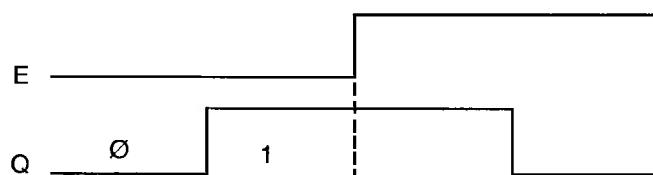
- form bit = 0 :  
(logical address = physical address + 4 000 (H)).
- form bit = 1 :  
(logical address = physical address + 2 000 (H)).

**READOUT** : Q clock is injected in the most significant bits of the refresh address (see schematic) :

TA8	TA7	TA6	TA5	TA4	TA3	TA2	TA1	TA0
LSB								

**NOTE** : BE1 BE0 (see C)c) DISPLAYED VIDEO PAGE).  
TU8 = 0 (see C)d) COMPATIBILITY.

**DURING THE NON-ACTIVE PHASE E = 0, Q CAN ASSUME 2 STATUSES :**



UNITÉ CENTRALE  
CENTRAL UNIT

Placé ainsi, Q permet de déterminer **2 adresses distinctes**, pendant la phase non active ( $E=0$ ).

- La première adresse concerne la 1/2 page couleur.  
 $Q=0$  (adresse de 0000 à 1FFF avec BE1 BE0 = 00),
- La deuxième adresse concerne la 1/2 page point.  
 $Q=1$  (adresse de 2000 à 3FFF avec BE1 BE0 = 00)

Cette opération s'effectue donc indépendamment du bit forme.

Ces 2 adresses sont validées par :

**2 CAS CONSÉCUTIFS** pendant la durée d'**1 RAS STATIONNAIRE A L'ETAT BAS** : c'est l'accès mode page.

Voir les chronogrammes : (page : 30).

Les RAM ont bien entendu la possibilité de fonctionner de manière classique ou en accès mode page.

**RÉSULTAT** : On effectue 2 lectures consécutives (pendant la phase non active) dans la RAM INT. (une dans la 1/2 page couleur, et une dans la 1/2 page point). Ceci afin de charger, dans la table de transcodage, les 16 bits d'info-vidéo.

### c) PAGE VIDÉO AFFICHÉE

En donnant des valeurs à BE1 BE0 (voir : C)b) ACCÈS MODE PAGE), respectivement en programmant les bits D7 D6 de E7DD, on peut commander l'affichage des 4 pages 0, 1, 2, 3. La page affichée par défaut est la page 0 (c'est la page écran).

Ici encore, il s'agit d'une transformation d'adresses, afin de pouvoir accéder à ces 4 pages de 16 Ko : en programmant les bits BE1 BE0, l'adresse envoyée par le microprocesseur se trouve modifiée.

**EXEMPLES :**

- BE1 BE0 = 00 (par défaut à l'initialisation). Dans ce cas l'adresse logique n'est pas transformée (mode classique). On affiche la page 0.
- BE1 BE0 = 01, 10, 11 (en programmant D7 D6 de E7DD). Dans ces 3 autres cas, l'adresse logique est transformée afin de travailler dans les pages supérieures. On affiche respectivement les pages 1, 2, 3.

### d) POLYVALENCE

Le Gate mode page, est prévu pour fonctionner sur plusieurs produits avec différents types de RAM. C'est pour cette raison, que certains bits d'adresses, sont modifiables par soft, suivant l'organisation déterminée. Ce sont les bits : MU8, TU8.

On retrouve dans le synoptique :

- Le bloc « TRANSFORMATION DE TA8 » contient le registre E7E7. Suivant l'organisation désirée, (RAM : 4464, 41256, produit...) on adaptera le Gate mode page en programmant dans ce registre (voir : « REGISTRES GATE MODE PAGE »). Pour cet appareil : TU8 = 0.
- Le bloc « TRANSFORMATION ADRESSES RAM » (comme précédemment), pour cet appareil : MU8 = A 16.

### e) MULTIPLEXAGE DES ADRESSES ET SÉLECTION RAM

Il reste classique selon le principe des RAM dynamiques :

#### - PHASE NON ACTIVE $E=0$ :

Un premier multiplexeur commute sur les adresses de rafraîchissement. Un deuxième multiplexeur envoie les LSB, validation par un RAS ; puis les MSB, (voir : A)c) et C)b) ACCÈS MODE PAGE).

Le signal R/VWRAM est forcé à 1 (Lecture).

Thus placed, Q allows **two separate addresses** to be determined during the non-active phase ( $E=0$ ), where :

- the first address concerns the color 1/2 page.  $Q=0$  (address from 0000 to 1FFF with BE1 BE0 = 00),
- the second address concerns the pixel 1/2 page.  $Q=1$  (address from 2000 to 3FFF with BE1 BE0 = 00).

This operation is therefore performed independently of the form bit.

These two addresses are validated by :

**2 CONSECUTIVE CASES** during **1 STATIONERY RAS at STATUS LOW** : this mode page access.

Refer to timing diagrams : (page : 30).

RAMs are of course able to operate in the conventional manner or in mode page access.

**RESULT** : Two consecutive readouts are performed (during the non-active phase) in RAM INT. (one in the color 1/2 page and one in the pixel 1/2 page), so as to load the 16 video data bits into the transcoding table.

### c) DISPLAYED VIDEO PAGE

In assigning values to BE1 BE0 (see C)b) PAGE MODE ACCESS) by respectively programming bits D7 D6 of E7DD, the display of the four pages 0, 1, 2 and 3 can be controlled. The page displayed by default is page 0 (this is the screen page).

Once again, addresses are transformed in order to provide access to these 4 16Kb pages : the address sent by the microprocessor is modified by programming bits BE1 BE0.

**FOR EXAMPLE :**

- BE1 BE0 = 00 (by default on initialisation). In this case, the logical address will not be transformed (conventional mode). Page 0 is displayed ;
- BE1 BE0 = 0, 1, 10, 11 (by programming D7 D6 of E7DD).

In these three cases, the logical address is transformed to operate in the top pages. Pages 1, 2 and 3 are displayed respectively.

### d) COMPATIBILITY

The Gate mode page is designed for several systems with different types of RAM. For this reason, certain address bits are software-modifiable according to the established organisation.

These are bits MU8 and TU8.

The block diagram includes :

- TA8 TRANSFORMATION block containing register E7E7. The gate mode page is modified by programming this register (refer to GATE MODE PAGE REGISTERS) depending on the required organisation (RAM 4464, 41256, system etc.). In this system, TU8 = 0.
- The RAM ADDRESS TRANSFORMATION block (as above). In this system, MU8 = A16.

### e) RAM SELECTION AND ADDRESS MULTIPLEXING

This is a conventional design following the principle of dynamic RAMs, i. e. :

#### - NON-ACTIVE PHASE $E=0$ :

A first multiplexer switches on the refresh addresses. A second multiplexer sends the LSBs, validated by a RAS followed by the MSBs (see A)c) and C)b) MODE PAGE ACCESS). The R/VWRAM signal is preset to 1 (reading).



#### - PHASE ACTIVE E=1 :

Un premier multiplexeur commute sur les adresses microprocesseur. Un deuxième multiplexeur envoie les LSB, validation par RAS ↑ ; puis les MSB, validation par CAS ↑. Le signal R/WRAM détermine la lecture (R/WRAM = 1) ou l'écriture (R/WRAM = 0) dans la RAM ainsi sélectionnée. Son état est fonction de l'instruction demandée (Ex : LDA (adresse RAM) : R/WRAM = 1).

### D) GÉNÉRATION SYNCHRO « GATE MODE PAGE (IW10) »

Le signal de fréquence 16 MHz issu de l'oscillateur (IW09), entre sur pin 42 du GATE MODE PAGE. Il pilote les compteurs, diviseurs, décodeurs, du bloc « HORLOGES » ; fournissant les signaux d'horloges nécessaires au système et notamment aux compteurs lignes et trames. Ces compteurs fournissent les signaux nécessaires à la gestion de l'écran :

- Signal de synchronisation ligne et trame : SYNL (pin 12).
- Signal d'inhibition ligne et trame : INILT (interne) permettant de commander le multiplexeur (rvbp) et de valider soit les info couleurs cadre soit les info couleurs fenêtre de travail.
- Signal de suppression ligne et trame BLKLT (pin 13) assurant le blanking vidéo pendant le retour ligne et le retour trame. Il est envoyé sur la pin 23 du Gate Palette (IW32).
- Signal de validation DATA VALID (interne) autorisant le chargement des registres de données vidéo dans le bloc « REGISTRES //SÉRIE ».

Les signaux E (pin 41) et Q (pin 40), sont deux horloges 1MHz en quadrature. Elles pilotent le microprocesseur.

E=1 : PHASE ACTIVE (le microprocesseur accède aux mémoires et aux I/O (interfaces entrées/sortie) pour les opérations de lecture ou d'écriture).

E=0 : PHASE NON ACTIVE (cycle de rafraîchissement pendant lequel on renouvelle le contenu de l'écran).

### E) GESTION DU CRAYON OPTIQUE « GATE MODE PAGE (IW10) »

Cette fonction, permet d'informer le microprocesseur, de l'emplacement de la visée du crayon optique, dans la fenêtre de travail.

La précision est celle du point : 1/64000°.

Les compteurs lignes-trames indiquent en permanence la position du spot, donc du point affiché sur l'écran.

Cette position est définie :

- par l'adresse des données vidéo du GPL (Groupement Ligne Point) soit : TA12-TAO,
- par la position du point dans ce GPL définie par H1, H2, H4 : horloges 1, 2, et 4 MHz,
- par la position du spot : dans la fenêtre de travail ou dans le cadre : LT3, TNIL, INIT.

Dès que l'utilisateur fait une visée sur l'écran, le phototransistor du crayon, détecte la lumière du spot et provoque une série d'impulsions CKLP (après traitement T20, T21, T22).

Ces impulsions sont la commande de chargement de 4 registres (E7E4, E7E5, E7E6, E7E7), par les indications des compteurs lignes-trames vues précédemment (voir : « REGISTRES GATE MODE PAGE » : (page : 31)).

Ces impulsions, déclenchent en plus, la FIRQ de branchement à la routine de traitement crayon optique. Cette FIRQ est générée par le Gate lui-même et automatiquement. Elle est toutefois masquable par D0 de E7E4 (D0 = 0 masquée, D0 = 1 autorisée). Le test (la lecture) se fait dans le registre E7E7 (D0) qui est une recopie de D0 de E7E4.



#### - ACTIVE PHASE E = 1 :

One multiplexer switches on the microprocessor addresses. A second multiplexer sends the LSBs, validated by RAS ↑, followed by the MSBs, validated by CAS ↑. The signal R/WRAM controls whether reading (R/WRAM = 1) or writing (R/WRAM = 0) is performed in the RAM thus selected. Its status is a function of the instruction requested (for example : LDA (RAM address) : R/WRAM = 1).

### D) SYNCH GENERATION « GATE MODE PAGE (IW10) »

The 16 MHz signal from the oscillator (IW09) arrives on pin 42 of the GATE MODE PAGE. It drives the counter, dividers and decoders of the CLOCK block which supplies the clock signals required for the system, notably for line and frame counters. These counters supply the signals for screen management, i.e. :

- line and frame synchronisation signal SYNL (pin 2),
- line and frame inhibition signal INILT (internal) providing control of the multiplexer (rvbp) and validating either frame color data or working window color data,
- line and frame suppression signal BLKLT (pin 13) which performs video blanking during line and frame return. It is sent on pin 23 of gate palette (IW32),
- validation signal DATA VALID (internal) which enables the loading of video data registers in the REGISTERS//SERIES block.

Signals E (pin 41) and Q (pin 40) are two 1 MHz clocks in quadratic form. They drive the microprocessor.

E = 1 : ACTIVE PHASE (the microprocessor accesses memory and I/O interfaces for read and write operations).

E=0 : NON-ACTIVE PHASE (refresh cycle during which the screen contents are renewed).

### E) LIGHT PEN HANDLING « GATE MODE PAGE (IW10) »

This function informs the microprocessor of the location indicated by the light pen in the working window.

Resolution is calculated in pixels, i. e. 1/64000°.

The line/frame counters permanently contain the position of the spot, and therefore of the pixel displayed on the screen.

Its position is set means of :

- the address of video data of the PLG (pixel line group) i. e. : TA12-TAO,
- the position of the pixel in this PLG as set by H1, H2 and H4 : 1, 2, and 4 MHz clocks,
- the position of the spot in the working window or the frame : LT3, TNIL, INIT.

When the user indicates on screen, the pen phototransistor detects the light of the spot and generates a series of CKLP pulses (after processing T20, T21, T22). These pulses are the instruction for loading four registers (E7E4, E7E5, E7E6 and E7E7) by the data of the frame/line counters mentioned above (see GATE MODE PAGE REGISTERS : (page : 32)).

These pulses also activate the FIRQ for connection of the light pen processing routine. This FIRQ is generated automatically by the gate itself. It can however be masked by D0 of E7E4 (D0=0 : masked ; D0=1 : enabled). The test (reading) is performed in register E7E7 (D0) which is a copy of D0 of E7E4.

Une demande de validation par pointage du crayon peut être ordonnée. Dans ce cas la routine viendra tester PP1 du PIA (IW25) :

- Crayon pointé : INTERLP (Interrupteur Light pen) fermé, PP1=1 : autorisation traitement crayon optique.
- Crayon non pointé : INTERLP ouvert, PP1=0 masquage.

A request for validation through indication with the pen can be requested. In this case, the routine tests PP1 of PIA (IW25), where :

- pen indicates : INTERLP (light pen switch) closed, PP1 = 1 : light pen processing enabled,
- pen does not indicate : INTERLP open PP1 = 0 : masking.

## F) GESTION AFFICHAGE « GATE MODE PAGE (IW10) »

Les différents mode d'affichage proposés sont un compromis entre la définition de l'image et le nombre de couleurs, l'augmentation de l'un se faisant au détriment de l'autre.

La mémoire écran, 16 Ko, se situe dans le boîtier RAM INT. Elle est organisée en deux 1/2 pages de 8 Ko (1/2 page couleur et 1/2 page point).

Le microprocesseur accède en écriture à l'une des deux 1/2 pages, en fonction du bit forme, (interne au bloc TRANSFORMATION DES ADRESSES), par transformation d'adresses (voir : C)a) et C)b)).

Ces deux 1/2 pages, sont lues successivement toutes les micro-secondes, pour le rafraîchissement de l'écran, suivant le principe de l'accès mode page (voir : C)b)).

L'info vidéo envoyée dans la table de transcodage est alors composée de 16 bits.

Une fois dans la table de transcodage, les 16 bits d'info vidéo sont organisés, selon le mode demandé par programme, dans le registre de commande affichage E7DC (voir : « REGISTRES GATE MODE PAGE » (page 31)). Puis ils sont chargés dans les registres //SÉRIE par la commande DATA VALID (voir : D) GÉNÉRATION SYNCHRO). Ces registres sont organisés comme précédemment, selon le mode demandé par programme. Ils sont ensuite sérialisés par l'horloge  $\varphi$  POINT, vers le Gate Palette, sur 1, 2, 3, ou 4 fils du bus adresses couleurs, à 4, 8 ou 16 MHz selon le mode.

**NOTA** : La sérialisation sur 1 fils du bus adresses couleurs, détermine 2 couleurs dans le Gate Palette ; sur 2 fils : 4 couleurs... (voir : G) GESTION DES COULEURS).

La couleur du cadre est définie en écrivant un mot de 4 bits dans le registre couleur cadre E7DD. Ces 4 bits sont commutés au rythme de INIT avec les 4 bits de données vidéo (voir : D) GÉNÉRATION SYNCHRO).

Ce principe permet de disposer de 7 modes d'affichage.

### a) MODE M0 40 COLONNES

Ce mode de fonctionnement assure la compatibilité ascendante. Il est basé sur un principe désormais classique :

Le contenu informationnel des 16 bits de données vidéo (dans les registres //série) est le suivant :

- V0 à V3 : 4 bits d'info couleur fond.
- V4 à V7 : 4 bits d'info couleur forme.
- V8 à V15 : 8 bits d'info point (forme/fond).

Les 2 mots de 4 bits d'info couleur, sont commutés par chaque bit du mot d'information point, sérialisé à la fréquence 8 MHz. Ils sont envoyés sur les 4 fils du bus adresses couleurs :

## F) DISPLAY HANDLING « GATE MODE PAGE (IW10) »

The various display modes provided are a compromise between display resolution and the number of colors, where the enhancement of one is to the detriment of the other.

The 16 Kb screen memory is situated in package RAM INT. It is formatted in two 8 Kb 1/2 pages (color 1/2 page and pixel 1/2 page).

The microprocessor accesses one of the two 1/2 page for writing as a function of the form bit (within ADDRESS TRANSFORMATION block) through address transformation (see C)a) and C)b)).

The two 1/2 pages are read in succession every micro-second for screen refresh in accordance with the mode page access principale (see C)b)).

The video data sent to the transcoding table is then composed of 16 bits.

Once within the transcoding table, the 16 bits of video data are formatted in accordance with the mode requested by the programme, in display control register E7CD (see GATE MODE PAGE REGISTERS : (page : 32)). They are loaded in the //SERIES registers by the DATA VALID instruction (see D) SYNC GENERATION). These registers are formatted as above, according to the mode requested by the programme. They are then serialised by clock  $\varphi$  POINT and sent to the gate palette on 1, 2, 3 or 4 wires of the color address bus at 4, 8 or 16 MHz depending on the mode.

**NOTE** : Serialisation on one wire of the color address bus sets two colors in the gate palette ; on two wires, 4 colors are set, etc (see G) COLOR HANDLING).

The color of the frame is set by writing a four-bits word in the frame color register E7DD. These four bits are switched at the rhythm of INIT with the four video data bits (see D) SYNC GENERATION).

This principle provides seven display modes.

### a) MO 40-COLUMN MODE

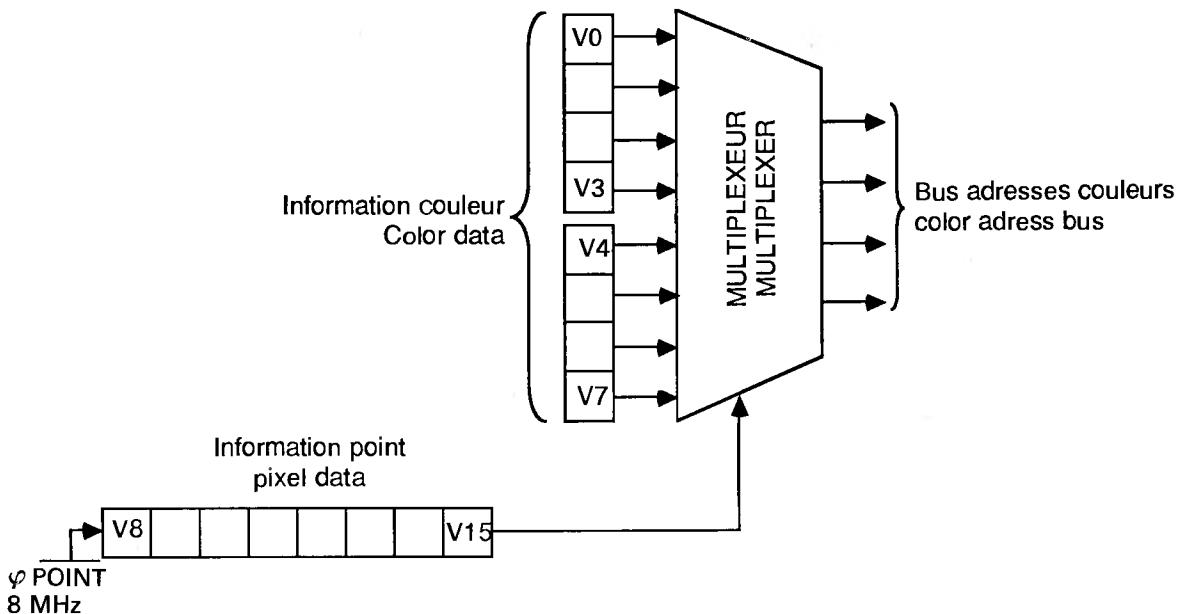
This operating mode ensures upward compatibility between systems. It is based on a principle that has become classic :

The data content of the 16 video data bits (in the // series registers is as follows :

- V0 to V3 : 4 bits of background color data.
- V4 to V7 : 4 bits of form color data.
- V8 to V15 : 8 bits of pixels data (form/background).

The two four-bit words of color data are switched by each bit of the pixel data word serialised at 8 MHz frequency. They are sent on the four wires of the color address bus :





Nombre de couleurs possibles à l'écran : 16.  
Nombre de couleurs possibles par GPL (8 POINTS) : 2.  
Résolution : 320 x 200.

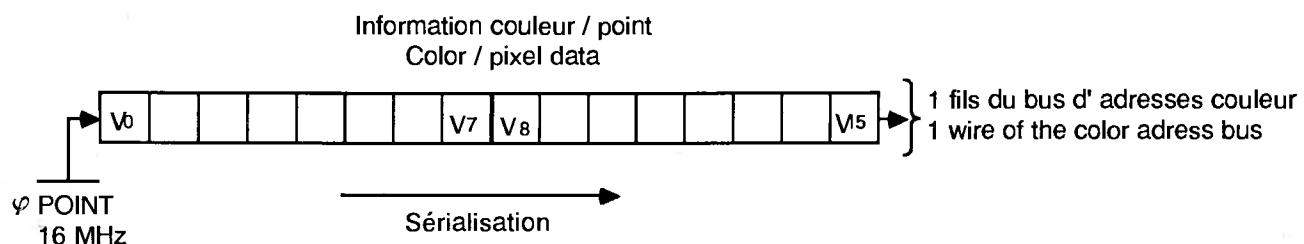
Number of colors possible on-screen : 16.  
Number of colors possible through PLG (8 pixels) : 2.  
Resolution : 320 x 200.

### b) MODE 80 COLONNES

Ce mode d'affichage utilise les 16 bits d'info vidéo, comme information point (forme/fond). Ils sont serialisés directement à 16 MHz, sur 1 fils du bus adresses couleurs :

### b) 80 COLUMN MODE

This display mode uses 16 bits of video data as pixel data (form/background). They are serialised directly at 16 MHz on one wire of the color address bus :



Nombre de couleurs possibles à l'écran : 2.  
Résolution : 640 x 200.

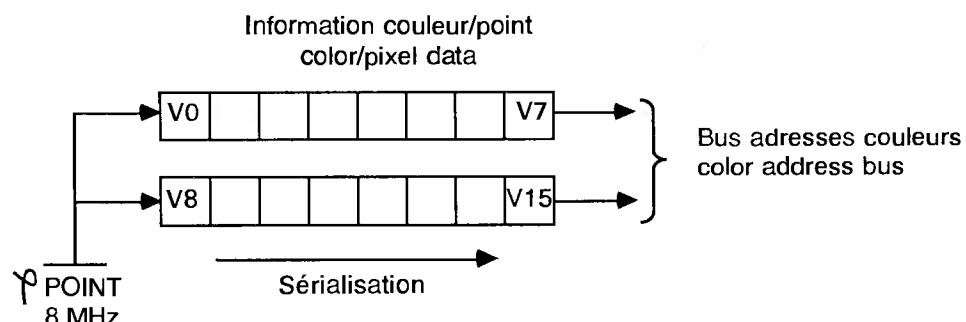
Number of color possible on-screen : 2.  
Resolution : 640 x 200.

### c) MODE BIT MAP 4

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits. Ils sont serialisés simultanément et directement à 8 MHz, sur 2 fils du bus adresses couleurs :

### c) BIT MODE MAP 4

The 16 bits of video data are formatted in two 8-bit words, and are serialised simultaneously and directly at 8 MHz on two wires of the color address bus :



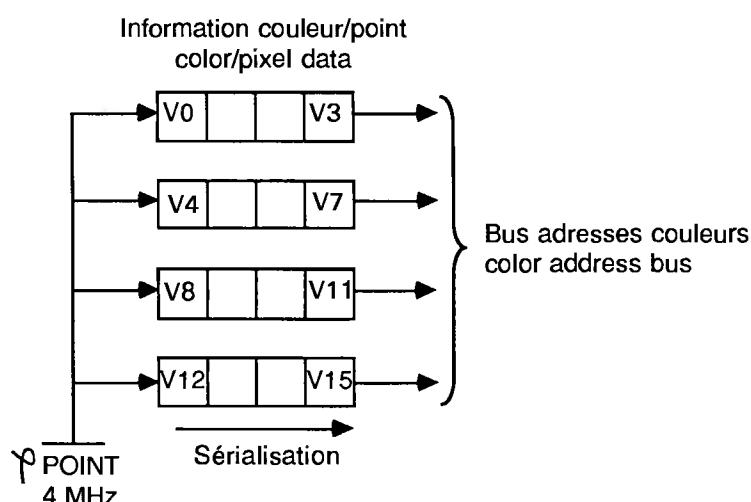
Nombre de couleurs possibles à l'écran : 4.  
Nombre de couleurs possibles par point : 4.  
Résolution : 320 x 200.

Number of colors possible on-screen : 4.  
Number of colors possible per pixels : 4.  
Resolution : 320 x 200.



#### d) MODE BIT MAP 16

Les 16 bits d'info vidéo sont organisés en 4 mots de 4 bits. Ils sont sérialisés simultanément et directement à 4 MHz, sur les 4 fils du bus adresses couleurs.



Nombre de couleurs possibles à l'écran : 16.  
Nombre de couleurs possibles par point : 16.  
Résolution : 160 x 200.

#### e) MODE PAGE (PAGE 1/PAGE 2)

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits, chaque mot représentant une entité d'information complète et indépendante. Ils sont sérialisés à 8 MHz, indépendamment pour l'une ou l'autre des 2 pages, sur 1 fil du bus adresses couleurs. On dispose ainsi de 2 pages d'écran distinctes.

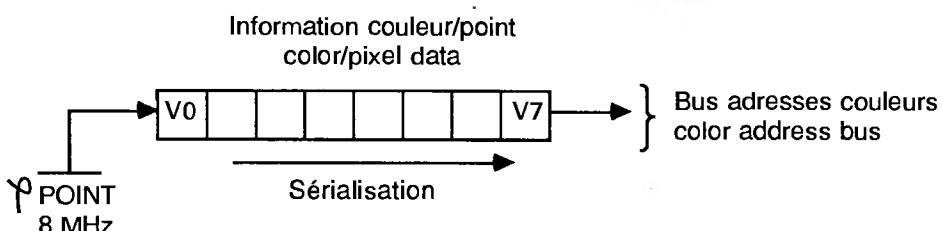
Exemple pour une page (page 1) :

Number of colors possible on screen : 16.  
Number of colors possible per pixel : 16.  
Resolution : 160 x 200.

#### e) MODE PAGE (PAGE 1 / PAGE 2)

The 16 bits of video data are formatted in two words of 8 bits, where each word represents a complete and separate datum. Each of the two pages is separately serialised at 8 MHz on one wire of the color address bus. This therefore provides two separate screen pages.

Example for one page (page 1) :



Nombre de couleurs possibles à l'écran (1 page) : 2.  
Résolution : 320 x 200.

#### f) MODE SUR-IMPRESSION

Les 16 bits d'info vidéo sont organisés en 2 mots de 8 bits :

- V0 à V7 : contenu informationnel du 2<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 1<sup>e</sup> plan).  
bit = 1 pixel couleur 1 dans la palette.
- V8 à V15 : contenu informationnel du 1<sup>e</sup> plan. (2 couleurs).

Les 2 mots de 8 bits d'info vidéo sont sérialisés directement selon le principe du bit map 4.

#### g) MODE TRIPLE-SUR-IMPRESSION

Les 16 bits d'info vidéo sont organisés en 4 mots de 4 bits :

- V0 à V3 : contenu informationnel du 4<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 3<sup>e</sup> plan).  
bit = 1 couleur 1 dans la palette.
- V4 à V7 : contenu informationnel du 3<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 2<sup>e</sup> plan).  
bit = 1 couleur 2 dans la palette.
- V8 à V11 : contenu informationnel du 2<sup>e</sup> plan.  
bit = 0 pixel transparent (vue sur le 1<sup>e</sup> plan).  
bit = 1 couleur 3 dans la palette.
- V12 à V15 : contenu informationnel du 1<sup>e</sup> plan (2 couleurs).

Les 4 mots d'info vidéo sont sérialisés selon le principe du bit map 16.

Number of colors possible on-screen (1 page) : 2.  
Resolution : 320 x 200.

#### f) OVERPRINTING MODE

The 16 bits of video data are organised in two words of 8 bits, i.e. :

- V0 to V7 : data content of second plane.  
Bit = 0 : transparent pixel (seen on first plane).  
Bit = 1 : color pixel 1 in palette.
- V8 to V15 : data content of first plane (two colors).

The two video data words of 8 bits are serialised directly in accordance with the principle of bit map 4.

#### g) TRIPLE-OVERPRINTING MODE

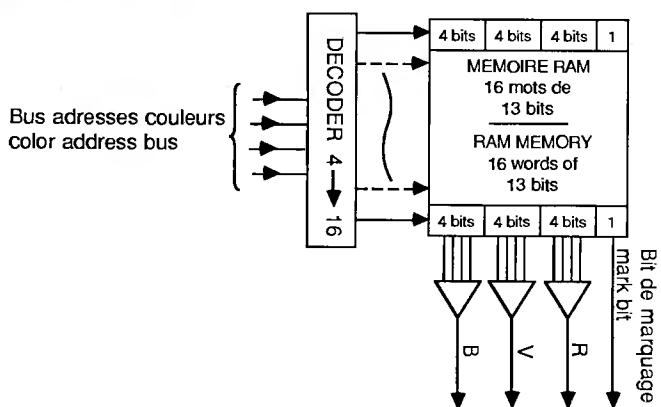
The 16 bits of video data are formatted in four words of four bits, i. e. :

- V0 to V3 : data content of fourth plane.  
Bit = 0 : transparent pixel (seen on third plane).  
Bit = 1 : color 1 in palette.
- V4 to V7 : data content of third plane.  
Bit = 0 : transparent pixel (seen on second plane).  
Bit = 1 : color 2 in palette.
- V8 to V11 : data content of second plane.  
Bit = 0 : transparent pixel (seen on first plane).  
Bit = 1 : color 3 in palette.
- V12 to V15 : data content of first plane (2 colors).

The four words of video data are serialised according to the principle of bit map 16.



## G) GESTION DES COULEURS « GATE PALETTE (IW32) »



R : Rouge – Red  
V : Vert – Green  
B : Bleu – Blue

La fonction principale de ce circuit, est de générer les 3 composantes primaires vidéo (RVB), plus 1 bit de marquage destiné à assurer la transparence à l'incrustation vidéo.

Chaque composante est codée sur 4 bits (registres 4 bits). Une composante peut donc prendre 16 états logiques différents.

3 convertisseurs numérique-analogique déterminent un potentiel proportionnel au mot programmé dans ces registres. Le potentiel de chaque composante primaire est ainsi variable sur 16 niveaux de tension.

En sortie RVB nous disposerons donc de  $16^3$  configurations possibles, soit 4096 couleurs possibles.

Le Gate Palette intègre une RAM de 16 mots de 13 bits : 1 mot = 3 registres de 4 bits + 1 bit de marquage.

Chaque mot est programmable (PALETTE X, Y, Z) et définit une couleur.

Une adresse présente sur le bus adresses couleurs place en sortie RVB M, un des 16 mots correspondant à cette adresse. Le décodeur 4 → 16 occupe cette fonction.

L'instruction d'attribution de couleur (PALETTE X, Y, Z) met en œuvre une routine de traitement dont les principales phases sont les suivantes :

- Sélection du registre d'adresse du Gate Palette (E7DA).
  - Sélection du registre couleur (E7DB).
  - Ecriture dans le registre couleur adressé de l'argument Y (0 à 4096), attribution d'une couleur parmi les 4096 (12 bits) et de l'argument Z (0 ou 1) (bit de marquage).
- Cette phase nécessite 2 opérations d'écriture.

## H) GESTION CLAVIER

Le clavier dispose de 81 touches :  
58 touches « machine à écrire »  
12 touches « pavé numérique »  
6 touches de contrôle du curseur  
5 touches de fonction (double)

Pour des raisons de rapidité, le décodage du clavier est confié au microprocesseur 6804. La transmission série des données se fait par un dialogue entre les 2 microprocesseurs via les PIA 6846 et 6821 système.

## G) COLOR HANDLING « GATE PALETTE (IW32) »

The main function of this circuit is to generate the three primary video components (RVB) plus one mark bit to provide transparency for video inplaying.

Each component is encoded over four bits (four-bit registers). A component can therefore assume 16 different logical statuses.

Three digital/analog convertors fits a potential as a function of the word programmed in these registers. The potential of each primary component can therefore vary between 16 voltage levels.

There are thus  $16^3$  configurations possible at the RVB output, namely 4096 different colors.

The gate palette integrate a RAM of 16 13-bit words, where : 1 word = 3 registers of 4 bits + 1 mark bit. Each word is programmable (PALETTE X, Y, Z) and sets a color.

An address present on the color address bus places one of the 16 words corresponding to this address at the output RVBM. Decoder 4-16 performs this function.

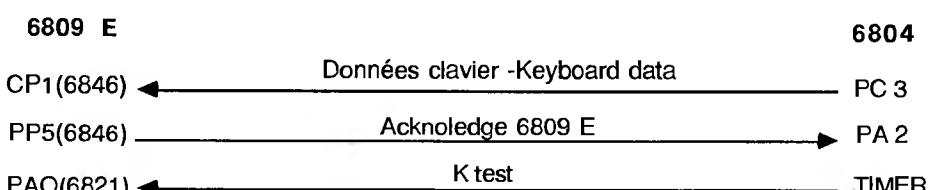
The color assignment instruction (PALETTE X, Y, Z) utilizes a processing routine of which the main phases are as follows :

- Gate palette address register selected (E7DA).
  - The color register is selected (E7DB).
  - Argument Y is written in the addressed color register (0 to 4096). 1 color out of 4096 and argument Z (0 or 1 - mark bit) is assigned.
- This phase requires two write operations.

## H) KEYBOARD MANAGEMENT

The keyboard has 81 keys :  
58 « typewriter » keys  
12 « keypad » keys  
6 cursor control keys  
5 (double) function keys.

For reasons of speed, keyboard decoding is handled by the 6804 microprocessor. Data transmission in series takes place through a dialogue between the two microprocessors via the PIA 6846 and 6821 systems.



**a) Emission d'une donnée (Nº d'une touche) par le clavier vers le 6809E :**

Pour prévenir le 6809E qu'il va recevoir une information du clavier, le 6804 met PC3 à 0, ce qui provoque une IRQ via CP1 du PIA 6846. Le micro clavier attend que le 6809E descende PP5 à 0 lui indiquant qu'il est prêt à recevoir les 9 bits de données.

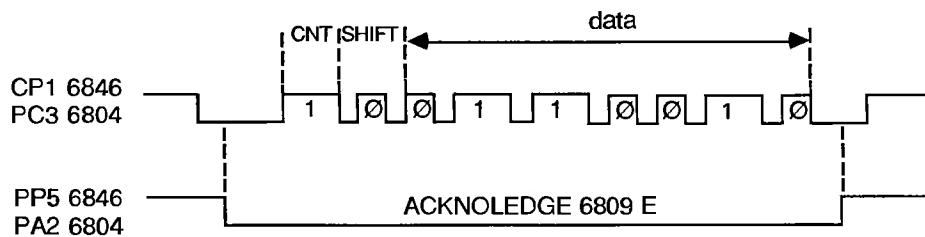
Les 9 bits de données se composent :

1 <sup>er</sup> bit :	touche CNT enfoncée → 1
	touche CNT libre → 0

2 <sup>e</sup> bit :	touche SHIFT enfoncée ou CAPS LOCK actionnée → 1
	touche SHIFT libre ou CAP LOCK non actionnée → 0

7 bits suivants : numéro de la touche de 0 à 79  
(≠ code ASCII)

Exemple : CNT et U enfoncées :



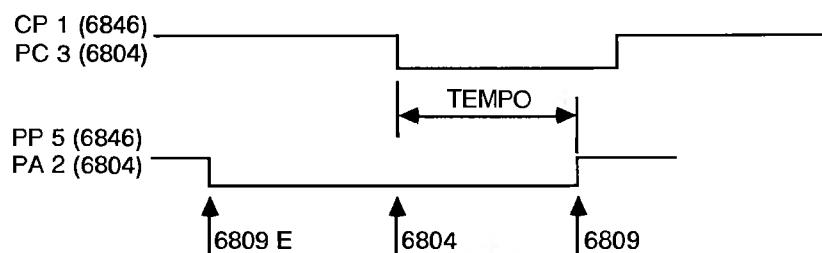
Un temps d'attente limite de 500 ms est fixé de manière à ne pas être bloqué par une ignorance du 6809E de notre désir de lui faire lire une touche.

Un niveau 1 correspond à une impulsion positive de 56µs

Un niveau 0 correspond à une impulsion positive de 38µs

**b) Emission d'une requête par le 6809E au clavier :**

Quand le 6809E souhaite émettre une requête, il met PP5 à 0 et attend que le 6804 descende PC3 à 0. Le 6804 compte alors le temps pendant lequel PP5 reste à 0. Les 3 requêtes possibles du 6809E sont codées sur cette durée (TEMPO).



- 1) TEMPO = 0,67 ms : Initialisation : le 6804 renvoie au 6809E un code indiquant que le clavier est configuré en version française ou export. Le clavier se met en CAPS LOCK actif LED allumée.
- 2) TEMPO = 1,30 ms : Majuscule : le clavier se met en CAPS LOCK actif, LED allumée.
- 3) TEMPO = 1,90 ms : Minuscule : le clavier se met en CAPS LOCK inactif, LED éteinte.

**a) Transmission of one item of data (number of a key) from the keyboard to the 6809E :**

In order to warn the 6809E that it is to receive an item of data from the keyboard, the 6804 puts PC3 at 0, and this provokes an IRQ via CP1 on the PIA 6846 system. The micro keyboard waits for the 6809E to descend PP5 to 0, indicating to it that it is ready to receive the 9 bits of data.

The 9 bits of data are as follows :

1st bit :	CNT key depressed → 1
	CNT key free → 0

2nd bit :	SHIFT key depressed or CAPS LOCK in use → 1
	SHIFT key free or CAPS LOCK not in use → 0

The 7 subsequent bits : key number from 0 to 79  
(≠ ASCII code)

E.g. CNT and U depressed :

A maximum delay time of 500 ms is fixed so as not to cause an obstruction due to the 6809E being unaware of the user's wish to make it read a key.

A level 1 corresponds to a positive 56µs pulse.

A level 0 corresponds to a positive 38µs pulse.

**b) Transmission of a request from the 6809E to the keyboard :**

When the 6809E wishes to make a request, it puts PP5 at 0 and waits for the 6804 to descend PC3 to 0. The 6804 then counts the time during which PP5 stays at 0. The three possible request from the 6809E are encoded on this duration (TEMPO).

- 1) TEMPO = 0,67 ms : Initialization : the 6804 sends a code back to the 6809E indicating that the keyboard is a French version or export version. The keyboard changes to CAPS LOCK on with the LED on.
- 2) TEMPO = 1.30 ms : Upper case : the keyboard changes to CAPS LOCK on with LED on.
- 3) TEMPO = 1.90 ms : Lower case : the keyboard changes to CAPS LOCK off with LED off.



## H) CONTRÔLEUR DE DISQUETTE-THMFC1

Ce circuit est l'interface asynchrone entre l'unité centrale manipulant des données 8 bits parallèles et l'unité de disquettes traitant les données en série.

Ce contrôleur a été développé pour répondre aux critères suivants :

- Adaptabilité du circuit aux différents formats d'enregistrement des données (format FM et MFM).
- Gestion d'unité de disquettes de type FLOPPY et QDD (quick disk drive).

D'un point de vue technique le THMFC1 se distingue par l'emploi d'un séparateur de données utilisant la technique de comptage et non d'un circuit à blocage de phase (PLL).

### 1) DESCRIPTION DES INFORMATIONS GÉRÉES PAR LE CONTRÔLEUR

#### a) Liaisons unité centrale/contrôleur

Le contrôleur est connecté au bus d'adresses par 4 lignes de sélection. Une ligne de sélection de boîtier ICSB active dans l'espace mémoire E7D0 à E7D9 et 3 lignes d'adresses A0 A1 A2 permettant de sélectionner, avec la commande d'écriture/lecture IRWB, 1 registre parmi les 11 dont dispose ce contrôleur.

A2	A1	A0	R/W	REGISTRES INTERNES	
0	0	0	0	CMD0	REGISTRE DE COMMANDE
0	0	1	0	CMD1	REGISTRE DE COMMANDE
0	1	0	0	CMD2	REGISTRE DE COMMANDE
0	1	1	0	WDATA	REG. DE DONNEES (ÉCRIT.)
1	0	0	0	WCLK	REGISTRE HDRLDGE (ÉCRIT.)
1	0	1	0	WSECT	REGISTRE SECTEUR
1	1	0	0	WTRCK	REGISTRE PISTE
1	1	1	0	WCELL	REG. CELLULE UNITAIRE D'INFORMATION
0	0	0	1	STAT0	REGISTRE D'ETAT
0	0	1	1	STAT1	REGISTRE D'ETAT
0	1	1	1	RDATA	REG. DE DONNEES (LECT.)

Les données ainsi que les mots de commande et d'état transitent par un bus bidirectionnel D0 à D7.

Une ligne d'horloge IH16 à 16 MHz conditionne les échanges d'informations dans les blocs fonctionnels et constitue l'horloge mère du générateur d'impulsions d'écriture et du séparateur de données.

La ligne ODREQB (non utilisée) permet le transfert de données en mode DMA (accès direct mémoire).

La ligne OSR3 : utilisée sur les platines d'indice 05 (voir : II/9-11) pour fixer un potentiel + 5 V sur le monostable (IW22).

La ligne IRZGB initialise les registres internes et les blocs fonctionnels à la mise sous tension ou lors d'un reset à chaud de l'unité centrale.

#### b) Liaisons contrôleur unité de disquettes.

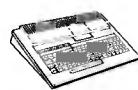
Pour exploiter l'unité de disquettes le contrôleur gère trois types d'informations :

Les informations de commandes, les transferts de données et les informations d'états particuliers du lecteur.

#### Commandes :

**ODRS0B, ODRS1B** : Sélection du lecteur numéro 0 ou numéro 1, actif à l'état bas.

**SIDESEL** : Sélection de la face (état haut face 0, état bas face 1).



## H) THMFC1-DISKETTE CONTROL UNIT

This circuit is the asynchronous interface between the CPU manipulating the parallel 8-bit data, and the diskette unit processing the data in series.

This control unit has been developed in order to respond to the following criteria :

- adaptability of the circuit to different data recording formats (FM and MFM formats),
- handling FLOPPY and QDD type diskette units.

From a technical point of view, the THMFC1 differs through the use of a data separator adopting the counting technique, rather than a phase Lock Loop.

### 1. DESCRIPTION OF DATA HANDLED BY THE CONTROL UNIT

#### a) Central unit/control unit links

The control unit is connected to the address bus by four selection lines. A selection line from the ICSB package activates in the memory space E7D0 to E7D9 and 3 address lines A0, A1 and A2, making it possible to select one of the control unit's eleven registers with the IRWB read/write control.

A2	A1	A0	R/W	INTERNAL REGISTERS	
0	0	0	0	CMD0	CONTROL REGISTER
0	0	1	0	CMD1	CONTROL REGISTER
0	1	0	0	CMD2	CONTROL REGISTER
0	1	1	0	WDATA	DATA REGISTER (WRITE)
1	0	0	0	WCLK	CLOCK REGISTER (WRITE)
1	0	1	0	WSECT	SECTOR REGISTER
1	1	0	0	WTRCK	TRACK REGISTER
1	1	1	0	WCELL	DATA UNIT CELL REGISTER
0	0	0	1	STAT0	STATE REGISTER
0	0	1	1	STAT1	STATE REGISTER
0	1	1	1	RDATA	DATA REGISTER (READ)

The data, the control words and the state words travel through a both-way bus D0 to D7.

A clock line (IH16) at 16 MHz frequency packages the data exchange in the functional blocks, and constitutes the master clock for the writing impulse generator and the data separator.

The ODREQB line (not used) allows data transfer in the DMA mode.

The OSR3 line used on the index 05 boards (see : II/9-11) to fix a + 5 V potential on the monostable multivibrator (IW22).

The IRZGB line initializes the internal registers and the functional blocks when the CPU is switched on or reset when warm.

#### b) Control unit/diskette unit links

The control unit handles three types of data in order to be able to operate the diskette unit :

control data, data transfers and state data for the drive unit.

#### Controls

**ODRS0B, ODRS1B** : Selection of disk-drive number 0 or number 1, active in the low state.

**SIDESEL** : Side selection (high state → side 0, low state → side 1).

**OMTON B** : Commande moteur disquette, actif à l'état bas.

**ODIREC** : Commande de direction du moteur pas à pas (état haut, direction piste 0 extérieur du disque, état bas direction intérieur du disque).

**OSTEPB** : Impulsions de commande du moteur pas à pas (actif à l'état bas).

**OWGB** : Commande de validation d'écriture (actif à l'état bas).

#### Etats particuliers du lecteur :

**IMTONB** : (non utilisé) information de commande moteur disquette (actif état bas). Connecté sur les platines d'indice 04 (voir : II/11) mais non géré par le soft.

**INDXB** : Détection d'index (actif à l'état bas).

**ITRKOB** : Détection de la piste 0 du lecteur (actif à l'état bas).

**IWPRTB** : Détection de la protection en écriture (actif à l'état bas).

**IRDYB** : Information de rotation du moteur d'entraînement du disque à sa valeur nominale. (actif à l'état bas).

#### Les transferts de données :

**IRDATB** : Ligne de transmission en lecture des données séries (actif à l'état bas).

**OWDATAB** : Ligne de transmission en écriture (actif à l'état bas).

**OMTONB** : Diskette motor control, active in the low state.

**ODIREC** : Step-by-step motor direction control (high state, track 0 direction, outside of disk ; low state, direction inside of disk).

**OSTEPB** : Step-by-step motor control impulses (active in the low state).

**OWGB** : Write validation control (active in the low state).

#### Particular states of the drive unit

**IMTONB** : (not used) diskette motor control information (active low state). Connected on index 04 boards (see : II/11) but not handled by the soft.

**INDXB** : Index detection (active in the low state).

**ITRKOB** : Detection of track 0 of drive unit (active in the low state).

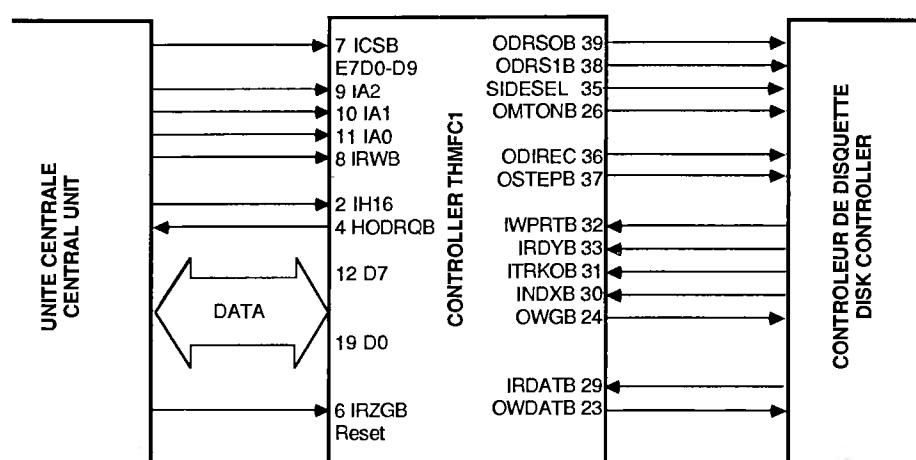
**IWPRTB** : Write protection detection (active in the low state).

**IRDYB** : Disk feed motor rotation data at its nominal value (active in the low state).

#### Data transfer

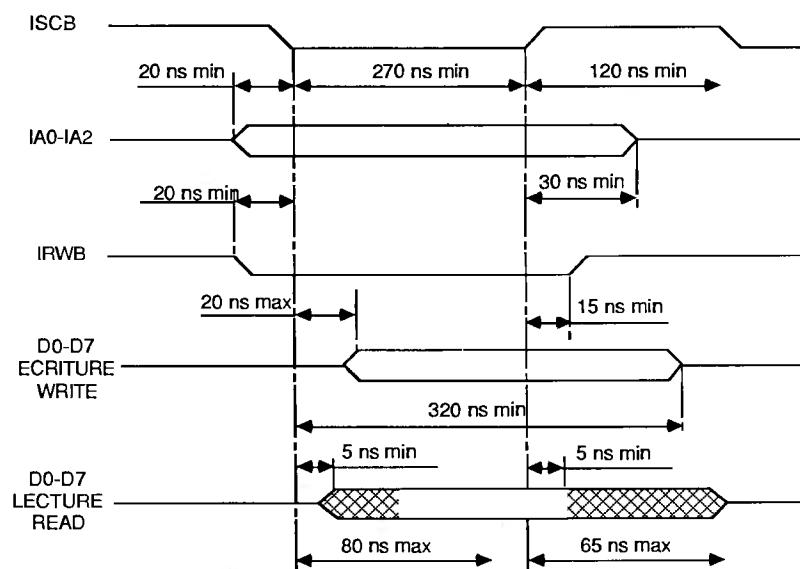
**IRDATB** : Transmission line in playback of data in series (active in low state).

**OWDATAB** : Transmission line in writing (active in low state).



## 2) CARACTERISTIQUES DYNAMIQUES DE L'ACQUISITION DES DONNEES

## 2) DYNAMIC FEATURES OF DATA ACQUISITION



### 3) ORGANISATION INTERNE DU THMFC1

#### a) DESCRIPTION DES REGISTRES

##### Registres de commandes :

###### CMD0

Les bits 7 et 6 sont à 0 pour assurer la compatibilité avec les futures versions de contrôleur.

– Bit 5 FM :

- Etat 0 codage MFM.
- Etat 1 codage FM.

– Bit 4 ENSYN : Etat 1 validation de la détection des mots de synchro.

– Bit 3 NOMCK :

– Etat 0 inhibition de la synchronisation du séparateur avec les données séries provenant du lecteur. Cette commande permet d'obtenir une horloge stable à la fréquence nominale. (suivant le contenu du registre WCELL). Utilisable donc en écriture mode "POLLING" (formatage) ou en comptage mots.

– Etat 1 validation de la synchronisation du séparateur. Cette commande est utilisée pour les fonctions d'écriture et de lecture.

– Bit 2 WGC : Etat 1 active la sortie WG du contrôleur et est utilisable uniquement pour le formatage (mode « POLLING »).

– Bit 1 IFRW et Bit 0 IFDA : Codes opération contrôleur; 00 Reset, 01 Ecriture secteur, 10 lecture adresse, 11 lecture secteur.

###### CMD1

Le bit 7 est un bit de compatibilité.

- bit 6 LG1 : bit de poids fort longueur secteur.
- bit 5 LG0 : bit de poids faible longueur secteur.

LG1	LG0	Longueur secteur
0	0	128 mots/secteur
0	1	256 mots/secteur
1	0	512 mots/secteur
1	1	1024 mots/secteur

– bit 4 SIDE :

- 0 face 0 du disque.
- 1 face 1 du disque.

Les bits 4, 5 et 6 sont utilisés par le bloc comparateur pour la recherche du secteur.

– bit 3, 2, 1 : Commande de précompensation en écriture de 0 nanoseconde à 437,5 nanoseconds par pas de 62,5 ns.

– bit 0 DSYRD : Actif à l'état 1, permet d'inhiber la détection synchro, caractères quand le signal "READY" IRDYB issu du lecteur est inactif (voir synoptique).

###### CMD2

Ce registre de commande à une fonction différente selon le "drive" utilisé FLOPPY ou QDD.

– bit 7 et 3 : Non utilisés.

– bit 6 SISELB :

- Etat 0 sélection face 0 pour le floppy ou commande moteur active pour le QDD.
- Etat 1 sélection face 1 pour le floppy ou commande moteur inactive pour le QDD.

– bit 5 DIRECB :

- Etat 0 commande de direction vers la piste 0 du floppy.
  - Etat 1 commande de direction vers l'intérieur du disque.
- Cette commande n'est pas utilisée pour le QDD.

– bit 4 STEP :

- Etat 0 commande de pas inactive pour le floppy.
  - Etat 1 commande de pas active.
- Commande non utilisée pour le QDD.



### 3. INTERNAL ORGANIZATION OF THE THMFC1

#### a) DESCRIPTION OF THE REGISTERS

##### Control registers

###### CMD0

Bits 6 and 7 are at 0 to ensure compatibility with future versions of the controller.

– Bit 5 FM :

- State 0 MFM coding
- State 1 FM coding

– Bit 4 ENSYM ; State 1 Validation of detection of synch words.

– Bit 3 NOMCK :

– State 0 Inhibition of the separator synchronization with the data series coming from the drive unit. This control makes it possible to obtain a stable clock at nominal frequency (following the content of the WCELL register). It can therefore be used in POLLING (formatting) mode writing or in word counting.

– State 1 Validation of the separator synchronization. This control is used for the read and write functions.

– Bit 2 WGC : State 1 Activates the WG output of the control unit and can only be used for formatting (POLLING mode).

– Bit 1 IFRW - Bit 0 IFDA : Control unit operational code ; 00 reset, 01 sector write, 10 address read, 11 sector read.

###### CMD1

Bit 7 is a compatibility bit.

- Bit 6 LG1 : MSB, sector lenght bit.
- Bit 5 LG0 : LSB, sector length bit.

LG1	LG0	Sector length
0	0	128 words/sector
0	1	256 words/sector
1	0	512 words/sector
1	1	1 024 words/sector

– Bit 4 SIDE :

- 0 side 0 of disk
- 1 side 1 of disk

Bits 4, 5 and 6 are used by the comparator block for sector search.

– Bits 3, 2 and 1 : precompensation control in writing of 0 to 437.5 nanoseconds in steps of 62.5 ns.

– Bit 0 - DSYRD : active at state 1, making it possible to inhibit character synchro detection when the READY signal IRDYB from the drive unit is inactive (see block diagram).

###### CMD2

This control register has a different function depending on whether the drive unit uses FLOPPY or QDD diskettes.

– Bits 3 and 7 : not used

– Bit 6 SISELB :

- State 0 Selection side 0 for floppy, or motor control active for QDD.
- State 1 Selection side 1 for floppy, or motor control inactive for QDD.

– Bit 5 DIRECB :

- State 0 Direction control towards track 0 of the floppy.
  - State 1 Direction control towards the inside of the disk.
- For the QDD this control is not used.

– Bit 4 STEP :

- State 0 Step control inactive for floppy.
  - State 1 Step control active.
- For the QDD this control is not used.

- bit 2 MTON :
  - Etat 0 commande moteur inactive pour le floppy.
  - Etat 1 commande moteur active.
  - Commande non utilisée pour le QDD.
- bit 1 et 0 DRS1, DRS0 : Commandes de sélection de drive pour le floppy et le QDD, actives à l'état 1.

### Registres d'état :

#### STAT 0

- bit 7 BYTE : Actif à l'état 1, ce bit est l'image de l'horloge caractères, il est positionné à 1 lorsqu'un mot est assemblé dans le registre RDATA en mode lecture et lorsque un nouveau caractère est demandé dans le registre WDATA en mode écriture.  
Ce bit est repositionné à 0 par une lecture ou une écriture des registres RDATA et WDATA.
- bit 6 et 5 : Toujours positionnés à 0.
- bit 4 END : Actif à l'état 1, ce bit indique que le contrôleur termine l'opération en cours.
- bit 3 FREE : Actif à l'état 1, ce bit indique que le contrôleur a terminé l'opération.
- bit 2 CRCER : Actif à l'état 1, indique une erreur du contrôle CRC (checksum de la zone identification ou données).
- bit 1 DREQ : Actif à l'état 1, indique qu'un caractère est assemblé en mode lecture ou qu'un caractère est demandé en mode écriture.  
Ce bit est repositionné à 0 par une lecture ou une écriture des registres RDATA et WDATA. L'information DREQ est active uniquement lorsque le contrôleur exécute une opération dite « intelligente » (lecture adresse, secteur ou écriture secteur), alors que l'information BYTE est active quel que soit le mode de travail du contrôleur (ex : mode POLLING en formatage).
- bit 0 SYNC : Actif à l'état 1, indique une détection synchro. Les contenus des registres RDATA et WCLK sont mélangés et comparés à la configuration synchro. Ce bit est positionné lorsque le résultat de cette comparaison est vrai.

#### STAT 1

Ce registre d'état contient des informations différentes selon le "drive" utilisé FLOPPY ou QDD.

- bit 7 : Positionné à 0.
- bit 6 INDX : Etat 1, détection d'index pour le floppy et présence disquette pour le QDD.
- bit 5 DKCH : Etat 1, information de changement de disquette. Non utilisé pour le QDD.
- bit 4 MTON : Ce bit est l'image inversée de la commande moteur OMTONB
- bit 3 TRKO : Etat 1, détection de l'information piste 0 pour le floppy et l'information de connexion d'un QDD.
- bit 2 WPRT : Etat 1, information de protection fichier pour le floppy et le QDD.
- bit 1 RDY : Etat 1, information "READY" provenant du floppy ou du QDD.
- bit 0 : Non attribué.

### Registres d'écriture et de lecture WDATA – RDATA

Ces registres 8 bits sont utilisés comme tampon pendant les opérations de lecture et d'écriture. En lecture

- Bit 2 MTON :
  - State 0 Motor control inactive for floppy.
  - State 1 Motor control active.
  - For the QDD this control is not used.
- Bits 1 and 0 - DRS1, DRS0 : Drive selection control for floppy and QDD, active at state 1.

### State registers

#### STATO

- Bit 7 BYTE : Active at state 1. This bit is the image of the clock characters ; it is positioned at 1 when a word is assembled in the RDATA register in the read mode, and when a new character is requested in the WDATA register in the write mode.  
This bit is repositioned at 0 by a read or write of the RDATA and WDATA registers.
- Bits 5 and 6 : Always positioned at 0.
- Bit 4 END : Active at state 1. This bit indicates that the control unit is completing the operation in process.
- Bit 3 FREE :  
Active at state 1. This bit indicates that control unit has completed the operation.
- Bit 2 CRCER : Active at state 1. This bit indicates a CRC control error (checksum of the identification or data zone).
- Bit 1 DREQ : Active at state 1. This bit indicates that a character is assembled in the read mode or is requested in the write mode. This bit is repositioned at 0 for reading or writing the RDATA and WDATA registers. DREQ data is active only when the control unit is carrying out a so-called « intelligent » operation (address read, sector read or sector write), when the BYTE information is active, whatever the control unit's working mode (in the POLLING mode in formatting).
- Bit 0 SYNC : Active at state 1. It indicates a syncro detection. The contents of the RDATA and WCLK registers are mixed and compared at the syncro configuration. This bit is positioned when the result of the comparison is true.

#### STAT1

This state register contains different data depending on whether the drive unit uses FLOPPY or QDD.

- Bit 7 : Positioned at 0.
- Bit 6 INDX : State 1, index detection for floppy, and diskette presence for QDD.
- Bit 5 DKCH : State 1, change of diskette data. Not used for QDD.
- Bit 4 MTON : This bit is the inverted image of the motor control OMTONB.
- Bit 3 TRKO : State 1. Detection of track 1 data for floppy, connection data for QDD.
- Bit 2 WPRT : State 1. File protection data for both the floppy and the QDD.
- Bit 1 RDY : State 1. READY data from the floppy and the QDD.
- Bit 0 : Not allocated.

### WDATA - RDATA read and write registers

These 8-bit registers are used as buffers during the read and write operations. In read mode the data are



les données sont transmises en parallèle du registre à décalage vers le registre de lecture et inversement en écriture.

### Registres piste et secteur WTRCK – WSECT

Ces registres sont chargés, avant toute opération contrôleur, avec les numéros de piste et de secteur recherchés. Le contrôleur se charge ensuite de comparer ces informations avec celles présentes sur la disquette dans la zone d'identification.

### Registre horloge écriture WCLK

Ce registre 8 bits contient la configuration horloge utilisée en écriture pour les données (FF) et pour les mots de synchro caractères (OA).

### Registre largeur de cellule WCELL

- bit 7 NRM : Ce bit, associé à la commande de précompensation, permet de modifier les caractéristiques du séparateur de données lorsque la lecture s'effectue sur les pistes intérieures de la disquette.
- Etat 0, modification des caractéristiques du séparateur.
- Etat 1, fonctionnement normal du séparateur.
- bits 6 à 0 : Ces 7 bits permettent d'initialiser le compteur interne du séparateur avec une valeur dépendant du mode de codage utilisé.

**Exemple :** En codage MFM la cellule unitaire d'information est de  $4\mu s$ , le compteur du séparateur travaille à la moitié de cette valeur ; soit  $2\mu s$ . Le pas de comptage est déterminé par l'horloge du séparateur soit  $1/16 MHz = 62.5 ns$ . La valeur à charger dans le registre est donc  $2000 ns/62.5 ns = 31 - 1 = 31$  soit 1 F en hexadécimal. L'unité à soustraire de 31 s'explique par le fait que le système décompte de 31 à 0 ce qui correspond à 32 pas de comptage pour un cycle complet.

### b) DESCRIPTION DES FONCTIONS INTELLIGENTES

Ces fonctions sont au nombre de 3 et programmées par les bits IFRW et IFDA du registre de commande CMDO (lecture adresse, lecture secteur et écriture secteur). Le séquencement de ces commandes est géré par le contrôleur et l'acquittement de ces opérations suppose que le format d'enregistrement réponde aux spécifications suivantes :

1	2	3	4	5	6	7	8	9	
00	A1/OA	FE	TRK	SID	SECT	LGT	CRC	ESPACE	Champ identification
00	A1/OA	FB	Champ données	CRC	BYT	ESPACE			Champ données
10	11	12	13	14	15	16			

Rep.	Nombre de caractères	Caractère	Désignation
1	12	00	Synchro. bit
2	3	A1 horloge OA	Synchro. caractère
3	1	FE	Adresse début identif.
4	1	–	Numéro piste
5	1	–	Numéro face
6	1	–	Numéro secteur
7	1	–	Longueur secteur
8	2	–	Control CRC
9	22	–	Espaces

transmitted parallel to the shift register, towards the read register, and inversely in the write mode.

### WTRCK - WSECT track and sector registers

Before any operation involving the control unit, these registers are loaded with the numbers of the track and sector required. The control unit then compares these data with those on the diskette in the identification zone.

### WCLK Clock writing register

This 8-bit register contains the clock configuration used in the write mode for the data (FF) and for the character synchro words (OA).

### WCELL cell width register

- Bit 7 NRM : This bit, when associated with the pre-compensation control, makes it possible to modify the characteristics of the data separator when the inside tracks of the diskette are being read.
- State 0, modification of the separator's characteristics.
- Bits 6 to 0 : These seven bits make it possible to initialize the separator's internal counter with a value dependent on the coding mode used. e.g. IN MFM coding, when the unit cell of data is  $4\mu s$ , the separator's counter is working at  $2\mu s$ , or one half this value. The counting step is determined by the separator clock : either  $1/16 MHz = 62.5 ns$  : the value to load into the register is then  $2,000 ns/62.5 ns = 32 - 1 = 31$  ; or 1F in hexadecimal. The unit of 31 to be subtracted can be explained by the fact that the system counts down from 31 to 0, which corresponds to 32 steps of counting for one complete cycle.

### b) DESCRIPTION OF THE INTELLIGENT FUNCTIONS

These functions are three in number, programmed by bits IFRW and IFDA of the control register CMDO (address read, sector read, sector write). Sequencing of these controls is handled by the control unit, and if the operations are to be effected, the recording format must correspond to the following specifications :

1	2	3	4	5	6	7	8	9	
00	A1/OA	FE	TRK	SID	SECT	LGT	CRC	SPACE	Identification Field
00	A1/OA	FB	DATA FIELD	CRC	BYT	SPACE			Data Field
10	11	12	13	14	15	16			

Item	Character number	Character	Description
1	12	00	Synchro. bit
2	3	A1 clock OA	Synchro. character
3	1	FE	Ident. address
4	1	–	Track number
5	1	–	Side number
6	1	–	Sector number
7	1	–	Sector length
8	2	–	CRC control
9	22	–	Spaces



Rep.	Nombre de caractères	Caractère	Désignation
10	12	00	Synchro. bit
11	3	A1 horloge 0A	Synchro. caractère
12	1	FB	Adresse début données
13		Correspond à la longueur secteur	Champ données
14	2	—	Contrôle CRC
15	1	—	Inhibition porte écriture
16		Variable selon le drive utilisé	Espaces

Item	Character number	Character	Description
10	12	00	Synchro. bit
11	3	A1 clock 0A	Synchro. character
12	1	FB	Data address
13		Corresponds to sector length	Data field
14	2	—	CRC control
15	1	—	Inhi. write gate
16		Varies accord. to drive in use	Spaces

### Lecture d'une adresse.

La lecture d'une adresse commence par une phase d'initialisation, ensuite le contrôleur effectue les opérations suivantes :

- 1) Recherche de 3 caractères de synchro. successifs.
- 2) Comparaison du caractère suivant avec la valeur FE.
- 3) Activation de la sortie DREQ.

Le CPU doit répondre au contrôleur en lisant le registre de données RDATA. Cette lecture permet de réactiver la sortie DREQ pour la lecture d'un nouveau caractère. Le transfert de donnée doit être effectif dans un délai de 25 µs après l'activation de DREQ. Dans le cas contraire le contrôleur calcule les 2 octets de contrôle CRC correspondant au N octets de donnée transférés et positionne le bit CRCER (bit 2 de STAT0).

### Lecture d'un secteur

Après initialisation, le contrôleur effectue les opérations suivantes :

- 1) Recherche de 3 caractères de synchro. successifs.
  - 2) Comparaison du caractère suivant avec la valeur FE.
  - 3) Comparaison du caractère suivant avec le contenu du registre de piste WTRCK.
  - 4) Comparaison du bit 0 du caractère suivant avec le bit SIDE de CMD1 (bit 4).
  - 5) Comparaison du caractère suivant avec le contenu du registre secteur WSECT.
  - 6) Comparaison des bits 0 et 1 du caractère suivant avec les bits LG0 LG1 du registre CMD1.
  - 7) Contrôle des 8 caractères de la zone d'identification. (Le contrôleur compare le CRC calculé avec le CRC écrit sur la disquette.)
  - 8) Attente du contrôleur pendant 27 caractères.
  - 9) Recherche de 1 caractère de synchro.
- Le contrôleur doit trouver le caractère de synchro dans un délai correspondant à 42 caractères, dans le cas contraire la séquence de recherche est réinitialisée.
- 10) Activation de la sortie DREQ.
  - 11) Le CPU répond en lisant le registre RDATA, ce qui permet de réactiver DREQ et de transférer ainsi les caractères du champ de données.

### Écriture d'un secteur

L'opération d'écriture commence par la phase de recherche des identificateurs correspondant aux 7 premières étapes du paragraphe précédent. Ensuite le contrôleur effectue les opérations suivantes :

- 8) Attente du contrôleur pendant un délai correspondant à la lecture de 22 caractères ;

### Address read

Address reading begins with an initialization phase, after which the control unit carries out the following operations :

1. Search for three successive synchronizing characters,
2. Comparison of the next character with the FE value,
3. Activation of the DREQ output.

The CPU must reply to the control unit by reading the RDATA data register : this enables the DREQ output to be reactivated so that another character can be read.

The transfer of data must take place within 25 µs of the DREQ being activated. If not, the control unit calculates the 2 bytes of CRC control corresponding to the N bytes of data transferred, and positions the CRCER bit (bit 2 of STAT0).

### Sector read

After initialization the control unit carries out the following operations :

1. Search for three successive synchronizing characters.
  2. Comparison of the next character with the FE value.
  3. Comparison of the next character with the content of the WTRCK track register.
  4. Comparison of bit 0 of the following character with bit SIDE of CMD1 (bit 4).
  5. Comparison of the following character with the content of the WSECT sector register.
  6. Comparison of bits 0 and 1 of the following character with bits LG0 and LG1 of the CMD1 register.
  7. CRC control of the 8 characters in the identification zone (the control unit forms the CRC calculated with the CRC written on the diskette).
  8. The control unit waits for 27 characters.
  9. Search for one synchronizing character.
- The control unit must find the synchronizing character within a delay corresponding to 42 characters ; if not, the search sequence is reinitialized.
10. Activation of the DREQ output.
  11. The CPU replies by reading the RDATA register, thereby enabling the DREQ to be reactivated and the characters from the data field to be transferred.

### Sector write

The writing operation begins with the search phase for the identifiers, which is the same as the first 7 stages of the previous paragraph. Then the control unit carries out the following operations :

8. The control unit waits for the time it takes to read 22 characters.



9) Activation de la porte d'écriture et écriture par le contrôleur de 12 caractères de synchro. bit 00 suivis par un octet de synchro. caractère.

10) Activation de la sortie DREQ.

11) Le CPU doit répondre en écrivant la donnée dans le registre d'écriture WDATA, ce qui permet de réactiver la sortie DREQ et de transférer ainsi toutes les données sur la disquette.

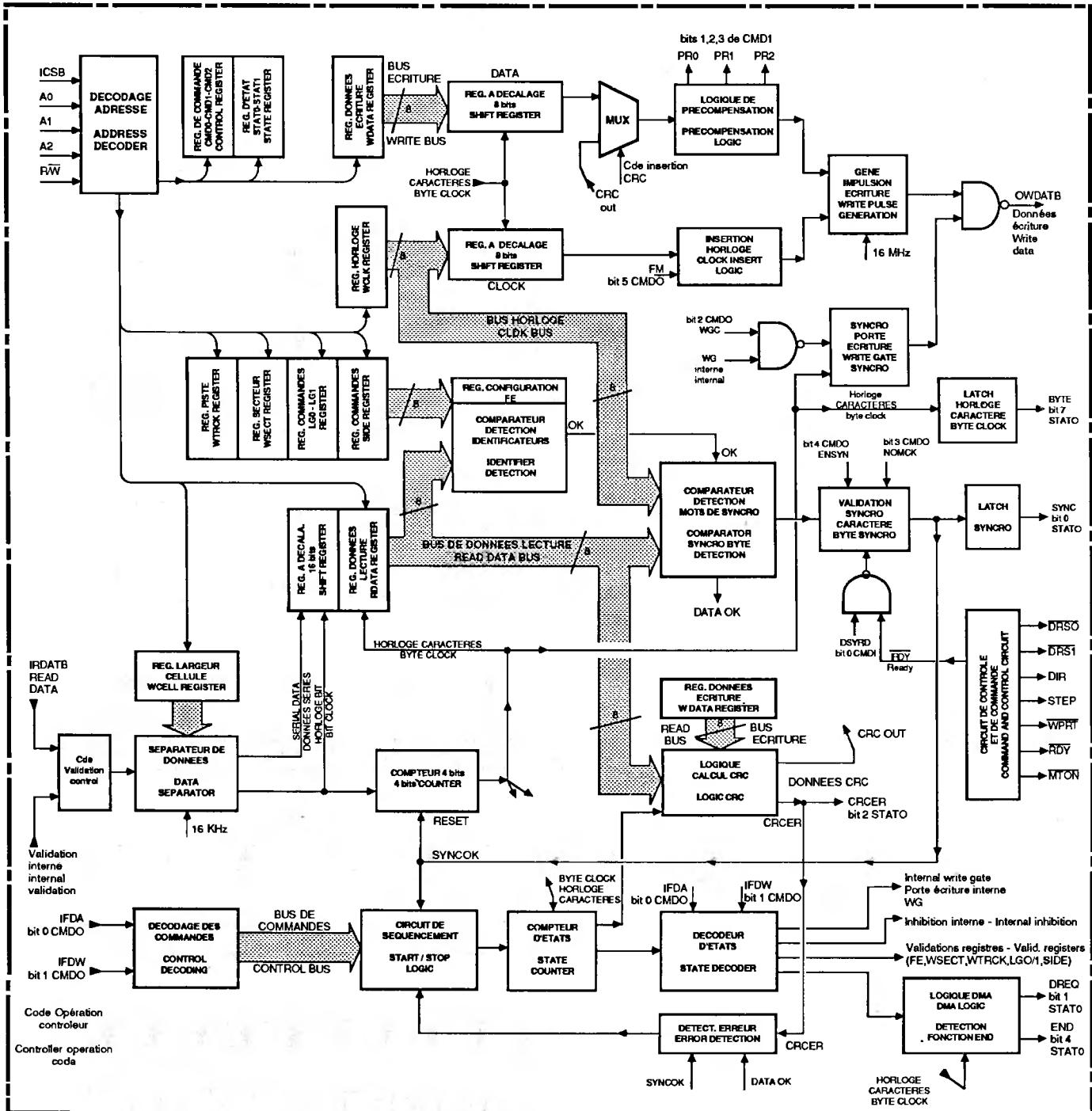
9. The write gate is activated, and then the control unit writes 12 synchronizing characters bit 00 followed by 1 byte of synchronizing character.

10. Activation of the DREQ output.

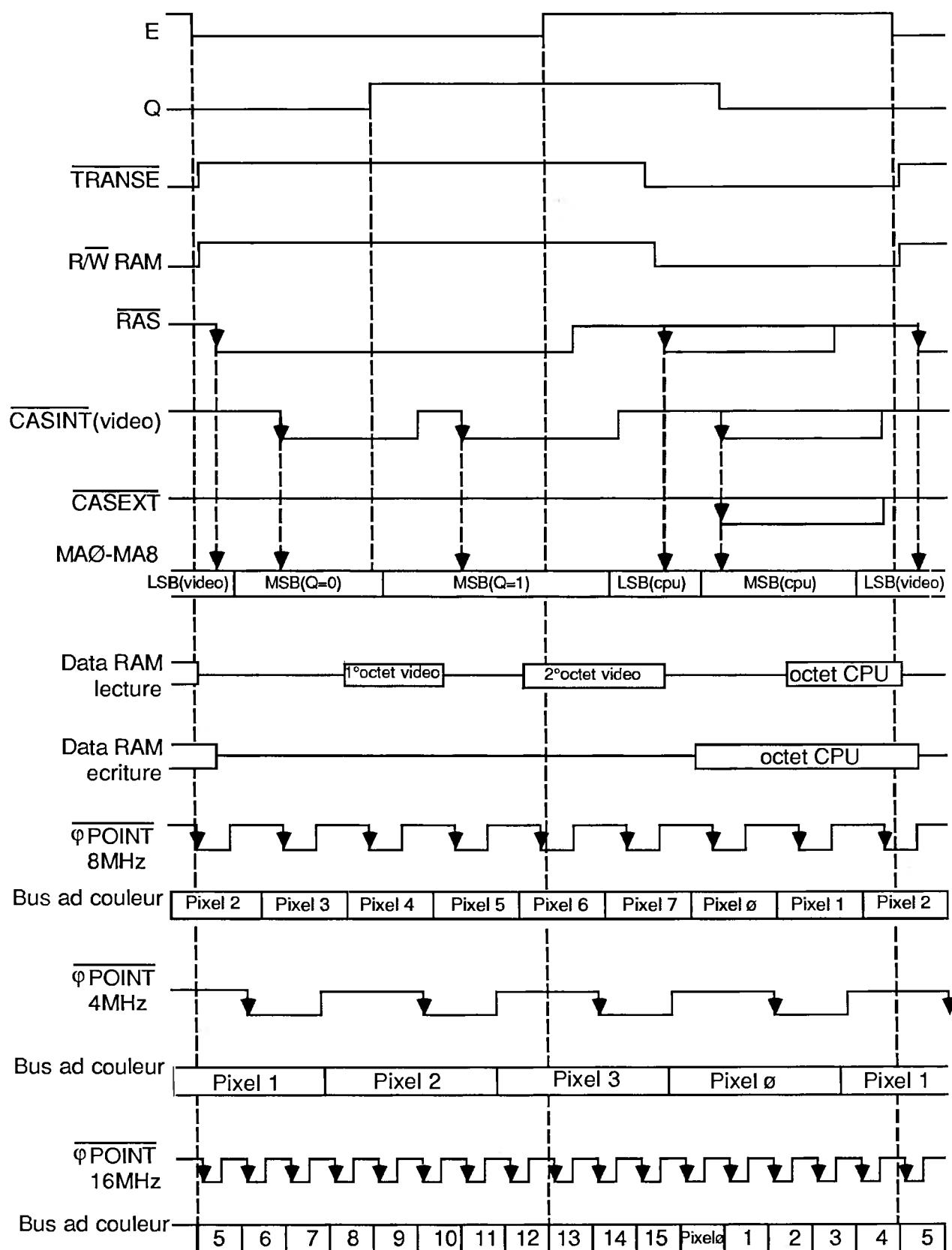
11. The CPU must reply by writing the item of data in the WDATA write register, thereby enabling the DREQ output to be reactivated and the characters from the data field to be transferred onto the diskette.

## SCHÉMA SYNOPTIQUE CONTRÔLEUR THMFC1

## BLOCK DIAGRAM THMFC1



## CHRONOGRAMMES - TIMING DIAGRAM



## REGISTRES GATE MODE PAGE

D7	D6	D5	D4	D3	D2	D1	D0	L/E	CONDITION D'ACCÈS	REGISTRE
∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ Système/ Cartouche/ Ramutil 1 crayon optique	E7E4 "Système 2" OU "CRAYON OPTIQUE"
N° page RAM affichée [lecture D7-D4 de (E7DD)]	Masque présence cart présence (E7DD)]	non utilisé	∅	∅	∅	∅	∅	∅	D∅ de E7E4 écrit à 0	D∅ de E7E4 écrit à 0
TA12	TA11	TA10	TA9	TA8	TA7	TA6	TA5	∅	D∅ de E7E4 écrit à 1	D∅ de E7E4 écrit à 1
∅ Accès E7DC autorisé 1 Accès E7DC inhibé	∅	∅	∅	∅	∅	∅	∅	∅	D4 de E7E7 écrit à 1	E7E5 "RAM UTILISATEUR" OU "CRAYON OPTIQUE"
∅	∅	∅	∅	∅	∅	∅	∅	∅	D∅ de E7E4 écrit à 0	D∅ de E7E4 écrit à 0
TA4	TA3	TA2	TA1	TA∅	H1	H2	H4	∅	D∅ de E7E4 écrit à 0	E7E6 "ESPACE CART" OU "CRAYON OPTIQUE"
∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅ (Réservé)	∅	∅	∅	∅	∅	∅
∅	∅	∅	∅	∅	∅	∅	∅	∅	∅	∅
Position du spot/Fenêtre d'aff. LT3 ∅ bord gauche 1 bord droit	∅ hors fenêtre 1 dans fenêtre	∅	∅	∅	∅	∅	∅	∅	Type de RAM ∅∅   256 K x 1 ∅∅   256 K x 4 1   128 K x 1 1   64 K x 4	E7E7 "Système 1"
Contrôleur FLOPPY/QDD interne externe	(Réservé)	Trame ∅ 625 lignes 1 525 lignes	Communication de banque ∅ 1 par PIA par E7E5	Type d'ordinateur	∅	∅	∅	∅	∅	∅
Position du spot par rapport à la fenêtre d'affichage ∅ bord supérieur ou inférieur 1 dans fenêtre Val. instantanée	∅ NIL ∅ hors fenêtre 1 dans fenêtre Val. latchée	∅	∅	∅	∅	∅	∅	∅	Interruption crayon optique ∅ pas d'interrup. 1 interruption	Copie D∅ de E7E4 ∅
∅ (Réservé)	Organisation des données vidéo ∅ mode 4∅ colonnes ∅ 1 autres modes 1∅ bit MAP 4 spécial 11 bit MAP 16	∅	∅	∅	∅	∅	∅	∅	Mode d'affichage ∅∅ 4∅ colonnes ∅∅ 8 MHz ∅∅ 16 MHz 11 4 MHz	Ecriture seule
N° de la page RAM affichée BE1	non utilisé	non utilisé	non utilisé	non utilisé	non utilisé	non utilisé	non utilisé	non utilisé	N° de la couleur du tour de l'écran	Ecriture seule



**UNITÉ CENTRALE**  
**CENTRAL UNIT**

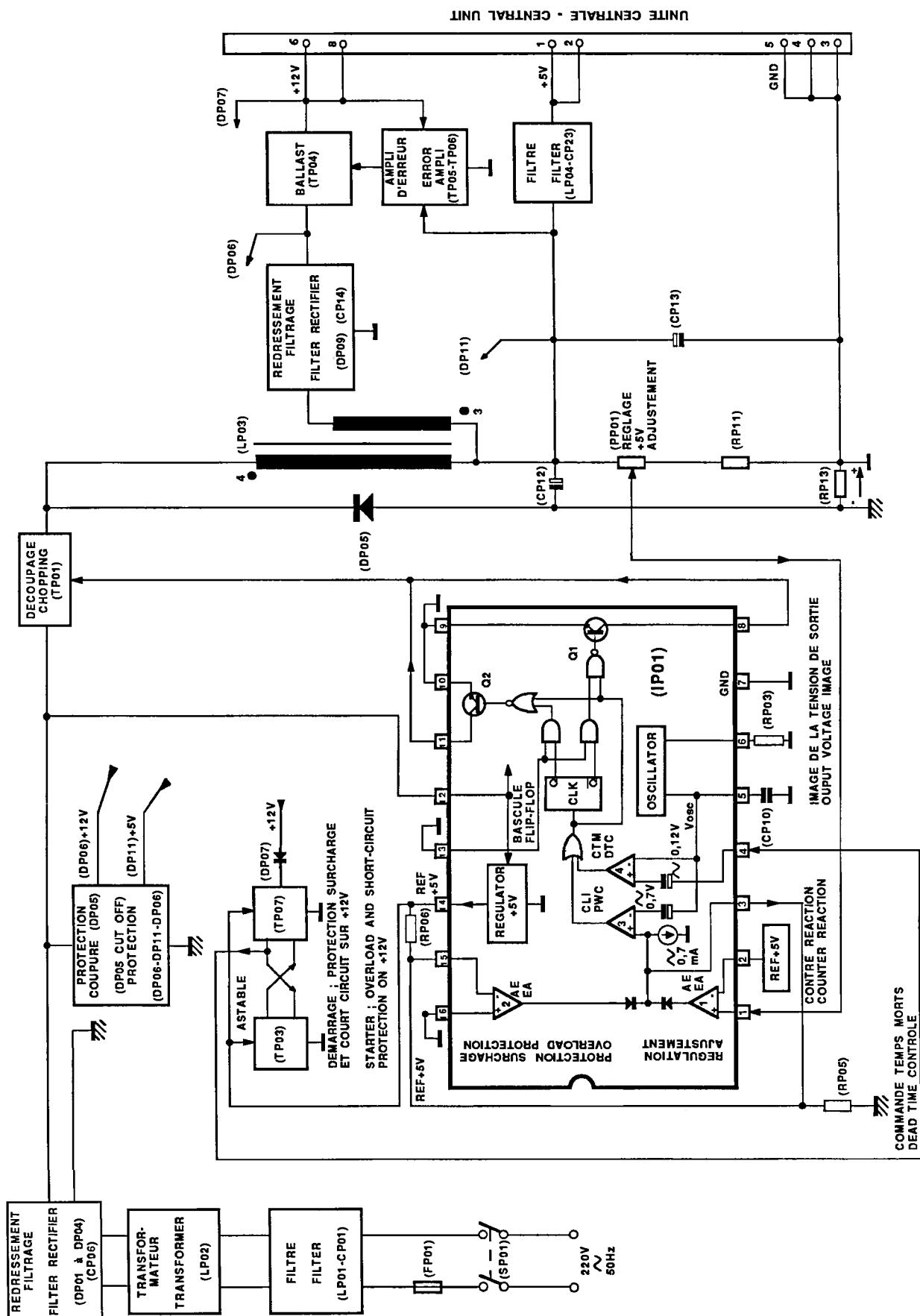
## **GATE MODE PAGE REGISTERS**

D7	D6	D5	D4	D3	D2	D1	D0	R/W	ACCE S CONDITIONS	REGISTER
∅	∅	∅	∅	∅	∅	∅	∅	W	∅ System/ Cartridge User RAM 1 light pen	E7E4 « SYSTEM 2 » or « LIGHT PEN »
(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	W	D∅ of E7E4 set to 0	
Displayed RAM page number [read in D7-D4 (E7DD)]	Cart presence mask	not used	∅	∅	∅	∅	∅	R	D∅ of E7E4 set to 1	
TA12	TA11	TA10	TA9	TA8	TA7	TA6	TA5	R	D4 of E7E7 set to 1	E7E5 « USER RAM » or « LIGHT PEN »
∅ acces E7DC authorized 1 acces E7DC inhibited	∅	∅	∅	∅	∅	∅	∅	W	D∅ of E7E4 set to 0	
∅	∅	∅	∅	∅	∅	∅	∅	R	D∅ of E7E4 set to 1	
TA4	TA3	TA2	TA1	TA0	H1	H2	H4	R	D∅ of E7E4 set to 1	
∅	(Reserved)	∅	(Reserved)	(Reserved)	(Reserved)	(Reserved)	(Reserved)	W	D∅ of E7E4 set to 0	E7E6 « CART. AREA » or « LIGHT PEN »
∅	∅	∅	∅	∅	∅	∅	∅	R	D∅ of E7E4 set to 1	
Position of spot/Display window LT3	IML	∅ outside window	∅	∅	∅	∅	∅	R	Type of RAM ∅ 256 K x 1 ∅ 256 K x 4 1 128 K x 1 1 64 K x 4	E7E7 « SYSTEM 1 »
∅ left hand edge 1 right hand edge	1 within window	∅	∅	∅	∅	∅	∅	R	D∅ of E7E4 set to 1	
FLOPPY/QDD controller internal external	(Reserved)	Frame 1 625 lines 1 525 lines	Bank switcher ∅ by PIA 1 by E7E5	Type of computer	∅	∅	∅	W		
Position of spot/Display window ∅ upper or lower edge 1 within window instantaneous val.	∅ outside window latched val.	∅ outside window 1 within window	∅	∅	∅	∅	∅	R	Copy D∅ of E7E4	
Video data organisation ∅ 40 column mode ∅ other modes 1 bit MAP 4 special 11 bit MAP 16	Serialising frequency ∅ POINT ∅ 8 MHz ∅ 16 MHz 11 4 MHz	Serialising frequency ∅ POINT ∅ 8 MHz ∅ 16 MHz 11 4 MHz	Display n. ∅ 40 column mode ∅ 1 bit MAP 4 ∅ 8 column 11 bit MAP 16	Display n. ∅ 40 column mode ∅ 1 bit MAP 4 ∅ 8 column 11 bit MAP 16	Display n. ∅ 40 column mode ∅ 1 bit MAP 4 ∅ 8 column 11 bit MAP 16	Display n. ∅ 40 column mode ∅ 1 bit MAP 4 ∅ 8 column 11 bit MAP 16	Display n. ∅ 40 column mode ∅ 1 bit MAP 4 ∅ 8 column 11 bit MAP 16	W	Write only	E7DC « DISPLAY »
Number of display RAM page BE∅	BE1	not used	not used	not used	not used	not used	not used	W	Write only	E7DD « SYSTEM 2 »



# ALIMENTATION - POWER SUPPLY

## SCHÉMA SYNOPTIQUE - BLOCK DIAGRAM



# PRINCIPE DE FONCTIONNEMENT OPERATING MODE

## A) GÉNÉRALITÉS

L'alimentation est du type « step down ».

A partir d'une tension secteur comprise entre 187 et 264 V, 50 Hz, elle fournit les tensions +5 V et +12 V.

Le découpage est piloté par un circuit intégré TL 494 (IP01) fonctionnant à fréquence fixe. Ce circuit assure également des fonctions complémentaires de référence, de régulation et de protection.

## B) PRÉSENTATION DU TL 494 (IP01)

C'est un circuit modulateur de largeur d'impulsion fonctionnant à une fréquence de 37 KHz.

Le TL 494 (IP01) intègre :

- Un régulateur fournissant la référence +5 V.
- Un oscillateur 37 KHz (fréquence fixée par (RP03 - CP10)).
- Une bascule : elle est inopérante : les 2 portes logiques « ET » qui reçoivent les sorties Q et  $\bar{Q}$  sont forcées à zéro (Pin 13 à la masse).
- Deux transistors Q1 et Q2 commandés en tout ou rien (via les inverseurs par la sortie de la porte « OU » : CLK).
- Quatre comparateurs-amplificateurs :
  - 1) L'ampli d'erreur AE (1) assurant la régulation de la tension de sortie +5 V.
  - 2) L'ampli d'erreur AE (2) assurant la protection surcharge.
  - 3) Le comparateur de largeur d'impulsions CLI (3), assurant la comparaison entre le résultat de la comparaison de AE (1) et AE (2) et la tension en dent de scie de l'oscillateur Vosc.
  - 4) Le comparateur de temps mort CTM (4), assurant un fonctionnement en mode relaxé de l'alimentation en cas de court-circuits.

De ces comparaisons successives, on obtient la tension CLK pilotant le découpage.

## C) TENSION 5 V

Cette tension est obtenue par découpage de la tension secondaire du transformateur 50 Hz (LP02) redressé et filtrée (DP01 à DP04, CP06).

Le découpage est réalisé par le transistor (TP01) piloté par (IP01) de la manière suivante :

CLK = 0 = Q1 et Q2 saturés = (TP01) saturé (phase 1)

CLK = 1 = Q1 et Q2 bloqués = (TP01) bloqué (phase 2)

La tension CLK détermine les deux phases de fonctionnement de l'alimentation :

— **Phase 1** (TP01) saturé :

(TP01) alimente la charge à travers (LP03) qui emmagasine de l'énergie. (CP12) et (CP13) se chargent. (DP05) est polarisée en inverse.

— **Phase 2** : (TP01) bloqué :

(LP03) restitue l'énergie emmagasinée sous la forme d'un courant de même sens que dans la phase 1. Il alimente la charge et se referme à travers (DP05) passante. Durant cette phase (CP12-CP13), qui dans un premier temps se voient compléter leur charge, fournissent dans un deuxième temps, le complément de courant nécessaire.

## A) GENERAL

The power supply is a step down system.

It supplies +5 V and +12 V from a mains input between 187 and 264 V, 50 Hz.

The chopping occurs through a TL 494 integrated circuit (IP01) operating at fixed frequency. This circuit also handles the complementary reference, adjustment and protection functions.

## B) DESCRIPTION OF THE TL 494 (IP01)

The TL 494 is a pulse width modulator which operates at a frequency of 37 KHz.

The TL 494 (IP01) incorporates :

- A regulator supplying the +5 V reference.
- A 37 KHz oscillator (frequency fixed by (RP03-CP10)).
- A flip-flop, which is inoperative : the 2 « ET » logic gates which receive the Q and  $\bar{Q}$  outputs are forced to zero (Pin 13 to earth).
- Two transistors, Q1 and Q2, controlled in all or nothing (via the reversing switches), by the output from the « OU » gate : CLK.
- Four comparator-amplifiers :
  - 1) The error amplifier EA (1) which handles the adjustment of the output voltage at +5 V.
  - 2) The error amplifier EA (2) which protects against power overload.
  - 3) The pulse width comparator PWC (3), which compares the result of the EA (1) and EA (2) comparison with the zigzag voltage of the Vosc oscillator.
  - 4) The dead time comparator DTC (4), which makes the power supply function in relaxed mode in the event of short-circuits.

The CLK voltage which pilots the chopping is obtained from these successive comparisons.

## C) +5 V VOLTAGE

This voltage is obtained by chopping the secondary voltage of the 50 Hz transformer (LP02) rectified and filtered (DP01 to DP04, CP06).

The chopping is carried out by (TP01) transistor, piloted by (IP01) as follows :

CLK = 0 = Q1 and Q2 saturated = (TP01) saturated (phase 1)

CLK = 1 = Q1 and Q2 blocked = (TP01) blocked (phase 2)

The CLK voltage determines the two operational phases of the power supply :

— **Phase 1** : (TP01) is saturated :

(TP01) feeds the load through (LP03) which stores the power. (CP12) and (CP13) charge. (DP05) is oppositely poled.

— **Phase 2** : (TP01) is blocked :

(LP03) restores the power stored as a current of the same polarity as in phase 1. It feeds the load and closes across diode (DP05). During this phase (CP12-CP13), which have their load completed initially, supply the necessary complement of current.

Le niveau de la tension de sortie est modulable en fonction de la durée de ces 2 phases. Ainsi la régulation, le contrôle ou la protection, se feront par modulation de la tension CLK, par l'intermédiaire des comparateurs :

AE (1) reçoit sur l'entrée (+) une fraction de la tension de sortie prélevée sur le curseur de (PP01).

Cette tension est comparée à la référence +5 V envoyée sur l'entrée (-) de AE (1).

Le résultat de cette comparaison (VAE1) amplifiée, est alors comparée dans le CLI, à la tension en dent de scie Vosc. On obtient ainsi (via la porte logique « OU ») la tension CLK. La régulation du +5 V est donc réalisée par une comparaison systématique du niveau de sortie par rapport à la référence +5 V modulant de ce fait CLK (voir : chronogrammes).

AE (2) assure la protection contre les surcharges en courant et les court-circuits en sortie suivant le même principe :

AE (2) reçoit sur l'entrée (+) la tension aux bornes de (RP13).

Cette tension est comparée à une fraction de la référence +5 V obtenue par le diviseur (RP05-RP06).

En cas de surcharge ou de court-circuit en sortie, la tension aux bornes de (RP13) tend à augmenter. Dès que cette tension devient supérieure à celle imposée sur l'entrée (-), la tension VAE2 (résultat de la comparaison) croît. Si elle devient supérieure à VAE1, c'est VAE2 qui prend le contrôle de la bande (voir diagramme des temps). Ceci entraîne une réduction du temps de conduction, empêchant le courant de dépasser la valeur limite fixée par (RP05-RP06).

The level of the output voltage is modulated according to the length of these two phases. The adjustment, control and protection are handled through modulation of the CLK voltage, through the comparators :

EA (1) receives on input (+) a fraction of output voltage taken from the (PP01) cursor.

This voltage is compared to the +5 V reference sent on the EA (1) input (-).

The result of this amplified comparison (VEA1) is then compared in the PWC, at the zig-zag voltage Vosc. The CLK voltage is thereby obtained (via the « OU » logic gate). The +5 V adjustment is therefore set through a systematic comparison of the output level, in relation to the +5 V reference, modulating the CLK as a result (see : timing).

EA (2) handles protection against current overloads and output short-circuits, following the same principle :

EA (2) receives the voltage on input (+) at the (RP13) terminals.

This voltage is compared to a fraction of the +5 V reference obtained by the (RP05-RP06) divider bridge.

In the event of overload or output short-circuit, the voltage on the (RP13) terminals tends to increase. As soon as this voltage becomes greater than that imposed on input (-), the VEA2 voltage (resulting from the comparison) increases. If it becomes greater than VEA1, EA (2) takes control of the loop (see time diagram). This causes a reduction in conduction time, which keeps the current from exceeding the limit set by (RP05-RP06).

## D) TENSION 12V ET MODE RELAXÉ

Les alternances correspondant au blocage du transistor (TP01) sont conservées afin d'obtenir une préstabilisation de la tension continue apparaissant aux bornes de CP14.

Cette tension continue est abaissée et régulée à +12 V par le ballast TP04 commandé par l'amplificateur d'erreur (TP05, TP06, RP21, RP23, RP24, RP25).

Le multivibrateur astable (TP07-TP03) assure une protection de l'alimentation en cas de court-circuit sur (CP14) ou sur l'enroulement de (LP03).

Cette protection consiste à imposer à l'alimentation un fonctionnement en mode relaxé (temps de fonctionnement suivi d'un temps d'arrêt et ainsi de suite).

En fonctionnement normal, (TP07) et l'astable sont bloqués. L'entrée (+) du CTM est à un potentiel nul : CLK dépend uniquement de la sortie du CLI.

Dans le cas d'un court-circuit sur l'enroulement +12 V ou sur (CP14), l'astable est libéré. Un potentiel +5 V apparaît sur l'entrée (+) du CTM diminuant le temps de conduction de Q1, Q2 et par suite tout échauffement.

Au début de chaque phase de fonctionnement, le démarrage est progressif : la tension sur l'entrée (+) du CTM décroissant exponentiellement (t0 à t2 sur figure ci-dessous) le temps de conduction croît de façon progressive.

De manière similaire, à la mise sous tension de l'alimentation par l'interrupteur secteur, l'intervalle de temps t1 - t2 est suffisant pour permettre l'établissement du +12 V. Après t2 l'astable est inhibé.

## D) +12 V VOLTAGE AND RELAXED MODE

Alternations corresponding to the blocking of transistor TP01, are retained in order to achieve prestabilization on the DC voltage on the (CP14) terminals.

This DC voltage is lowered and adjusted to the +12 V by the TP04 ballast controlled by the error amplifier (TP05, TP06, RP21, RP23, RP24, RP25).

The bistable multivibrator (TP07-TP03) ensures power supply protection in the event of a short-circuit on (CP14) or on the +12 V (LP03) coil.

This protection involves imposing on the power supply operation in relaxed mode (operating time followed by a rest period and so on).

Under normal operation, (TP07) and the bistable are blocked. The DTC entry (+) is at zero potential : CLK depends only on the PWC output.

In the event of a short-circuit on the +12 V coil or on (CP14), the bistable is freed. A +5 V potential appears on the DTC input (+), reducing the conduction time of Q1 and Q2, and consequently any overheating.

Startup is progressive at the beginning of each phase of operation. Voltage on DTC input (+) decreases exponentially (t0 to t2 on figure below) ; conduction time increases progressively.

In similar fashion, when the power supply is turned on by the mains switch, the time interval t1-t2 is sufficient to create the +12 V voltage. After t2 the bistable multivibrator is inhibited.

## E) PROTECTIONS

En plus des protections étudiées dans les paragraphes précédents, l'alimentation prévoit la protection assurée par (DP08) (DP06-DP11) dans les cas suivants :

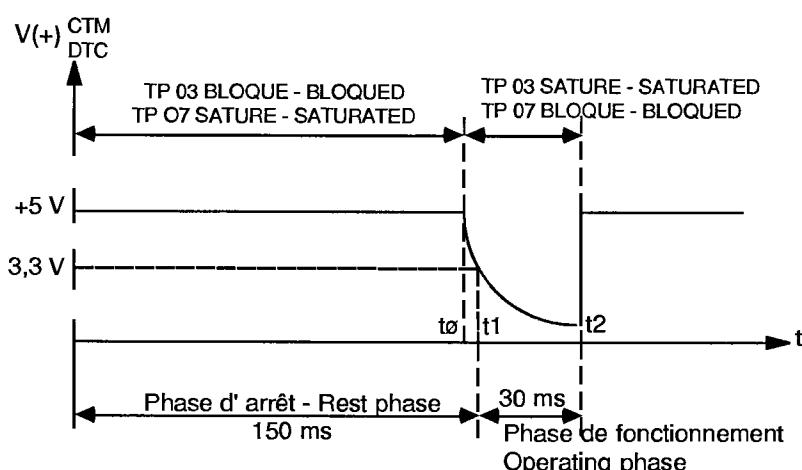
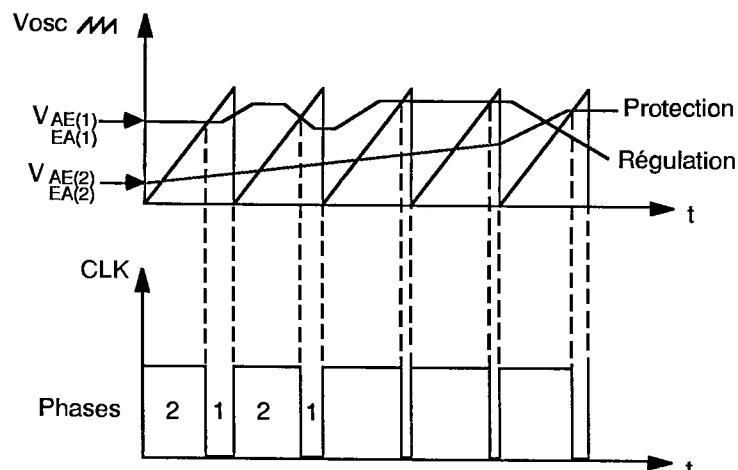
- 1) Court-circuit sur (TP01) ou défaut dans la régulation : une élévation du +5 V se produit. Lorsqu'elle atteint 7 V environ, le thyristor (DP08) s'amorce, décharge instantanément (CP06) et fait fondre le fusible (FP01).
- 2) Ouverture de la diode de roue libre (DP05) : Lors de l'ouverture de (DP05), il apparaît une surtension aux bornes de (LP03) au blocage de (TP01). Cette surtension est transmise aux bornes de (CP14). (DP06) est alors passante et amorce le thyristor (DP08) qui fait fondre (FP01).

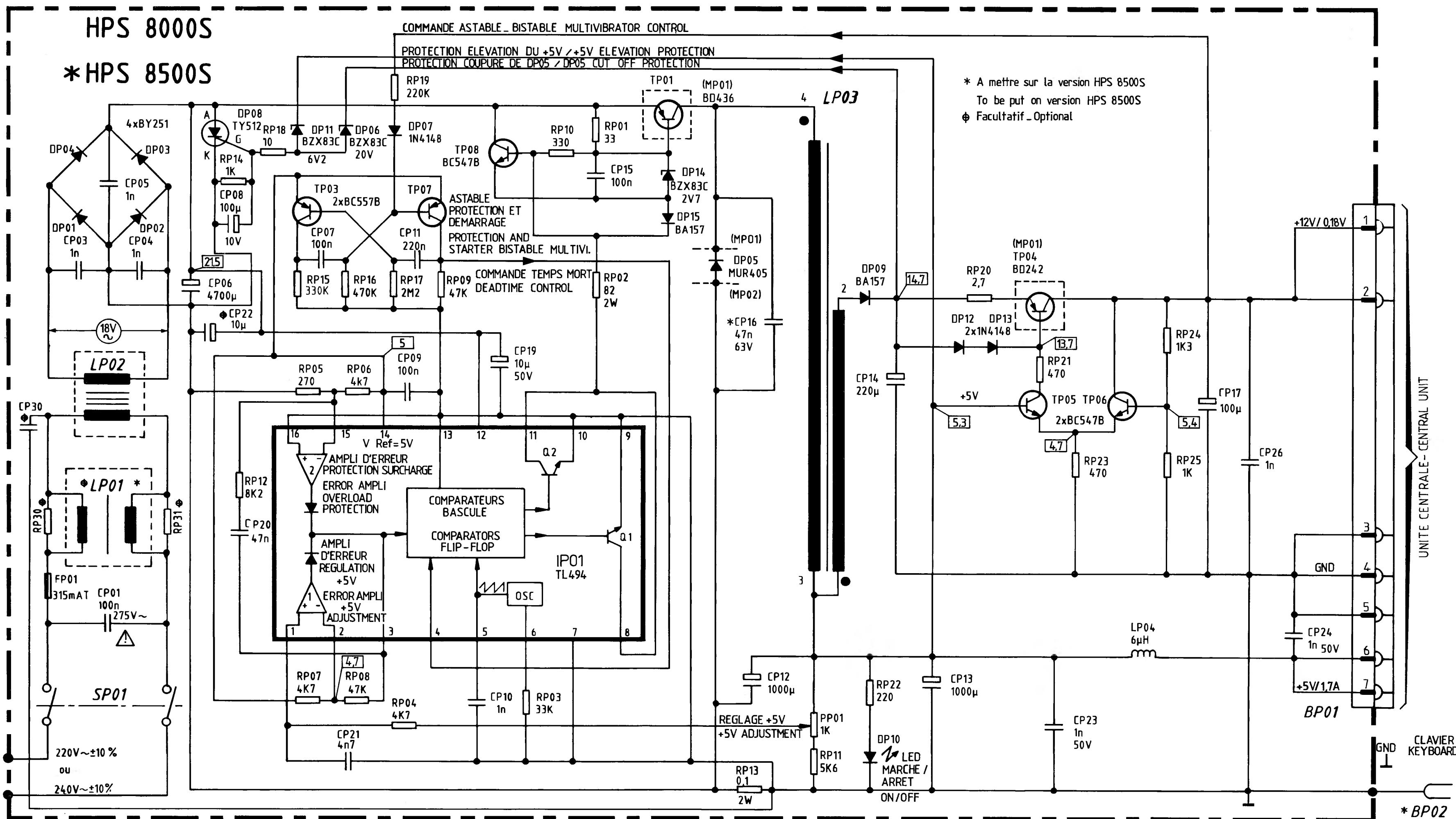
## E) PROTECTIONS

In addition to the protections examined in the previous paragraphs, the power supply provides protection handled by (DP08) (DP06-DP11) in the following cases :

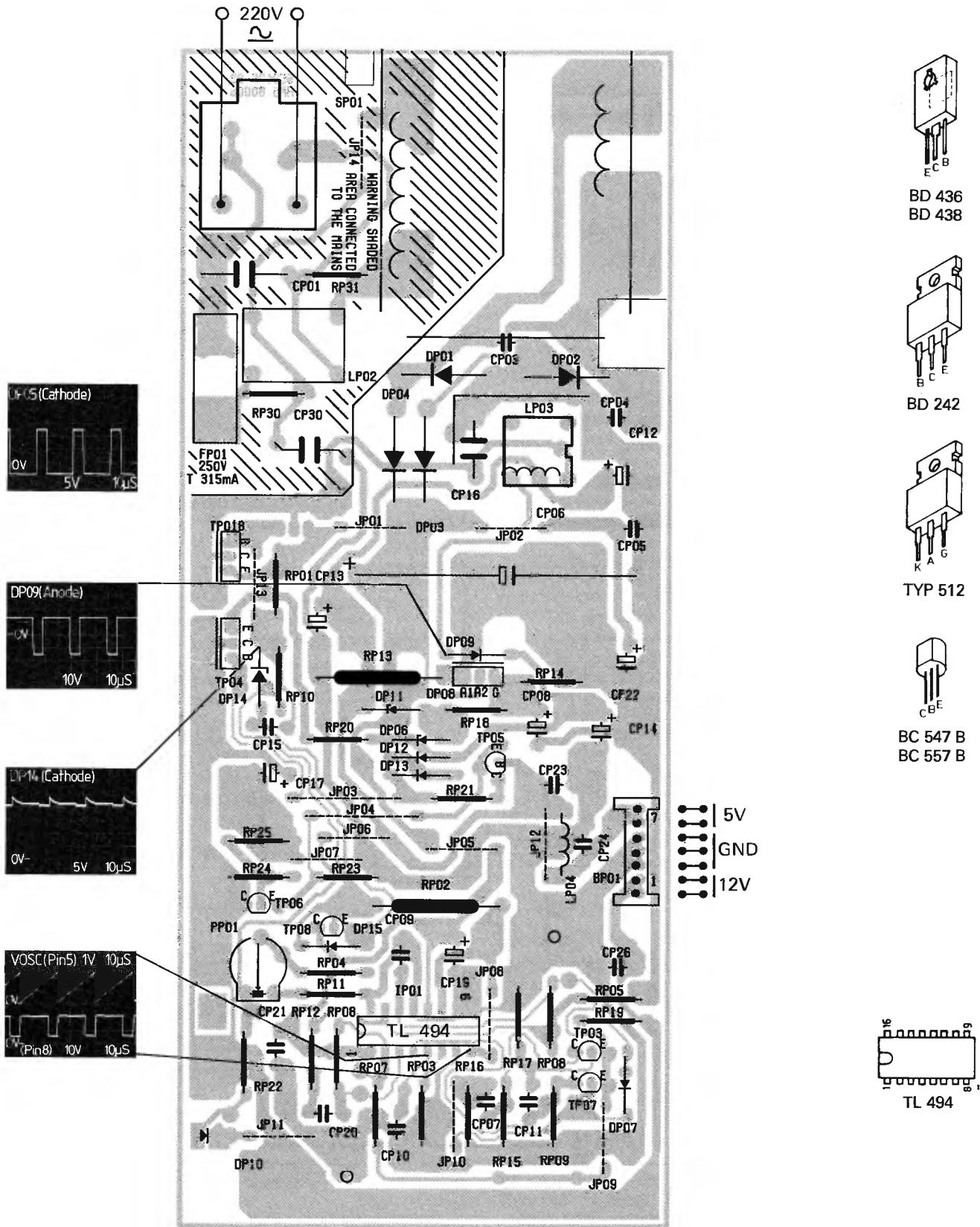
- 1) Short-circuit on (TP01) or defect in the adjustment : a rise occurs in the +5 V. When it reaches about 7 V, the (DP08) thyristor is activated, immediately discharging CP06 and melting the (FP01) fuse.
- 2) Opening of the (DP05) freewheel diode : when the (DP05) opens, an excess voltage appears on the (LP03) terminals when (TP01) is blocked. This excess voltage is transmitted to the (CP14) terminals. (DP06) is then saturated, and it activates the (DP08) thyristor which makes (FP01) melt.

## CHRONOGRAMMES - TIMING





# CIRCUIT IMPRIMÉ - CIRCUIT BOARD



Il existe 3 versions de la platine ALIMENTATION.

Pour les distinguer, on se réfère au numéro inscrit côté cuivre de cette platine :

- 1) xxxxx - 03 HPS 8000S
- 2) xxxxx - 02 HPS 8000S
- 3) xxxxx - 03 HPS 85000S (version export)

Le schéma de principe fait état des composants à mettre sur la version 8500S et des composants facultatifs.

Three versions of the POWER SUPPLY board exist.

To distinguish between them, you should refer to the number written on the copper side of the board :

The circuit diagram shows the components to be put on version 8500S and optional components.



# LISTE DES PIÈCES DÉTACHÉES - PARTS LIST

## A) ELECTRONIQUE ELECTRONIC PARTS

### PLATINE PRINCIPALE MAIN BOARD

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION	REPERE - ITEM POS - RIF - REP
<b>796 TX 1013</b>	<b>PLATINE PRINCIPALE ( HPPB8000S ) EQUIPÉE MAIN BOARD ( HPOP8000S ) CPL.</b>	
276 TX 2237	CIRCUIT INTEGRÉ TMS4256-15NL OU MBB1256-15P INTEGRATED CIRCUIT TMS4256-15NL OR MB81256-15P	IW01→08
276 TX 1969	CIRCUIT INTEGRÉ SN74HC04N INTEGRATED CIRCUIT SN74HC04N	IW09
276 TX 2238	CIRCUIT INTEGRÉ CF74021 ( TEXAS ) INTEGRATED CIRCUIT CF74021 ( TEXAS )	IW10
276 TX 2768	CIRCUIT INTEGRÉ EFG202A ( EFCIS ) INTEGRATED CIRCUIT EFG202A ( EFCIS )	IW10
276 TX 1077	CIRCUIT INTEGRÉ SN74LS245N INTEGRATED CIRCUIT SN74LS245N	IW12
276 TX 1577	CIRCUIT INTEGRÉ MC6809EP OU EF6809EP INTEGRATED CIRCUIT MC6809EP OR EF6809EP	IW13
276 TX 2010	CIRCUIT INTEGRÉ TEA5114 INTEGRATED CIRCUIT TEA5114	IW14
276 TX 2244	CIRCUIT INTEGRÉ 27256( IW15/T08 ) INTEGRATED CIRCUIT 27256( IW15/T08 )	IW15
276 TX 2245	CIRCUIT INTEGRÉ 27256( IW16/T08 ) INTEGRATED CIRCUIT 27256( IW16/T08 )	IW16
276 TX 2246	CIRCUIT INTEGRÉ 27128( IW17/T08 ) INTEGRATED CIRCUIT 27128( IW17/T08 )	IW17
276 TX 1064	CIRCUIT INTEGRÉ SN74LS02N INTEGRATED CIRCUIT SN74LS02N	IW18
276 TX 1067	CIRCUIT INTEGRÉ SN74LS32N INTEGRATED CIRCUIT SN74LS32N	IW19
276 TX 1579	CIRCUIT INTEGRÉ SN74LS173AN INTEGRATED CIRCUIT SN74LS173AN	IW20
276 TX 1065	CIRCUIT INTEGRÉ SN74LS04N INTEGRATED CIRCUIT SN74LS04N	IW21
276 TX 1477	CIRCUIT INTEGRÉ SN74LS122N INTEGRATED CIRCUIT SN74LS122N	IW22
276 TX 1471	CIRCUIT INTEGRÉ SN7407N INTEGRATED CIRCUIT SN7407N	IW23
276 TX 2233	CIRCUIT INTEGRÉ THM-FC-1 OU THMC1 INTEGRATED CIRCUIT THM-FC-1 OR THMC1	IW24
276 TX 1052	CIRCUIT INTEGRÉ MC6821P OU EF6821P INTEGRATED CIRCUIT MC6821P OR EF6821P	IW25-26
276 TX 2239	CIRCUIT INTEGRÉ EF6804P2 INTEGRATED CIRCUIT EF6804P2	IW28
276 TX 1956	CIRCUIT INTEGRÉ EF6846-A810 INTEGRATED CIRCUIT EF6846-A810	IW29
276 TX 1088	CIRCUIT INTEGRÉ MC14050BCP INTEGRATED CIRCUIT MC14050BCP	IW31
276 TX 1988	CIRCUIT INTEGRÉ EF9369P INTEGRATED CIRCUIT EF9369P	IW32
102 TX 7175	CONNECTEUR CARTOUCHE ( 27BR ) 27-PATH CONNECTOR ( CARTRIDGE )	BW02
102 TX 7176	CONNECTEUR FEMELLE 11 VOIES ( MYLAR CLAVIER ) 11-PATH SOCKET CONNECTOR ( KEYBOARD )	BW03-04
102 TX 6189	CONNECTEUR FEMELLE 2X7 VOIES 2X7-PATH SOCKET CONNECTOR	BW06
102 TX 6187	CONNECTEUR MALE 9 BROCHES ( SUB-D9 ) ( MANETTES/SOURIS ) 9-PIN CONNECTOR ( SUB-D9 ) ( JOYSTICK/MOUSE )	BW11-12
102 TX 6190	CONTACTEUR ( INITIALISATION ) SWITCH ( RESET )	SW01
273 TX 0200	DIODE 1N4148 DIODE 1N4148	DW01→08- 10→19- 22
102 TX 7177	PRISE DIN 14 BROCHES ( LECTEUR DE DISQUETTES ) 14-PIN DIN SOCKET ( DISK DRIVE )	BW05
102 TX 7178	PRISE CINCH ( SORTIE AUDIO ) CINCH SOCKET ( AUDIO OUTPUT )	BW07

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION	REPERE - ITEM POS - RIF - REP
102 TX 0784	PRISE FEMELLE PERITELEVISION SCART PERITELEVISION SOCKET	BW08
102 TX 1005	PRISE DIN 5 BROCHES INSERABLE ( LECTEUR DE PROGRAMME ) 5-PIN DIN SOCKET ( PROGRAM RECORDER )	BW09
102 TX 4120	PRISE DIN 5 BROCHES INSERABLE ( CRAYON OPTIQUE ) 5-PIN DIN SOCKET ( LIGHT PEN )	BW10
102 TX 1006	QUARTZ 16MHz CRYSTAL 16MHz	QW01
102 TX 7194	QUARTZ 11MHz CRYSTAL 11MHz	QW03
102 TX 1002	SUPPORT CIRCUIT INTEGRÉ 2X20 VOIES 2X20-PATH IC SOCKET	
101 TX 2141	SUPPORT CIRCUIT INTEGRÉ 2X14 VOIES 2X14-PATH IC SOCKET	
270 TX 0648	TRANSISTOR BC547B TRANSISTOR BC547B	TW01→09- 14-20-21
270 TX 0649	TRANSISTOR BC557B TRANSISTOR BC557B	TW12-13-22

### ALIMENTATION POWER SUPPLY

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION	REPERE - ITEM POS - RIF - REP
<b>596 TX 1796</b>	<b>ENSEMBLE ALIMENTATION ( HPS8000S ) POWER SUPPLY ( HPS8000S )</b>	
276 TX 0964	CIRCUIT INTEGRÉ TL494 INTEGRATED CIRCUIT TL494	IP01
207 TX 2405	CONDENSATEUR PAPIER METALLISE 0,1µF 20% 275V METALLIZED PAPER CAPACITOR 0,1µF 20% 275V	CP01
207 TX 0514	CONDENSATEUR CHIMIQUE 4700µF 40V ELECTROLYTIC CAPACITOR 4700µF 40V	CP06
207 TX 0220	CONDENSATEUR CHIMIQUE 100µF 16V ELECTROLYTIC CAPACITOR 100µF 16V	CP08-17
207 TX 1244	CONDENSATEUR CHIMIQUE 1000µF 10V ELECTROLYTIC CAPACITOR 1000µF 10V	CP12-13
207 TX 1313	CONDENSATEUR CHIMIQUE 220µF 25V ELECTROLYTIC CAPACITOR 220µF 25V	CP14
240 TX 0119	CONDENSATEUR CHIMIQUE 10µF 63V ELECTROLYTIC CAPACITOR 10µF 63V	CP19
102 TX 3765	CONTACTEUR MARCHE/ARRÊT ON/OFF SWITCH	SP01
273 TX 0407	DIODE BY251 DIODE BY251	DP01→04
273 TX 1622	DIODE MUR405 DIODE MUR405	DP05
273 TX 0443	DIODE BZX83C20 DIODE BZX83C20	DP06
273 TX 0200	DIODE 1N4148 DIODE 1N4148	DP07-12-13
273 TX 0033	DIODE BA157 OU BY201 DIODE BA157 OR BY201	DP09-15
273 TX 1781	DIODE LED ROUGE TLSR5101 ( AVEC SUPPORT ) LED,RED TLSR5101 ( WITH BRACKET )	DP10
273 TX 1621	DIODE BZX83BV6V2 DIODE BZX83BV6V2	DP11
273 TX 0977	DIODE BZX83C2V7 DIODE BZX83C2V7	DP14
291 TX 0016	FUSIBLE VERRE 315mA TEMPORISE TIME-LAG GLASS FUSE 315mA	FP01
207 TX 0377	POTENTIOMÈTRE AJUSTABLE 1 kΩ ADJUSTABLE POTENTIOMETER 1 kΩ	PP01
207 TX 2149	RESISTANCE A COUCHE 82 Ω 5% 2W FILM RESISTOR 82 Ω 5% 2W	RP02
207 TX 2530	RESISTANCE BOBINÉE 0,1 Ω 10% 2W WIRE-WOUND RESISTOR 0,1 Ω 10% 2W	RP13
423 TX 0490	SELF TRANSFORMER	LP03



CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION	REPÈRE - ITEM POS - RIF - REP
101 TX 3081	SELF CHOKE	LP04
116 TX 0007	SUPPORT FUSIBLE FUSE-HOLDER	
270 TX 1772	THYRISTOR TYP512 THYRISTOR TYP512	DP08
433 TX 0623	TRANSFORMATEUR D'ALIMENTATION POWER TRANSFORMER	LP02
270 TX 1876	TRANSISTOR BD436 TRANSISTOR BD436	TP01
270 TX 0649	TRANSISTOR BC557B TRANSISTOR BC557B	TP03-07
270 TX 1546	TRANSISTOR BD242C TRANSISTOR BD242C	TP04
270 TX 064B	TRANSISTOR BC547B TRANSISTOR BC547B	TP05-06-08

## B) EQUIPEMENT-PRESENTATION EQUIPMENT-OUTER PARTS

CODE - CODICE CODIGO	DESIGNATION - DESCRIPTION BEZEICHNUNG - DESIGNAZIONE - DESIGNACION
512 TX 0820	CLAVIER MECANIQUE ( AZERTY ) MECHANICAL KEYBOARD ( AZERTY )
715 TX 1429	COFFRET INFÉRIEUR TO8 LOWER CABINET TO8
705 TX 1286	COFFRET SUPÉRIEUR TO8 EQUIPE UPPER CABINET TO8
847 TX 0547	CORDON PERITELEVISION ( MALE/MALE ) SCART LEAD ( PLUG/PLUG )
824 TX 0051	CORDON SECTEUR NOIR MAINS LEAD, BLACK
102 TX 3841	PIED CAOUTCHOUC RUBBER FOOT
102 TX 1027	PROTECTEUR PLASTIQUE ( SORTIE BUS ) PLASTIC COVER ( BUS OUTPUT )
102 TX 1028	PROTECTEUR PLASTIQUE ( EXTENSION MéMOIRE ) PLASTIC PROTECTION ( MEMORY EXTENSION )
136 TX 3129	RESSORT A EPINGLE ( RAPPEL VOLET ) TORSION SPRING ( PLASTIC FLAP )
166 TX 4940	TOUCHE NOIRE BUTTON, BLACK
152 TX 4474	VOLET PLASTIQUE ( TRAPPE CARTOUCHE ) PLASTIC FLAP ( CARTRIDGE TRAP )

