

Alumno: Tobias Naim Orban

DNI: 46385637

Materia: Arquitectura y Organizacion de computadoras

Practico Memoria

- 1) Si el módulo de memoria RAM se encuentra en una placa madre:  
con un bus que funciona a 400 Mhz (400 millones de ciclos por segundo) y  
en cada ciclo del reloj se realiza una transferencia de datos; y  
el bus es de 64 bits, o sea que se pueden transferir 64 bits simultáneamente por  
las pistas del bus en cada ciclo;  
si multiplicamos  $400.000.000 \times 64 = 25.600.000.000$  bits por segundo, y como  
cada byte está compuesto por 8 bits, si dividimos  
 $25.600.000.000/8=3.200.000.000$ ; esto significa que se pueden transferir  
teóricamente 3200 Megabytes por segundo. Obviamente estos números pueden  
variar por distintos motivos.
- 2) 4 GB DDR3-2133 PC3-17000 significa que es una memoria DDR3 con una  
capacidad de 4 GB y una velocidad de transferencia de 2133 MT/s, con un ancho  
de banda máximo de 17 GB/s.
- 3) Tasa de transferencia por canal= $1067\text{MHz} \times 8\text{bytes} \times 2 = 17072\text{MB/s}$   
Tasa de transferencia en Dual Channel= $17072\text{MB/s} \times 2 = 34144\text{MB/s}$   
la tasa de transferencia de una memoria DDR3-2133 PC3-17000 en configuración  
dual channel con un bus de datos que opera a 1067 MHz es 34144 MB/s.
- 4) promedio =  $H \cdot I_{\text{cache}} + (1 - H) \cdot (I_{\text{cache}} + T_{\text{memoria principal}})$   
Donde:  
H es el hit ratio.  
T cache es el tiempo de acceso a la memoria caché.  
T memoria principal es el tiempo de acceso a la memoria principal.

Supongamos:

T cache = 1 ns

memoria principal = 10 ns

Para  $H = 0.15$ :

$$T_{\text{promedio}} = 0.15 \cdot 1 + (1 - 0.15) \cdot (1 + 10)$$

$$T_{\text{promedio}} = 0.15 + 0.85 \cdot 11$$

$$T_{\text{promedio}} = 0.15 + 9.35$$

$$T_{\text{promedio}} = 9.5 \text{ ns}$$

Para  $H = 0.85$ :

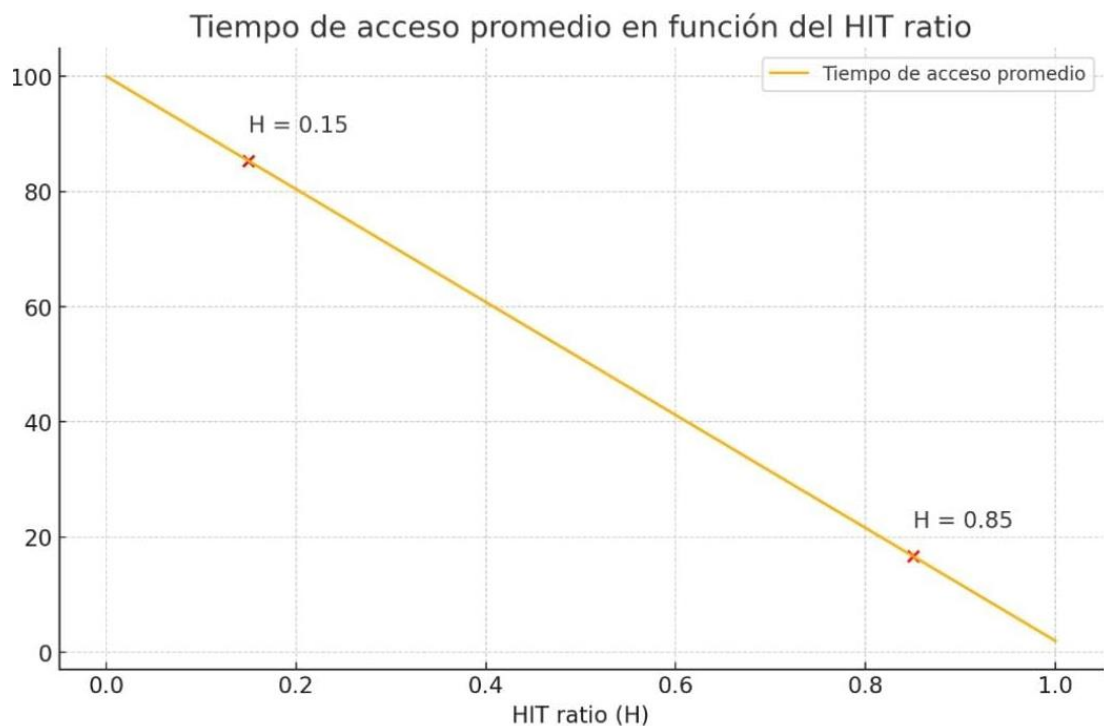
$$T_{\text{promedio}} = 0.85 \cdot 1 + (1 - 0.85) \cdot (1 + 10)$$

$$T_{\text{promedio}} = 0.85 + 0.15 \cdot 11$$

$$T_{\text{promedio}} = 0.85 + 1.65$$

$$T_{\text{promedio}} = 2.5 \text{ ns}$$

El valor más deseable es  $H = 0.85$  porque resulta en un menor tiempo de acceso promedio.



- 5) a) La cache tiene un tamaño de 256 KB = 218 bytes. como cada línea tiene 26 bytes, el número de líneas es  $218 \text{ bytes} / 26 \text{ bytes} = 212 \text{ líneas} = 4096 \text{ líneas}$ . Como la caché es asociativa por conjuntos de 4 vías, cada conjunto tiene cuatro líneas, por tanto el número de conjuntos es  $4096 / 4 = 1024 \text{ conjuntos}$ .
- b) El tamaño del bloque que se transfiere entre memoria principal y cache coincide con el tamaño de la línea, es decir, con 64 bytes.

- 6) a) El computador ejecuta 50 millones de instrucciones por segundo. La ejecución de cada instrucción supone un acceso a memoria de lectura para la lectura de la propia instrucción. Además, de todas estas, el 40 % (correspondientes a las instrucciones LOAD y STORE) implican un acceso adicional a memoria principal. Por lo tanto, en un segundo se realizan 50 millones de accesos a memoria por segundo más 20 millones (un 40% de 50) de accesos para las instrucciones LOAD y STORE. El número total de accesos a memoria es de 70 millones de accesos por segundo.
- b) De todos los 70 millones de accesos a memoria hay que determinar cuántos son de lectura y cuántos de escritura. 50 millones son lecturas de las instrucciones en sí. De los 20 millones de accesos a memoria correspondientes a las instrucciones LOAD y STORE, el 75% (3 de cada 4) corresponden a lecturas de la instrucción LOAD y el 25 % restante a escrituras correspondientes a instrucciones STORE, es decir, 15 millones de accesos son de lectura y 5 millones de acceso por segundo son de escritura.