## Unidad Nº 3

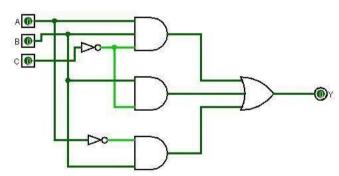
## Primera Parte: Lógica Combinacional

1. Para la siguiente pareja de sucesión de bits:

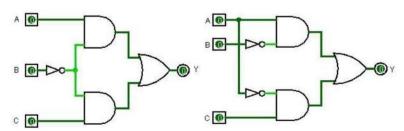
101100111000 000111001101

Determine como se procesaría por:

- a) una compuerta OR
- b) una compuerta AND
- 2. Dados: A = 1100110110; B = 1110000111; C = 1010010110, obtener
  - a) A+B+C
  - b) A\*B\*C
  - c) C\*(Ā+B)
  - d) (B+C)' \*A
- 3. Las siguientes tablas expresan el valor lógico de una salida F en función de una variable de entrada D, de acuerdo al valor que tiene otra variable de control C. Determine de qué función lógica de C y D se trata en cada caso, a partir de la tabla de verdad obtenida del desarrollo de las tablas dadas.
  - a) C F 0 D 1 1
- b) C F 0 1 1 D'
- c) C F 0 D 1 D'
- d) C F 0 D' 1 0
- e) C F 0 0 1 D
- f) C F 0 D' 1 D
- 4. Encuentre una expresión de Boole y la tabla de verdad para el circuito lógico de la siguiente figura:



- 5. Para cada uno de los siguientes circuitos lógicos:
  - a) Exprese la salida "Y" como una expresión de Boole de las entradas A, B y C.
  - b) Encuentre la tabla de verdad del circuito.



- 6. Determine por medio de una tabla de verdad la validez del teorema de De Morgan para tres variables: (ABC)' = A' + B' + C'
- 7. Liste la tabla de verdad de una función XOR (impar) de tres variables F= A ⊕ B ⊕ C. ¿Qué aplicación puede dársele?
- 8. Simplifique las siguientes expresiones usando mapas de karnaugh.
  - a) A + AB
  - b) AB + AB'
  - c) A'BC + AC
- Dada la función booleana:

$$F = AB'C + A'B'C + ABC$$

- a) Liste la tabla de verdad para la función.
- b) Dibuje un diagrama lógico por medio de la expresión booleana original.
- c) Dibuje el diagrama lógico de la expresión simplificada y compare el número total de compuertas con el diagrama original.
- 10. Simplifique las siguientes funciones booleanas mediante mapas de tres variables.
  - a)  $F(A, B, C) = \sum (0, 1, 5, 7)$
  - b)  $F(A, B, C) = \sum (1, 2, 3, 6, 7)$ c)  $F(A, B, C) = \sum (3, 5, 6, 7)$
- 11. Simplifique las siguientes funciones booleanas por medio de mapas de cuatro variables.
  - a)  $F(A, B, C, D) = \sum (4,6,7,15)$
  - b)  $F(A, B, C, D) = \overline{\sum} (3,7,11,13,14,15)$
  - c)  $F(A, B, C, D) = \sum_{i=1}^{n} (0,1,2,4,5,7,11,15)$
- 12. Las cuatro líneas que entran a un circuito lógico combinacional (x<sub>3</sub>, x<sub>2</sub>, x<sub>1</sub>, x<sub>0</sub>) llevan un dígito decimal codificado en binario (BCD), es decir, los equivalentes binarios de los números 0-9, siendo x<sub>3</sub> el bit más significativo.

Las combinaciones de los valores correspondientes a los valores 10 –15 nunca aparecerán en las líneas de entrada. La salida Z del circuito deberá ser 1 si y solo si la combinación entrante es una potencia de 2. Obtenga un circuito mínimo de dos niveles y construya un diagrama lógico.

- 14. Implemente la función  $F(A, B, C, D) = \sum_{i=1}^{n} (0, 1, 4, 5, 8, 9, 12, 13, 15)$ 
  - a) con un multiplexor de 8 canales.
  - b) con un multiplexor de 4 canales.
  - c) con un decodificador de 4 a 16.
  - d) con dos decodificadores de 3 a 8

15. Con a) un multiplexor y b) un decodificador, diseñe un circuito que permita obtener la siguiente tabla de verdad:

$S_1$	$S_0$	Salida	Operación
0	0	$G = \overline{A}$	NOT
0	1	$G = A \wedge B$	AND
1	0	$G = A \vee B$	OR
1	1	$G = A \oplus B$	XOR

- 16. En un sistema de control de calidad se extraen muestras de 4 unidades. Cada unidad se examina, indicándose con 1 si fue aprobada, y con 0 si fue rechazada. Las cuatro señales lógicas con los resultados de cada muestra entran a un circuito lógico, que se quiere implementar, cuyas salidas deben indicar:
  - a) Si todas las unidades han sido aprobadas. -
  - b) Si la mayoría ha sido aprobada. -
  - c) Si hay igual número de aprobadas y rechazadas. -
  - d) Si hay mayoría de rechazadas. -
- 17. Diseñe un circuito combinacional que responda al funcionamiento de un display de siete segmentos.
- 18. Con separadores de tres estados y un decodificador, construya un multiplexor de cuatro canales.
- 19. Dibuje la tabla de verdad y el circuito básico de un semi sumador.
- 20. Diseñe un sumador completo de un bit:
  - a) Con lógica de dos niveles.
  - b) Con dos semisumadores.
  - c) Con un decodificador de 3 a 8.
  - d) Con dos multiplexores de 4 a 1.