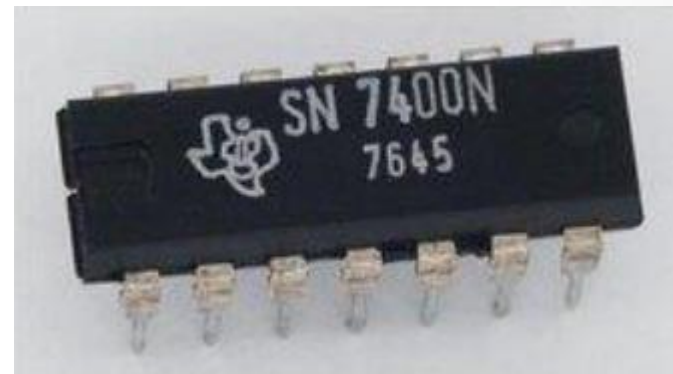
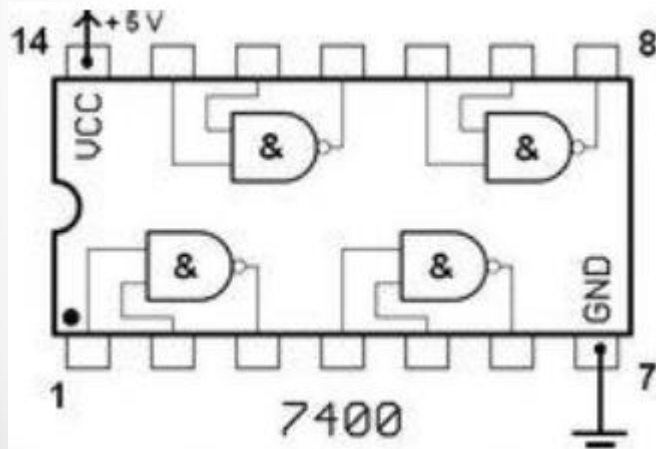


Unidad 3: Circuitos secuenciales

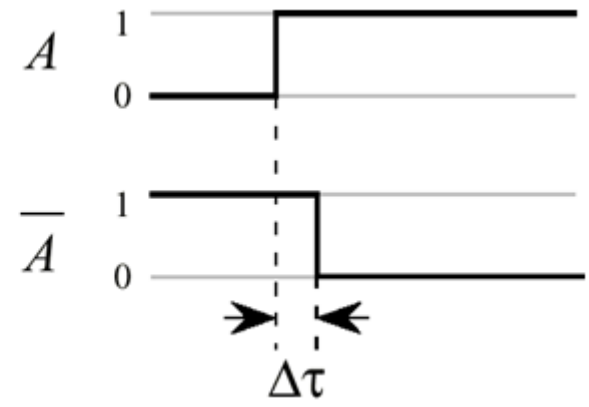
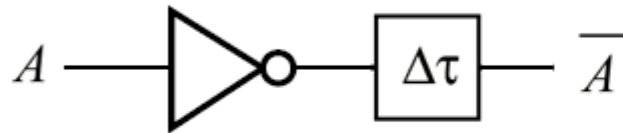
Repaso de conceptos de Algebra de Boole. Circuitos digitales básicos. Circuitos integrados. Circuitos lógicos combinacionales: sumadores, sustractores, conversores de código.

Relojes. El factor tiempo: circuitos lógicos secuenciales. Concepto de memoria y lógica programable. Registros y contadores.

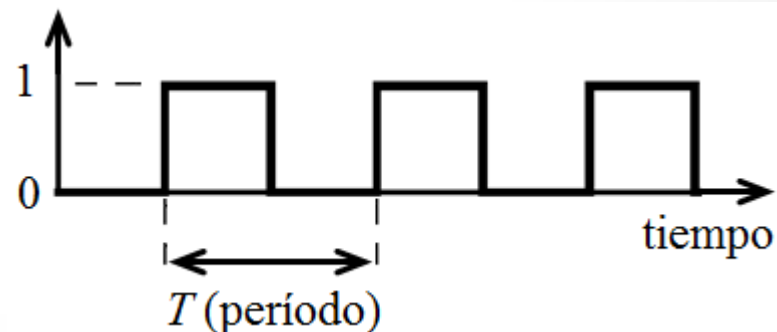


El tiempo en los circuitos lógicos

Retardos: Los circuitos lógicos reales introducen *retardos de propagación* entre entradas y salidas :



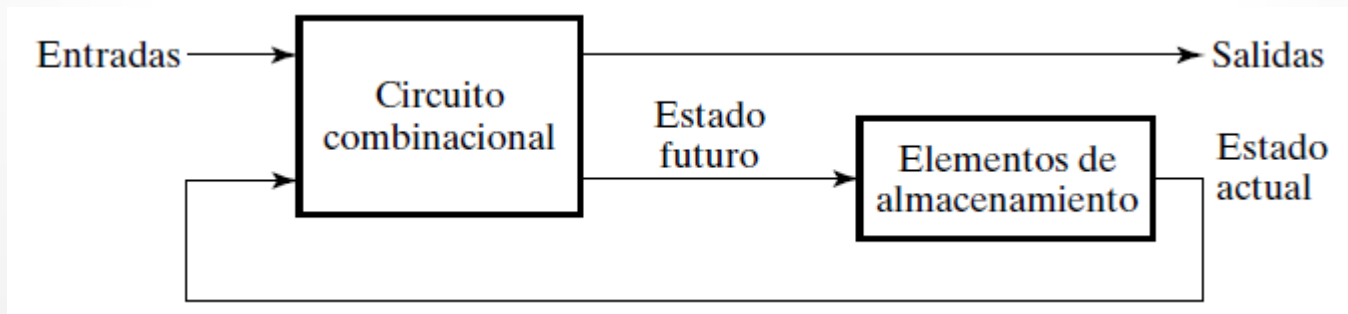
Sincronismo: en los circuitos secuenciales, se debe proveer una señal que determina el momento en el que se producen los cambios en los valores lógicos, lo que se logra con una señal periódica de frecuencia fija, llamada *Reloj (Clock)*.



Circuitos secuenciales

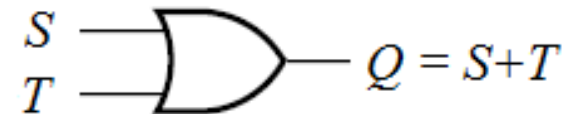
- **Circuito Combinacional:** circuito lógico en el cual el valor de las salidas depende *exclusivamente* de los valores lógicos presentes en las entradas.
- **Circuito Secuencial:** circuito lógico en el cual el valor de las salidas depende *no solo* de los valores lógicos presentes en las entradas, sino también de la secuencia temporal previa de esos valores en esas entradas.

Para poder “recordar” una secuencia temporal previa, es necesario que el circuito posea capacidad de *almacenar* información, es decir, tenga **memoria**.

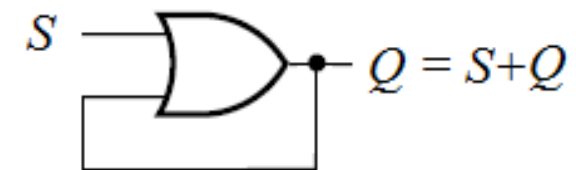


Memoria en circuitos lógicos

Un circuito combinacional responde (casi) instantáneamente a la excitación presente en sus entradas



Si ahora se conecta la salida a una de las entradas (es decir, se introduce una *realimentación*):



Suponiendo que $S = Q = 0$ para t_0 , al introducir la siguiente secuencia temporal en S se tiene:

S	\rightarrow	0	1	1	0	0	0
Q	\rightarrow	0	0	1	1	1	1
$S+Q$	\rightarrow	0	1	1	1	1	1
		\uparrow	\uparrow	\uparrow	\uparrow	\uparrow	\uparrow
		t_0	t_1	t_2	t_3	t_4	t_5

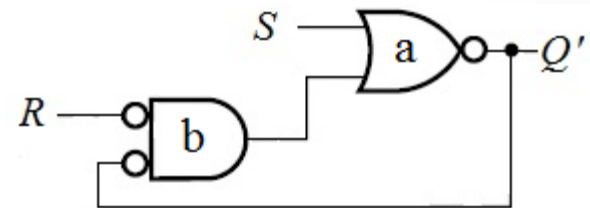
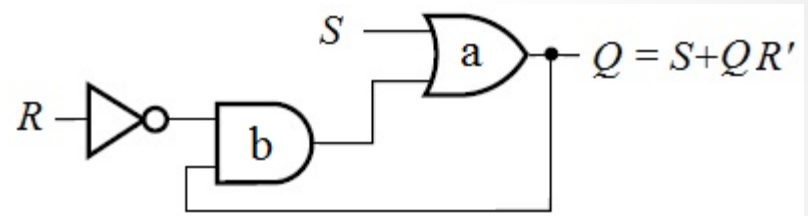
Se observa a partir de t_3 , que una vez que se introdujo un 1 en S , la salida permanece siempre en 1, aunque S vuelva a 0

Memoria en circuitos lógicos

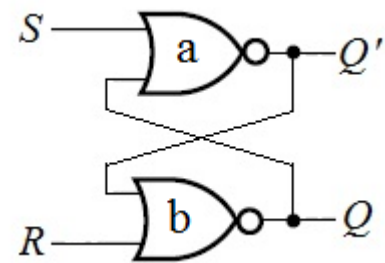
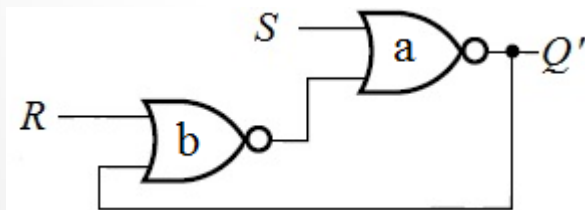
En el circuito anterior, la salida retiene un 1 que aparece en S , aún cuando ésta vuelva a 0. Es decir, Q memoriza el 1 de S .

Sin embargo, debe ser posible llevar el circuito a las condiciones iniciales. Para ello, se debe abrir el lazo de realimentación, controlándolo con una entrada R .

Introduciendo una doble negación en el lazo de realimentación resulta:



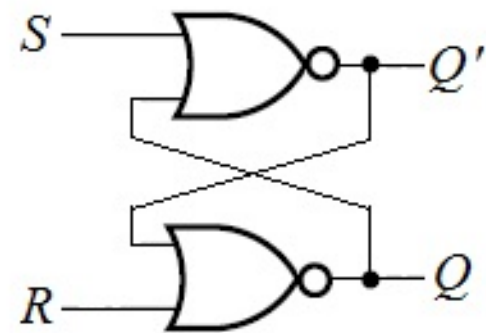
Aplicando DeMorgan a la compuerta b , se obtiene el diagrama circuital del *biestable* o *flip-flop* **R-S**:



Biastable R-S

El diagrama circuital obtenido para el biestable R-S y la expresión de su salida Q son:

$$Q = S + R'Q$$



Sin embargo existen dos problemas:

- En la ecuación anterior, si $S = 1$ y $Q = 0 \rightarrow Q = 1$, lo que no es posible. La única solución surge de la observación que los Q de los dos términos de la expresión **no son los mismos**. En realidad:

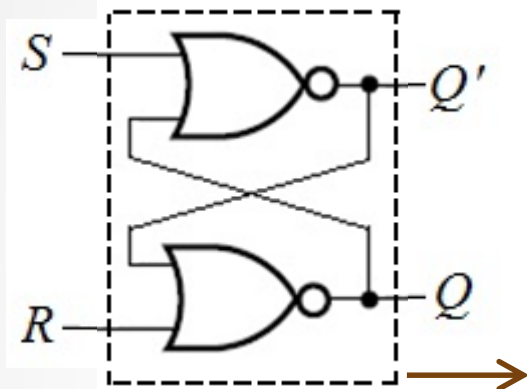
$$Q_{(t+1)} = S + R'Q_{(t)}$$

donde la diferencia entre t y $t+1$ es, en la práctica, el *retardo* introducido por las características físicas de las compuertas.

- En el circuito se ve que si $S = R = 1 \rightarrow Q = Q' = 0$. Por lo tanto, para que se verifique que ambas salidas son complementarias, la combinación $SR = 11$ **no está permitida**.

Formas de representación de un F.F.

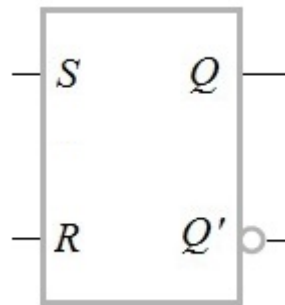
Diagrama circuital



Ecuación característica

$$Q_{(t+1)} = S + R'Q_{(t)}$$

Símbolo



S	R	$Q_{(t)}$	$Q_{(t+1)}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

$Q_{(t)}$	$Q_{(t+1)}$	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Tabla de excitación

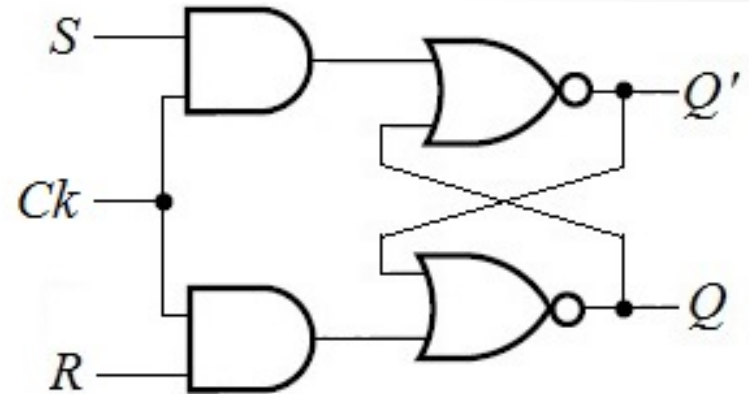
S	R	$Q_{(t+1)}$
0	0	$Q_{(t)}$
0	1	0
1	0	1
1	1	X

Tabla característica

Tabla de verdad

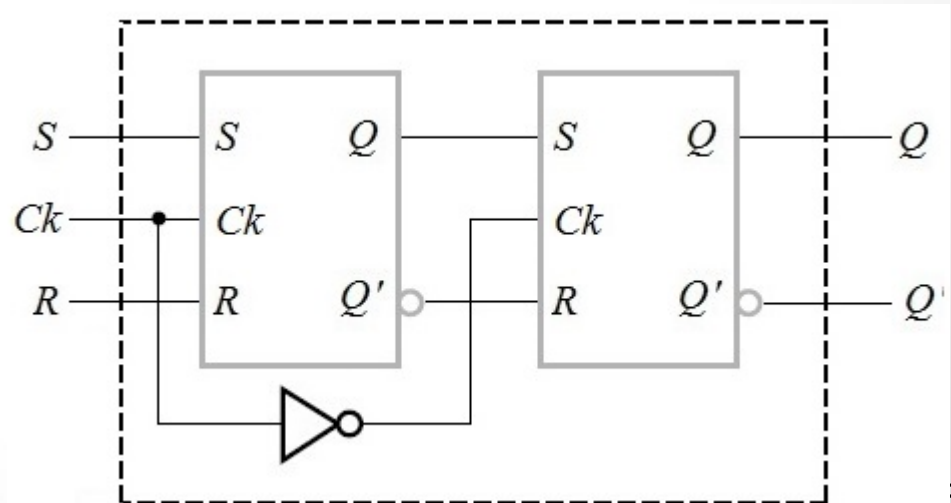
Biestables síncronos y maestro-esclavo

Para establecer un sincronismo entre los biestables de un circuito, se les conecta una señal de reloj común. Los cambios se producen cuando $Ck = 1$



Modificando el circuito, se puede hacer que las transiciones se produzcan en los *flancos* positivos o negativos de la señal del reloj.

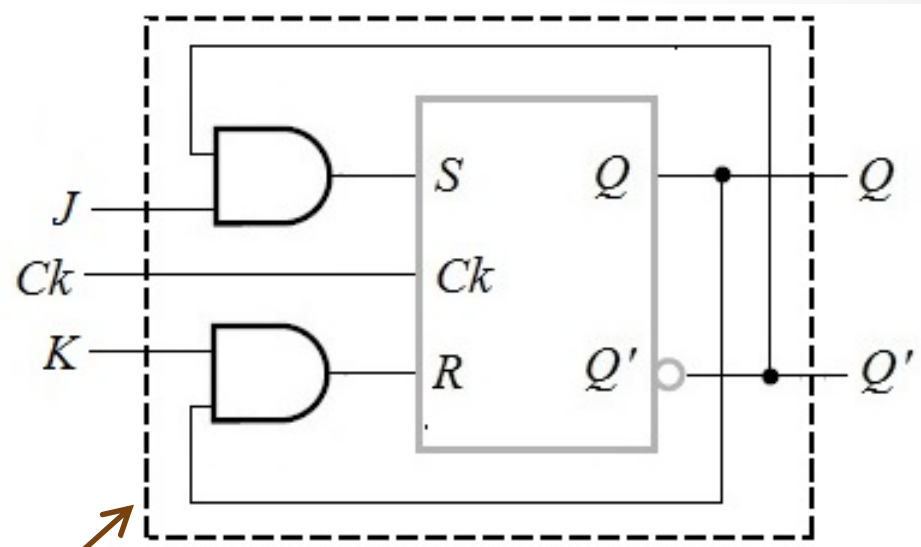
Para evitar que biestables conectados en cadena evolucionen al mismo tiempo, se acoplan dos biestables con los clocks invertidos, configuración denominada maestro-esclavo



Biastable J-K

S	R	$Q_{(t+1)}$
0	0	$Q_{(t)}$
0	1	0
1	0	1
1	1	X

El R-S presenta el problema de la combinación no válida SR=11. Lo soluciona el J-K



$$Q_{(t+1)} = J Q_{(t)}' + K' Q_{(t)}$$

Ecuación y tabla características

J	K	$Q_{(t+1)}$
0	0	$Q_{(t)}$
0	1	0
1	0	1
1	1	$Q_{(t)}'$

Biestables D y T

Los biestables R-S y J-K tienen el problema de tener dos entradas

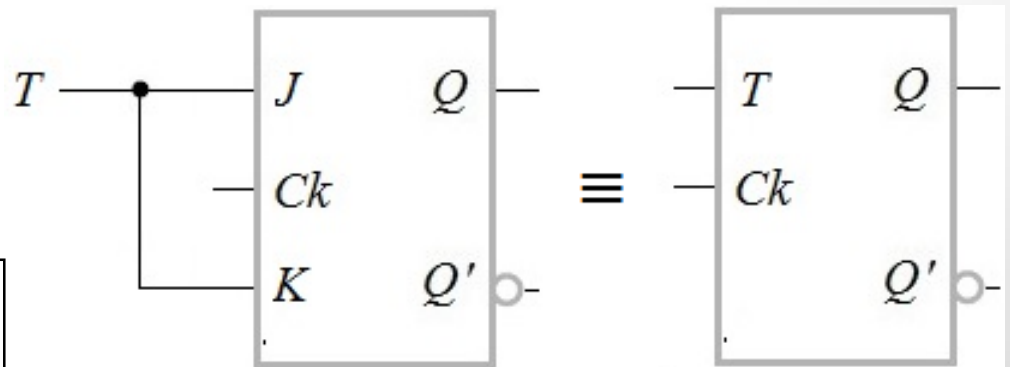
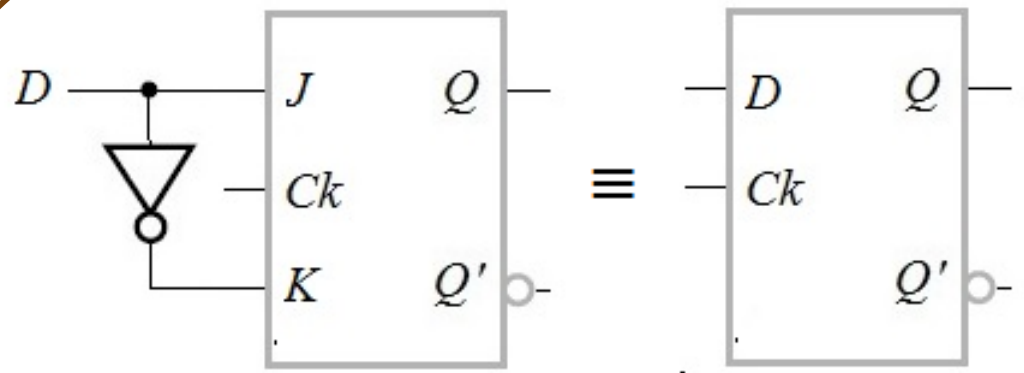
J	K	$Q_{(t+1)}$
0	0	$Q_{(t)}$
0	1	0
1	0	1
1	1	$Q_{(t)}'$

T	$Q_{(t+1)}$
0	$Q_{(t)}$
1	$Q_{(t)}'$

$$Q_{(t+1)} = T Q_{(t)}' + T' Q_{(t)}$$

D	$Q_{(t+1)}$
0	0
1	1

$$Q_{(t+1)} = D$$

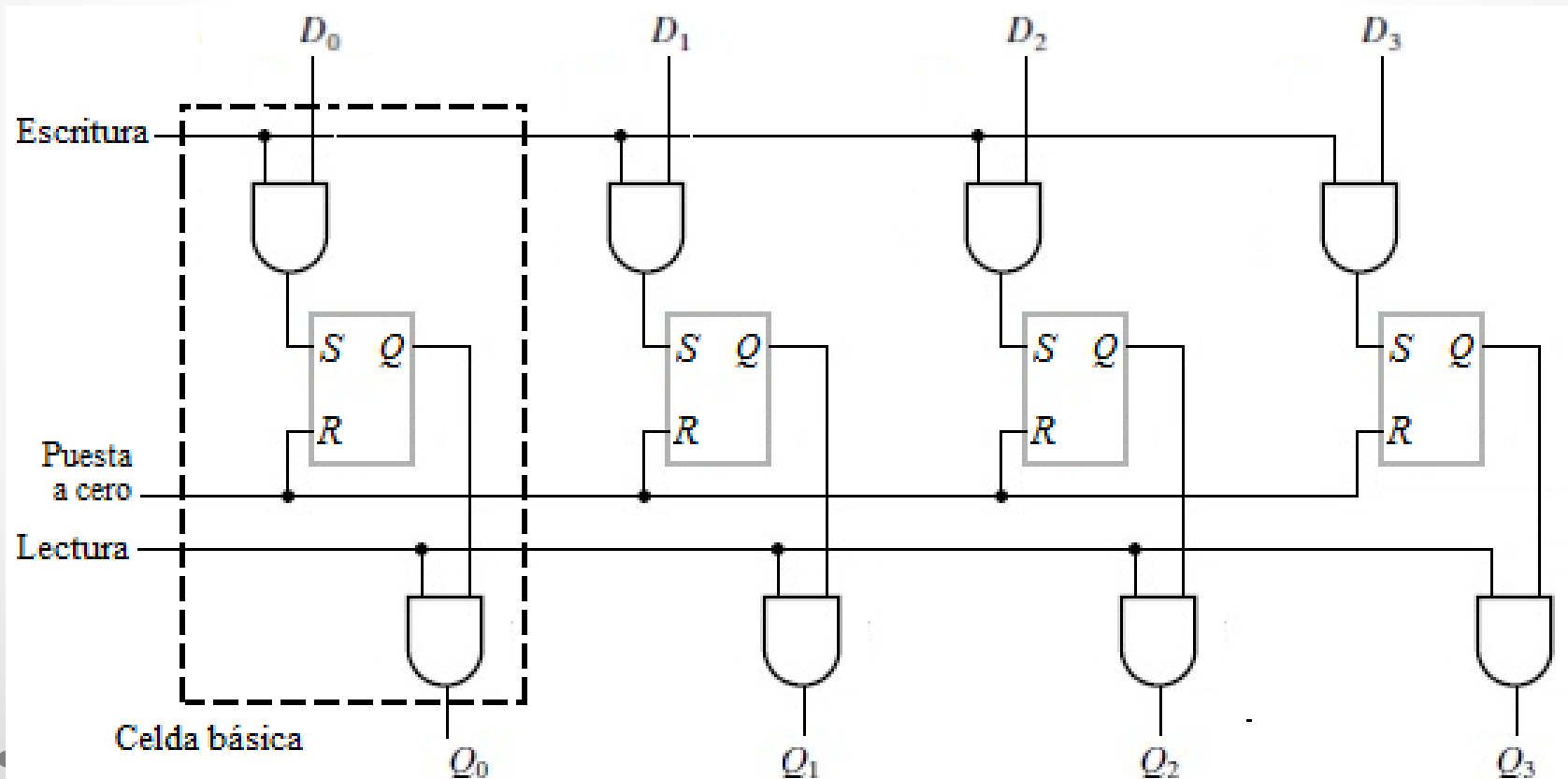


Resumen de biestables

	$R-S$	$J-K$	D	T																																																																						
Tabla característica	<table> <tr> <th>S</th> <th>R</th> <th>$Q_{(t+1)}$</th> </tr> <tr> <td>0</td> <td>0</td> <td>$Q_{(t)}$</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> </tr> </table>	S	R	$Q_{(t+1)}$	0	0	$Q_{(t)}$	0	1	0	1	0	1	1	1	X	<table> <tr> <th>J</th> <th>K</th> <th>$Q_{(t+1)}$</th> </tr> <tr> <td>0</td> <td>0</td> <td>$Q_{(t)}$</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>$Q(t)'$</td> </tr> </table>	J	K	$Q_{(t+1)}$	0	0	$Q_{(t)}$	0	1	0	1	0	1	1	1	$Q(t)'$	<table> <tr> <th>D</th> <th>$Q_{(t+1)}$</th> </tr> <tr> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> </tr> </table>	D	$Q_{(t+1)}$	0	0	1	1	<table> <tr> <th>T</th> <th>$Q_{(t+1)}$</th> </tr> <tr> <td>0</td> <td>$Q_{(t)}$</td> </tr> <tr> <td>1</td> <td>$Q(t)'$</td> </tr> </table>	T	$Q_{(t+1)}$	0	$Q_{(t)}$	1	$Q(t)'$																												
S	R	$Q_{(t+1)}$																																																																								
0	0	$Q_{(t)}$																																																																								
0	1	0																																																																								
1	0	1																																																																								
1	1	X																																																																								
J	K	$Q_{(t+1)}$																																																																								
0	0	$Q_{(t)}$																																																																								
0	1	0																																																																								
1	0	1																																																																								
1	1	$Q(t)'$																																																																								
D	$Q_{(t+1)}$																																																																									
0	0																																																																									
1	1																																																																									
T	$Q_{(t+1)}$																																																																									
0	$Q_{(t)}$																																																																									
1	$Q(t)'$																																																																									
Tabla de excitación	<table> <tr> <th>$Q_{(t)}$</th> <th>$Q_{(t+1)}$</th> <th>S</th> <th>R</th> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>X</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> <td>0</td> </tr> </table>	$Q_{(t)}$	$Q_{(t+1)}$	S	R	0	0	0	X	0	1	1	0	1	0	0	1	1	1	X	0	<table> <tr> <th>$Q_{(t)}$</th> <th>$Q_{(t+1)}$</th> <th>J</th> <th>K</th> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>X</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>X</td> </tr> <tr> <td>1</td> <td>0</td> <td>X</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>X</td> <td>0</td> </tr> </table>	$Q_{(t)}$	$Q_{(t+1)}$	J	K	0	0	0	X	0	1	1	X	1	0	X	1	1	1	X	0	<table> <tr> <th>$Q_{(t)}$</th> <th>$Q_{(t+1)}$</th> <th>D</th> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </table>	$Q_{(t)}$	$Q_{(t+1)}$	D	0	0	0	0	1	1	1	0	0	1	1	1	<table> <tr> <th>$Q_{(t)}$</th> <th>$Q_{(t+1)}$</th> <th>T</th> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </table>	$Q_{(t)}$	$Q_{(t+1)}$	T	0	0	0	0	1	1	1	0	1	1	1	0
$Q_{(t)}$	$Q_{(t+1)}$	S	R																																																																							
0	0	0	X																																																																							
0	1	1	0																																																																							
1	0	0	1																																																																							
1	1	X	0																																																																							
$Q_{(t)}$	$Q_{(t+1)}$	J	K																																																																							
0	0	0	X																																																																							
0	1	1	X																																																																							
1	0	X	1																																																																							
1	1	X	0																																																																							
$Q_{(t)}$	$Q_{(t+1)}$	D																																																																								
0	0	0																																																																								
0	1	1																																																																								
1	0	0																																																																								
1	1	1																																																																								
$Q_{(t)}$	$Q_{(t+1)}$	T																																																																								
0	0	0																																																																								
0	1	1																																																																								
1	0	1																																																																								
1	1	0																																																																								
$Q_{(t+1)} =$	$S + R'Q_{(t)}$	$JQ_{(t)}' + K'Q_{(t)}$	D	$TQ_{(t)}' + T'Q_{(t)}$																																																																						
Símbolo																																																																										

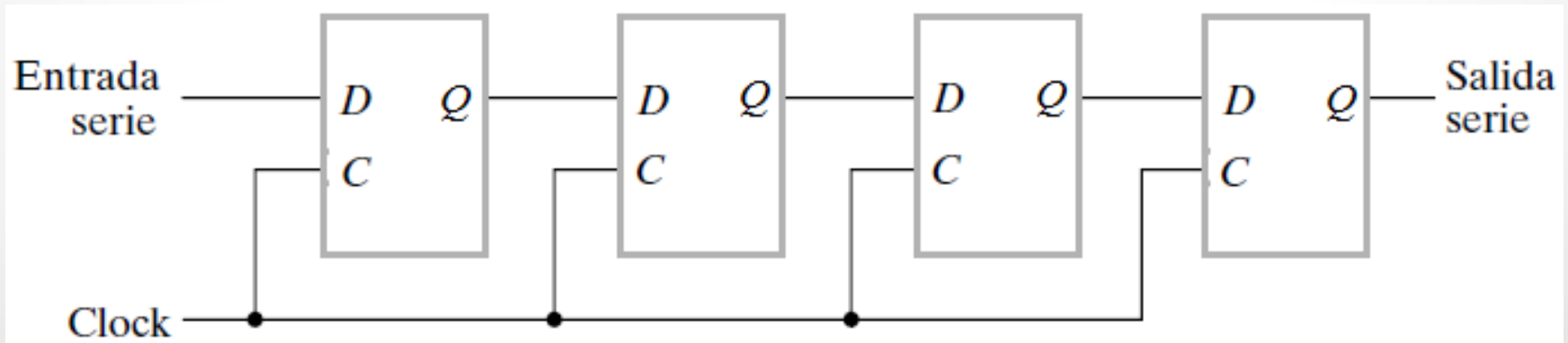
Registros

- Un biestable tiene la capacidad de almacenar 1 bit.
- Un *registro* (o *registro paralelo*) es un conjunto de n biestables que tienen en general una o más líneas comunes para la selección de una o más operaciones en todos ellos.



Registros de desplazamiento

- Un *registro de desplazamiento* traslada en forma secuencial un pulso a lo largo de una cadena de biestables.
- En cada pulso de reloj, el valor presente en la entrada en serie se copia en el primer biestable, y los contenidos de cada uno se copian en el siguiente de la cadena. El contenido del último se pierde.



Contadores

- Un *contador* es un circuito que con cada pulso de reloj modifica en una unidad el valor presente en sus salidas de acuerdo al código binario utilizado.
- Por ejemplo, para un contado *binario natural* de *módulo 8 ascendente*:

t			$t + 1$		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Contadores sincrónicos

- En los contadores sincrónicos, todos los biestables reciben la señal de cuenta (el clock) al mismo tiempo.
- Cada biestable debe poseer en sus entradas una lógica de control que habilite sus transiciones de acuerdo a la secuencia de cuenta correspondiente.
- Los pasos para el diseño son:
 1. Determinar la cantidad n de biestables a utilizar. Debe ser:
$$M \leq 2^n \quad (M = \text{módulo del contador})$$
 2. Determinar el tipo de biestable (R-S, J-K, T o D).
 3. Utilizando las tablas de excitación, determinar para cada entrada de los biestables la función combinacional que provoque la transición al estado futuro requerido, en función de los estados presentes de todos los biestables.

Contadores sincrónicos con FFs “T”

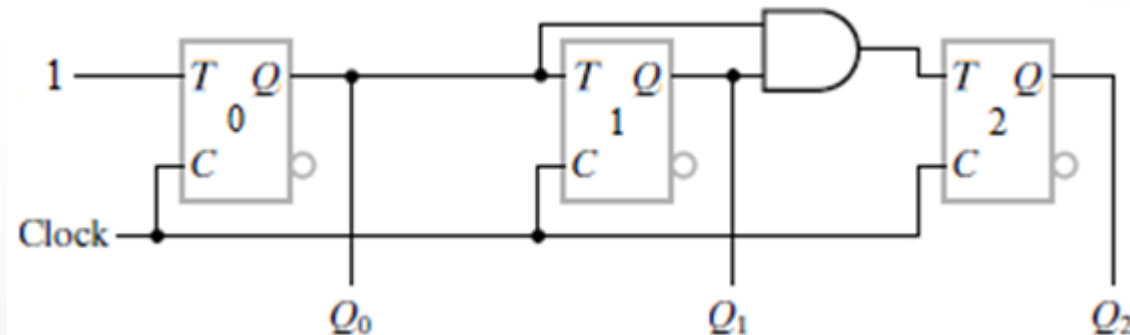
t			$t+1$					
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	T_2	T_1	T_0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

$$T_0 = 1$$

$$T_1 = Q_0$$

		$Q_1 Q_0$			
Q_2	0	00	01	11	10
	1			1	

$$T_2 = Q_1 Q_0$$



Contadores sincrónicos con FFs “D”

t			$t+1$					
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0	D_2	D_1	D_0
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	1	1	0	0	1	0	0
1	0	0	1	0	1	1	0	1
1	0	1	1	1	0	1	1	0
1	1	0	1	1	1	1	1	1
1	1	1	0	0	0	0	0	0

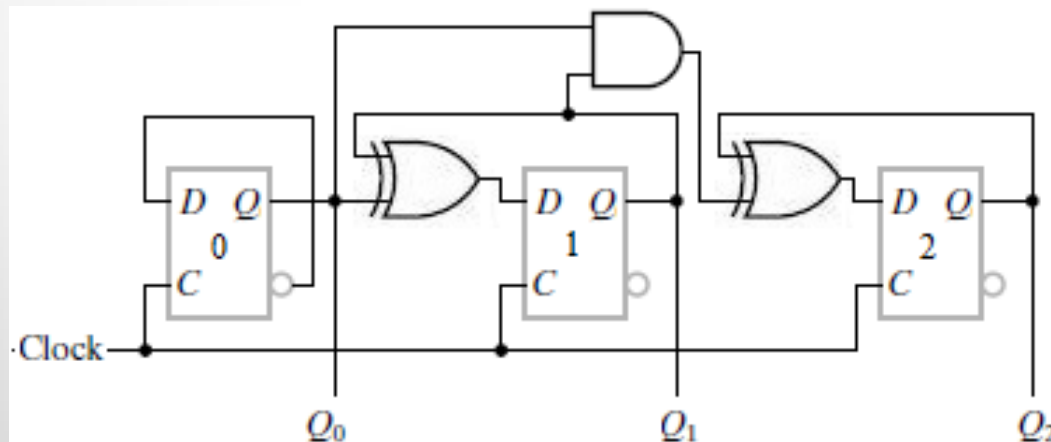
$$D_0 = Q_0'$$

$Q_1 Q_0$		00	01	11	10
Q_2	0		1		1
	1		1		1

$$D_1 = Q_1' Q_0 + Q_1 Q_0' = Q_1 \oplus Q_0$$

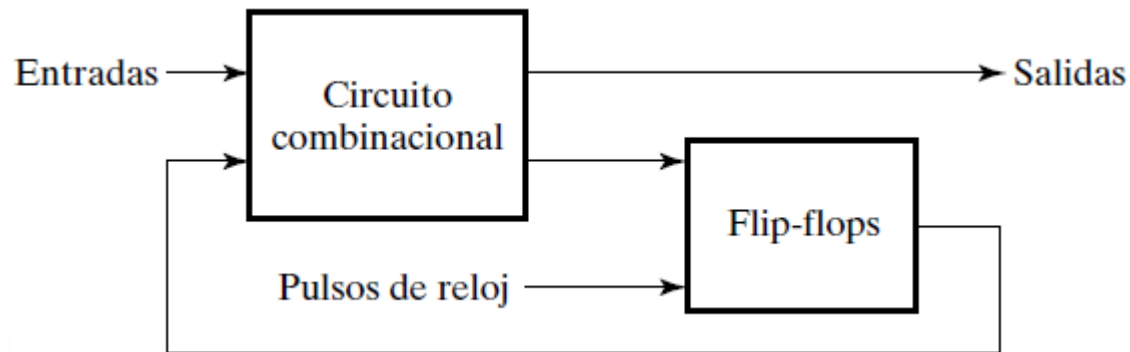
$Q_1 Q_0$		00	01	11	10
Q_2	0			1	
	1	1	1		1

$$\begin{aligned}
 D_2 &= Q_2' Q_1 Q_0 + Q_2 Q_1' + Q_2 Q_0' \\
 &= Q_2' Q_1 Q_0 + Q_2 (Q_1' + Q_0') \\
 &= Q_2' Q_1 Q_0 + Q_2 (Q_1 Q_0)' \\
 &= Q_2 \oplus (Q_1 Q_0)
 \end{aligned}$$



Circuitos secuenciales

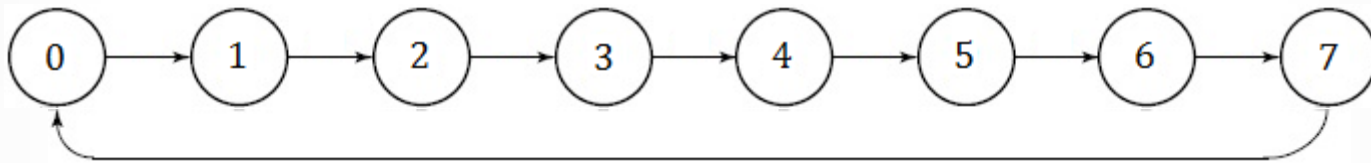
Los contadores sincrónicos estudiados son, de hecho, circuitos secuenciales sincrónicos, que pueden generalizarse en un diagrama de bloques como el siguiente:



Los contadores vistos son un caso particular en el que la entrada al combinacional no existe; pero podría existir una que habilite la cuenta si es uno, o impida que el contador funcione si es cero. En el caso del contador, las salidas son las mismas de los FFs, pero pueden ser una función de varias de ellas.

Diagrama de estados

Un *estado* de un sistema secuencial puede asimilarse a una configuración dada de sus FFs, entre dos transiciones del reloj. De la especificación del comportamiento del sistema, es posible construir un *diagrama de estados*. Para el contador de $M = 8$:



Para un caso general, se deben especificar los valores de las entradas y salidas en cada transición. Para un ejemplo con cuatro estados (dos FFs), una entrada X y una salida Y :

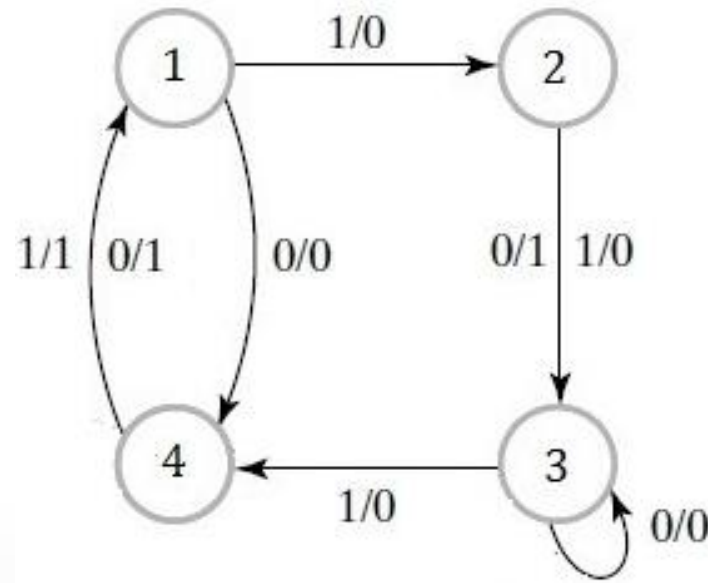


Tabla de estados

Del diagrama de estados, es posible construir una tabla de estados, en la que se listan los valores de los FFs para el estado presente (t) y al que evolucionan en el estado futuro ($t+1$).

Contador $M = 8$

t			$t+1$		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Ejemplo con dos FF (A ; B); una entrada (X) y una salida (Z)

t			$t+1$		
Q_1	Q_0	X	Q_1	Q_0	Z
0	0	0	0	1	0
0	0	1	1	1	0
0	1	0	1	0	1
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	0	0	1

En forma análoga a los combinacionales, un secuencial resulta totalmente especificado por su diagrama de estados.

Procedimiento de diseño

Siguiendo el ejemplo del contador, un procedimiento general de diseño de un circuito secuencial es:

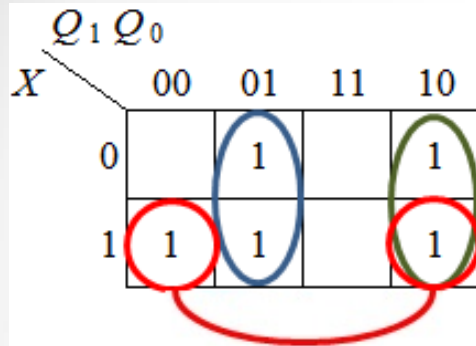
1. De las especificaciones del problema, determinar el diagrama de estados. Es posible que sea necesario simplificarlo, utilizando técnica específicas. Obtenido el diagrama de estados mínimo, la cantidad n de FFs será:

$$E \leq 2^n \quad (E = \text{cantidad mínima de estados})$$

2. Asignar un valor (el del conjunto de las salidas de los FFs) a cada estado.
3. Construir la tabla de estados.
4. Determinar el tipo de biestable a utilizar (R-S, J-K, T o D).
5. Utilizando las tablas de excitación, determinar para cada entrada de los biestables la función combinacional que provoque la transición al estado futuro requerido, en función de los estados presentes de todos los biestables.
6. Determinar las funciones de las salidas, a partir de la tabla de estados.
7. Construir el circuito.

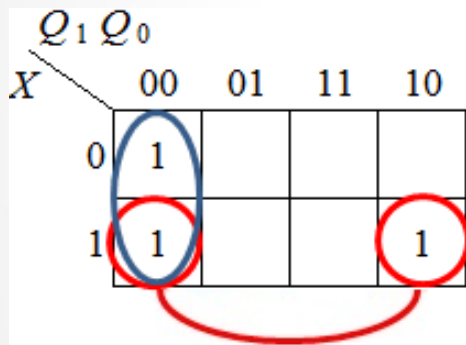
Procedimiento de diseño

Aplicándolo al ejemplo dado:



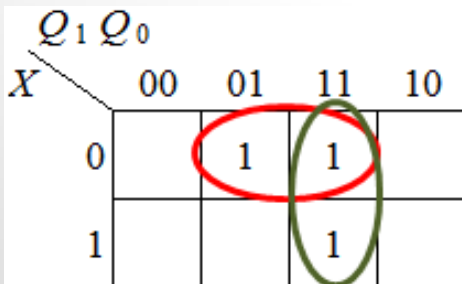
$$D_1 = Q_1'Q_0 + Q_1Q_0' + XQ_0'$$

$$= Q_1'Q_0 + Q_0'(Q_1 + X)$$



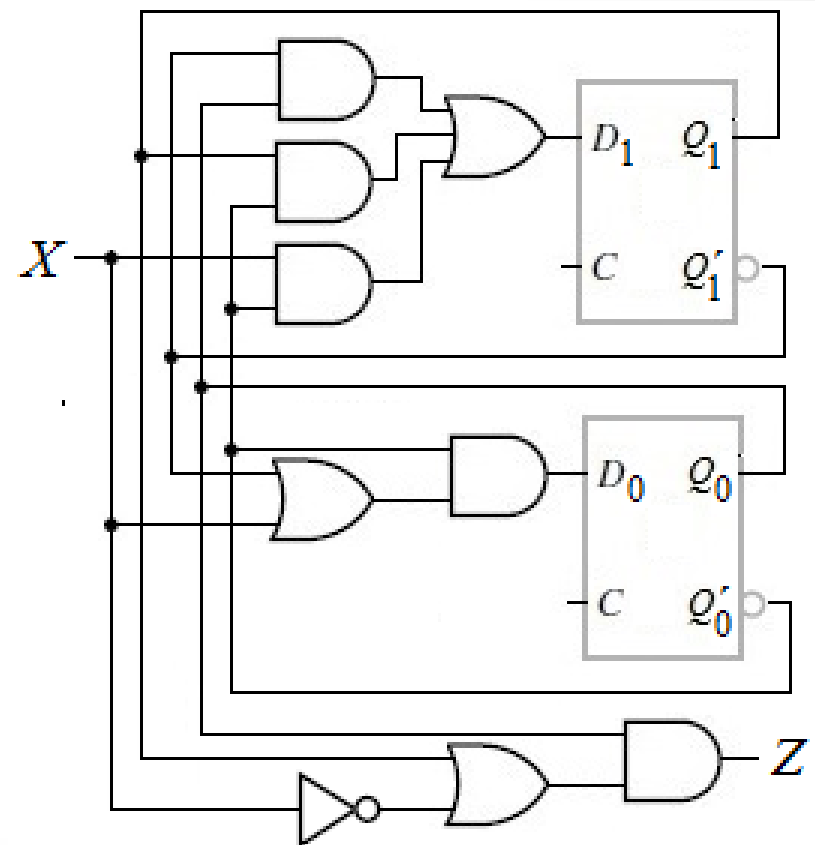
$$D_0 = Q_1'Q_0' + XQ_0'$$

$$= Q_0'(Q_1' + X)$$



$$Z = Q_1Q_0 + X'Q_0$$

$$= Q_0(Q_1 + X')$$

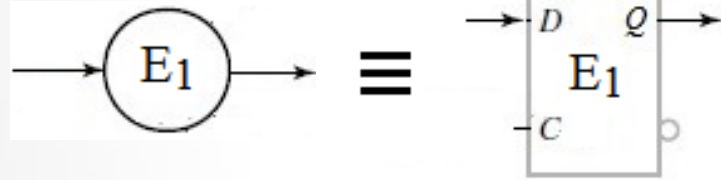


Método de un FF por estado

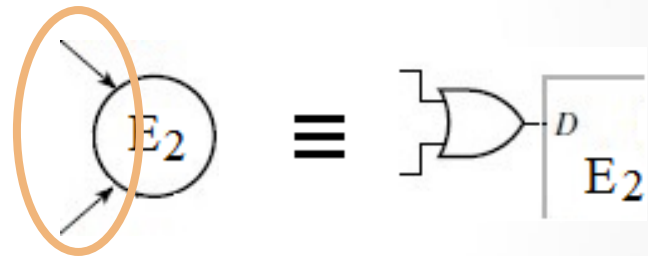
Un método alternativo para el diseño de un secuencial es asociar un estado a un solo FF activo. Esto significa que el circuito tendrá tantos FFs como estados tenga el secuencial.

Si bien esto incrementa la cantidad de biestables respecto del método anterior, permite una rápida construcción del circuito, siguiendo equivalencias muy simples entre los elementos del diagrama de estados y los del circuito lógico:

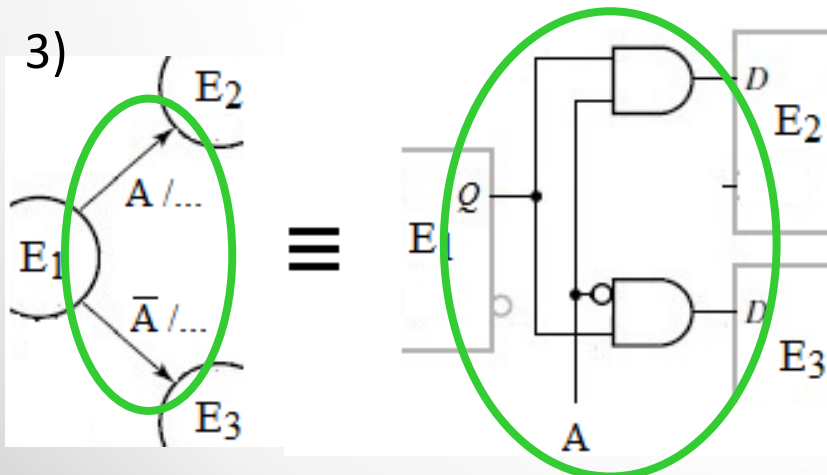
1)



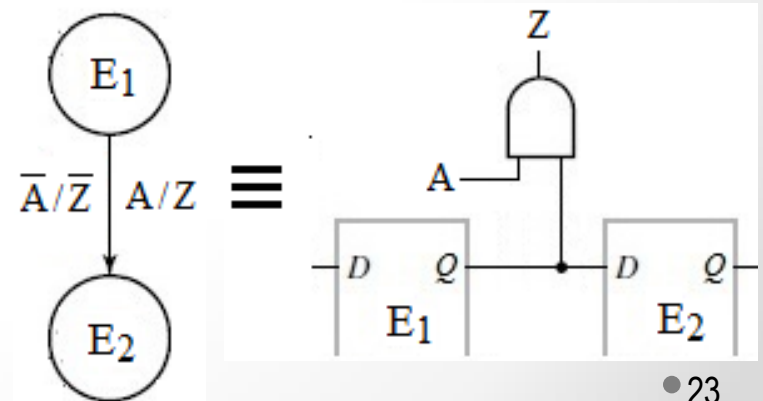
2)



3)



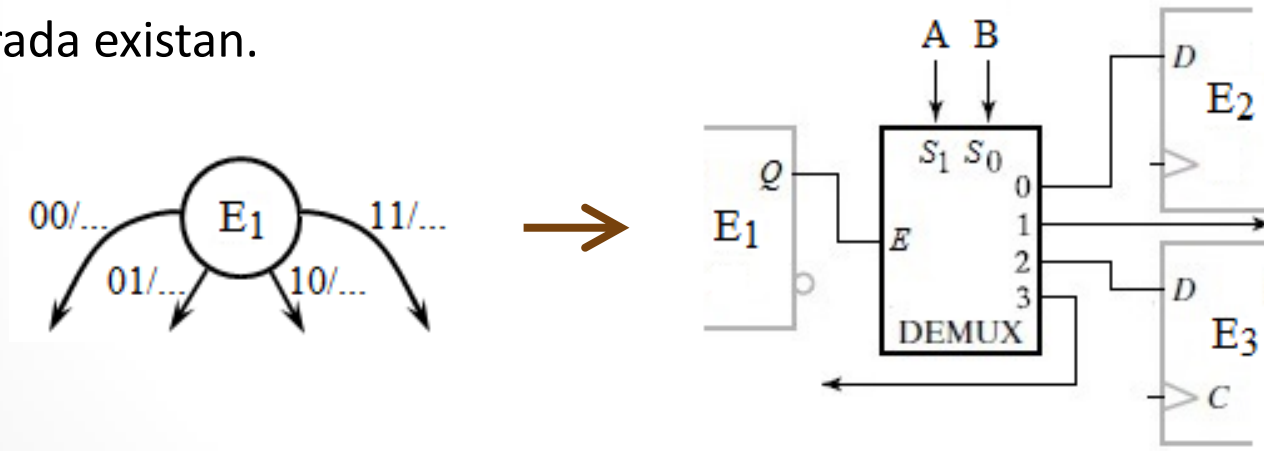
4)



Método de un FF por estado

Una secuencia de pasos recomendable para la construcción del circuito es:

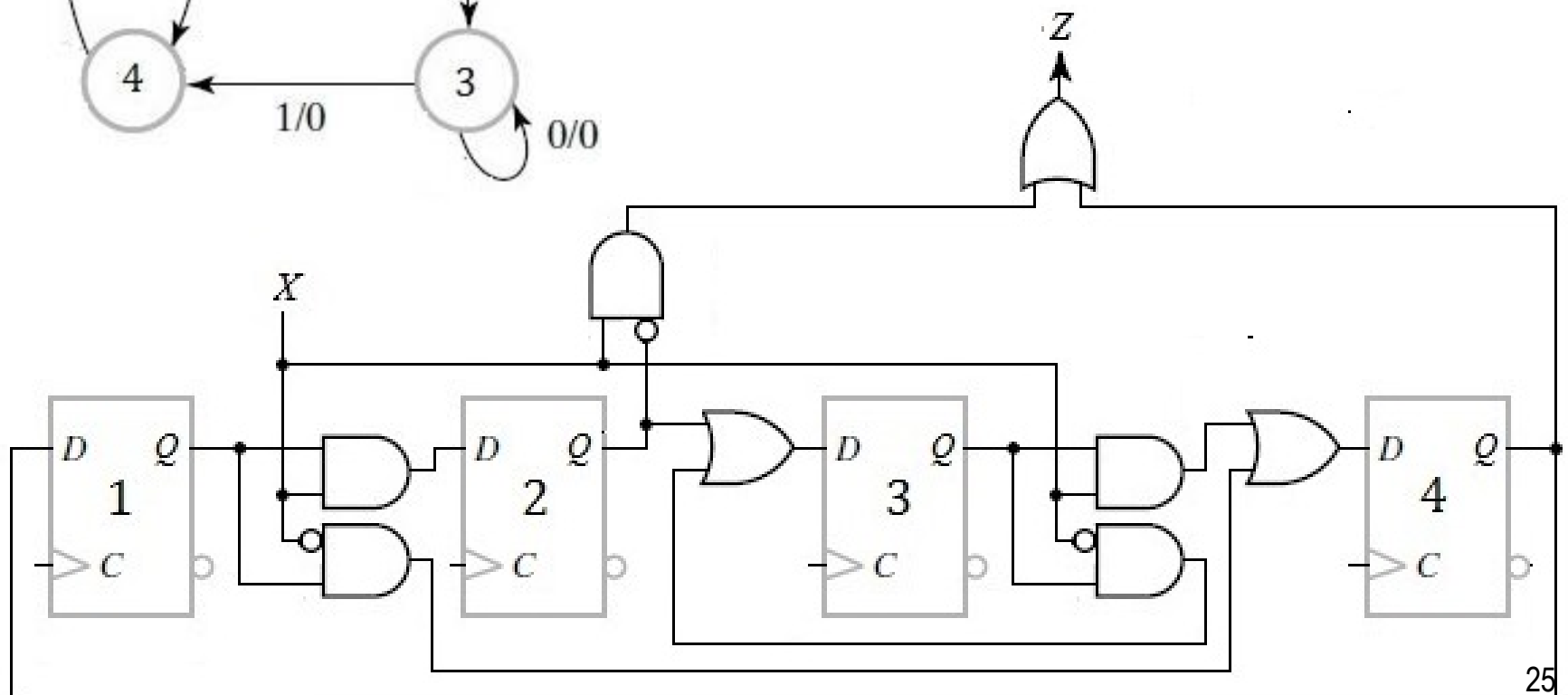
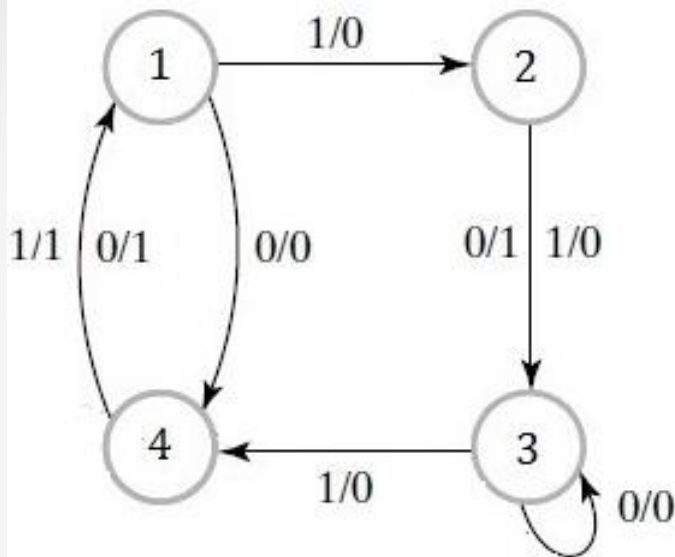
- Con la regla 1, dibujar todos los FFs.
- Con la regla 2, dibujar todas las entradas a los FFs. Si para un estado existen $n > 2$ entradas, la compuerta OR tendrá n entradas.
- Con la regla 3, dibujar las salidas de cada FF. Notar que las compuertas AND forman un *demultiplexor*; si hubiera más de una variable de entrada, puede ser necesario utilizar uno con tantas variables de selección como variables de entrada existan.



- Con la regla 4, dibujar las salidas del circuito. Si una misma salida aparece varias veces, estas deberán ser sumadas lógicamente en una OR de salida.

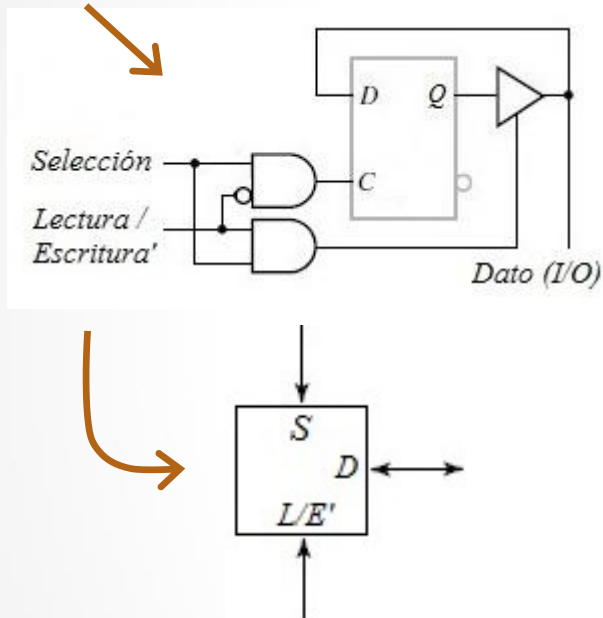
Método de un FF por estado

Para el diagrama de estados dado como ejemplo, el método permitirá obtener el siguiente circuito:

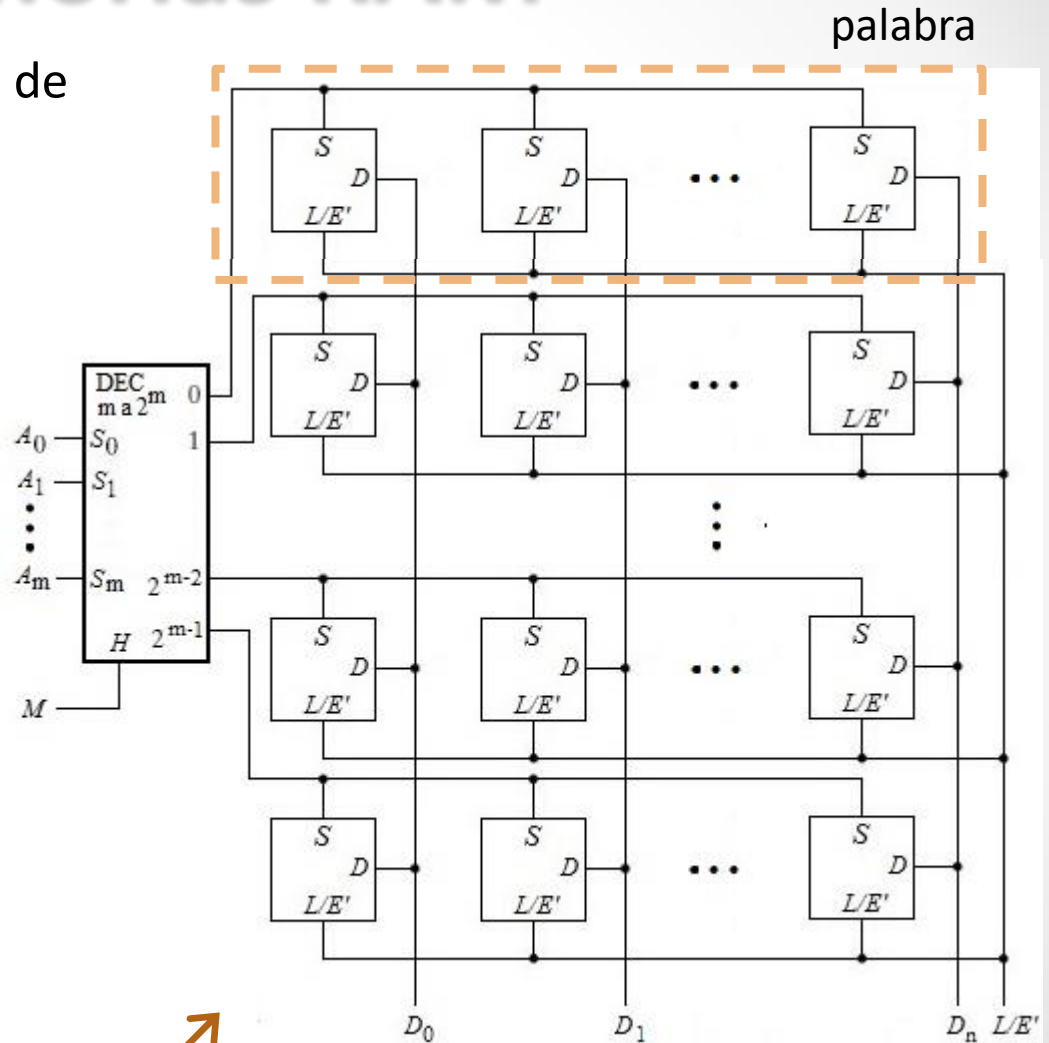


Memorias RAM

Una celda básica de memoria de acceso aleatorio (RAM) es:



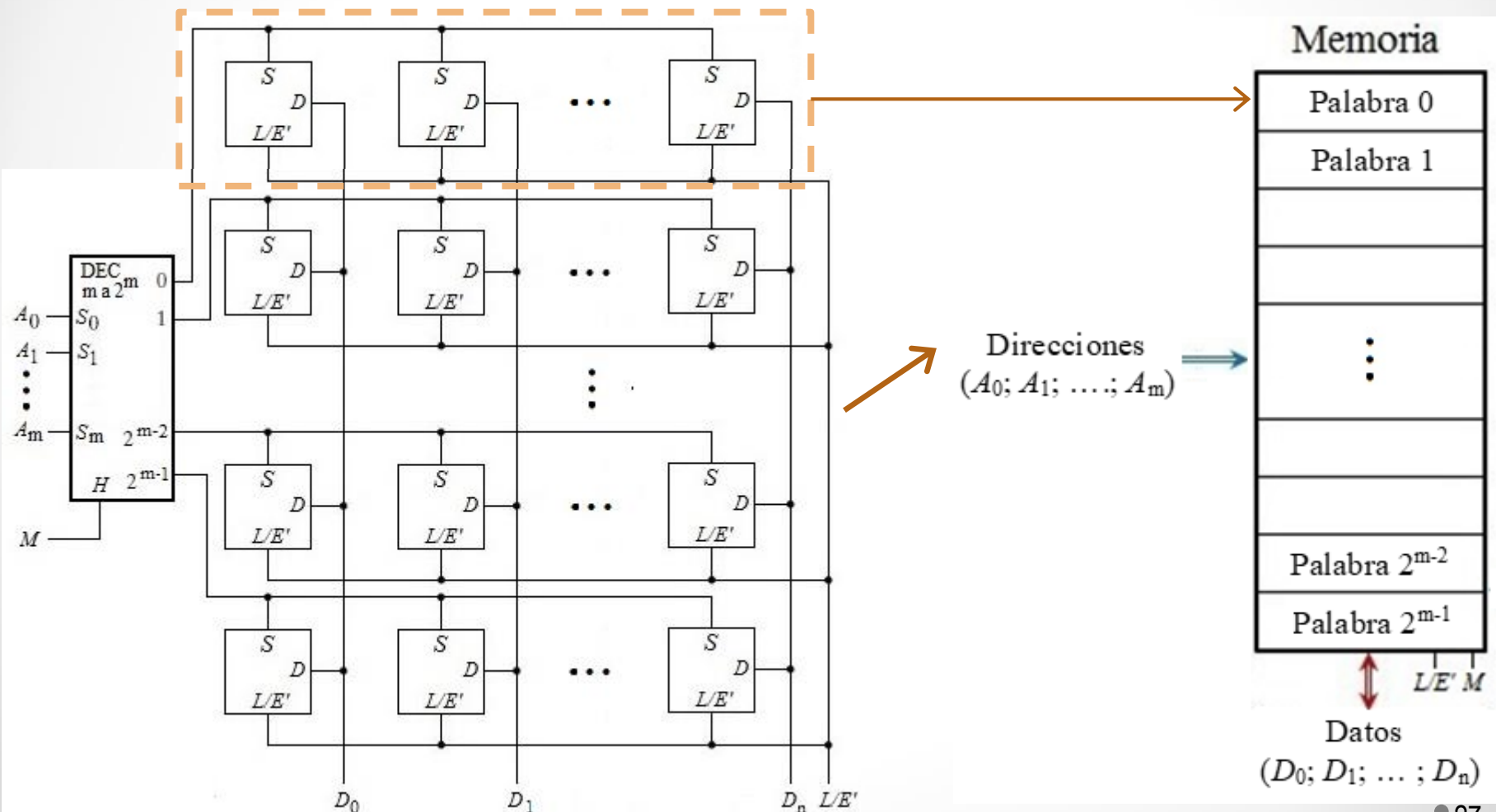
S	L/E'	Operación
0	X	Sin cambios
1	0	Escritura en el bus
1	1	Lectura desde el bus



Una organización básica para una RAM de 2^m palabras x n líneas de datos es:

Memorias RAM

La memoria se puede representar como un bloque funcional:



Lecturas recomendadas

- Stallings, Williams - Organización y Arquitectura de Computadoras - 5º Ed. - Prentice Hall. Año 2000.

→ *Apéndice A*

- Murdocca, Miles J. - Principios de arquitectura de computadoras - 1º Ed. - Prentice Hall - Año 2002.

→ *Apéndices A y B*