



Comenzado el	miércoles, 22 de junio de 2022, 17:21
Estado	Finalizado
Finalizado en	miércoles, 22 de junio de 2022, 17:48
Tiempo empleado	27 minutos 47 segundos
Calificación	5,90 de 10,00 (59%)

Pregunta 1

Parcialmente correcta

Se puntúa 0,67 sobre 1,00

Señale cuáles de las siguientes afirmaciones son falsas en relación a las principales características de un mecanismo de pipeline (Seleccione todas las que sean falsas)

- ☐ a. Un tipo de conflicto de recursos ocurre cuando hay una dependencia de salida (WAW)
- ☐ b. Un conflicto de recursos se puede resolver haciendo que una sola instrucción pueda acceder al recurso mientras las demás permanecen en estado de espera
- ☒ c. Un conflicto de recursos se puede resolver utilizando mecanismos de loop buffer 
- ☐ d. Los saltos condicionales o bifurcaciones se pueden resolver utilizando mecanismos de predicción o retraso de bifurcaciones
- ☒ e. Las dependencias de datos y las dependencias de control o saltos condicionales o bifurcaciones limitan en igual magnitud al rendimiento del pipeline 

Respuesta parcialmente correcta.

Ha seleccionado correctamente 2.



Las respuestas correctas son: Las dependencias de datos y las dependencias de control o saltos condicionales o bifurcaciones limitan en igual magnitud al rendimiento del pipeline, Un conflicto de recursos se puede resolver utilizando mecanismos de loop buffer, Un tipo de conflicto de recursos ocurre cuando hay una dependencia de salida (WAW)

Pregunta 2

Parcialmente correcta

Se puntúa 0,30 sobre 1,00

En relación al funcionamiento del sistema de Entrada/Salida, señale cuales de las siguientes afirmaciones son correctas (señale todas las que sean correctas)

- ☐ a. Una interrupción por parte del módulo de E/S, provoca que el procesador deje inmediatamente de ejecutar el ciclo de instrucción del programa y comience a ejecutar el ciclo de instrucción de la rutina de interrupción de E/S
- ☒ b. La técnica DMA (Acceso Directo a Memoria) en el proceso de entrada / salida genera una interrupción para avisarle al procesador que termino con la operación de Entrada/Salida 
- ☒ c. El bus que usa el DMA para transferir datos desde y hacia la memoria, es distinto al bus que usa el procesador para comunicarse con la memoria 
- ☐ d. La técnica del manejo de interrupciones en el proceso de entrada / salida permite que el procesador siga ejecutando las instrucciones del programa al mismo tiempo que el módulo de Entrada/Salida lea o escriba datos en la memoria
- ☐ e. Para atender una interrupción de Entrada/Salida, el procesador salva en la memoria principal la información del estado del programa que se estaba ejecutando al momento de la interrupción

Respuesta parcialmente correcta.

Ha seleccionado correctamente 1.

Las respuestas correctas son: La técnica DMA (Acceso Directo a Memoria) en el proceso de entrada / salida genera una interrupción para avisarle al procesador que termino con la operación de Entrada/Salida, Para atender una interrupción de Entrada/Salida, el procesador salva en la memoria principal la información del estado del programa que se estaba ejecutando al momento de la interrupción

Pregunta 3

Parcialmente correcta

Se puntúa 0,80 sobre 1,00

Considerando los aspectos principales de diseño de una memoria cache, señale cuáles de las siguientes afirmaciones son correctas (Seleccione todas las que sean correctas)

- ☒ a. Una política de escritura "Write Through" realiza más escrituras en memoria que una política "Write Back" ✓
- ☐ b. Cuando el Cache se llena se empieza a producir un aumento en el porcentaje de MISS de cache
- ☐ c. Una política de escritura "Write Through" actualiza en memoria cuando el bloque es reemplazado del cache
- ☒ d. La técnica LRU reemplaza el bloque menos usado recientemente ✓
- ☐ e. La técnica FIFO reemplaza el bloque que ha estado en el cache por menos tiempo
- ☒ f. La técnica LFU reemplaza el bloque menos usado recientemente ✗

Respuesta parcialmente correcta.

Ha seleccionado demasiadas opciones.

Las respuestas correctas son: Una política de escritura "Write Through" realiza más escrituras en memoria que una política "Write Back", La técnica LRU reemplaza el bloque menos usado recientemente

Pregunta 4

Correcta

Se puntúa 1,00 sobre 1,00

Un disco magnético tiene una capacidad total de 15 Gb, 4 platos (dos caras por plato), 56000 pistas/cara/plato y 512 bytes por sector. ¿Cuántos sectores/pistas tiene el disco? (en valores redondeados)

- ☐ a. 80.2
- ☒ b. 70.2 ✓
- ☐ c. 50.2
- ☐ d. Ninguna de las opciones
- ☐ e. 90.2

Respuesta correcta

La respuesta correcta es: 70.2

Pregunta 5

Correcta

Se puntúa 1,00 sobre 1,00

Seleccione el valor que corresponde a la tasa de transferencia en Mbytes/seg de una memoria DDR2 SDRAM que opera a 100 Mhz y un bus de datos de 64 bits

- ☐ a. 2200
- ☐ b. 5200
- ☐ c. 4200
- ☒ d. Ninguna de las opciones ✓
- ☐ e. 1200

Respuesta correcta



La respuesta correcta es: Ninguna de las opciones

Pregunta 6

Parcialmente correcta

Se puntúa 0,13 sobre 1,00

Señale cuáles de las siguientes afirmaciones son correctas en relación a las principales características de una memoria cache (Seleccione todas las que sean correctas)

- ☒ a. El tipo de acceso a una memoria cache no es el mismo que para una memoria de tipo de acceso directo 
- ☐ b. La memoria cache por lo general es del tipo de tecnología SRAM DDR
- ☐ c. En general el cache se organiza en líneas que almacenan bloques de K palabras de memoria
- ☐ d. Debido al principio de localidad de referencia, cuando se lee un bloque de datos en el cache para satisfacer una referencia de memoria, es probable que muchas referencias futuras se encuentren en el cache en el mismo bloque.
- ☒ e. En general, las memorias cache requieren de “refrescos de carga” debido a que están formadas por elementos capacitores que  tienden a perder la carga acumulada
- ☐ f. No es posible tener un dato en la memoria cache que sea inconsistente con el dato en la memoria RAM

Respuesta parcialmente correcta.

Ha seleccionado correctamente 1.

Las respuestas correctas son: Debido al principio de localidad de referencia, cuando se lee un bloque de datos en el cache para satisfacer una referencia de memoria, es probable que muchas referencias futuras se encuentren en el cache en el mismo bloque., En general el cache se organiza en líneas que almacenan bloques de K palabras de memoria, El tipo de acceso a una memoria cache no es el mismo que para una memoria de tipo de acceso directo

Pregunta 7

Correcta

Se puntúa 1,00 sobre 1,00

Considerando un mecanismo de pipeline de 3 estados, la duración de un ciclo de clock por cada estado, y la ejecución de una secuencia de 7 instrucciones, y suponiendo condiciones ideales para su implementación, seleccione el valor que mejor se aproxime a la relación entre la ejecución de las instrucciones con pipeline y la ejecución sin pipeline

- ☒ a. 9/21 ✓
- ☐ b. 12/20
- ☐ c. 11/21
- ☐ d. 15/21
- ☐ e. 10/20

Respuesta correcta


La respuesta correcta es: 9/21

Pregunta 8

Correcta

Se puntúa 1,00 sobre 1,00

Seleccione el valor que mejor se aproxima a la tasa de transferencia en Mbytes/seg de una memoria DDR2 SDRAM que opera a 100 Mhz y un bus de datos de 64 bits

- ☐ a. 3800
- ☐ b. 7800
- ☐ c. 5500
- ☐ d. 6400
- ☒ e. 3200 

Respuesta correcta

La respuesta correcta es: 3200

Pregunta 9

Incorrecta

Se puntúa 0,00 sobre 1,00

Una unidad de disco tiene 18 sectores por pista de 1024 Bytes cada uno. El disco gira a 7200 rpm y tiene un tiempo medio de búsqueda de 19ms.

Seleccione el valor que mejor se aproxima al tiempo que se necesita en milisegundos para transferir 32 sectores dispuestos de forma contigua.

- ☐ a. 42.1
- ☐ b. 35.1
- ☐ c. 70.1
- ☒ d. 64.1 ✖
- ☐ e. 22.1

Respuesta incorrecta.

La respuesta correcta es: 42.1

Pregunta 10

Incorrecta

Se puntúa 0,00 sobre 1,00

Señale cuál de las siguientes funcionalidades o mecanismos produce el menor impacto en la mejora o en el aumento de la performance del ciclo de procesamiento de instrucciones

- ☒ a. Ejecutar instrucciones en forma solapada usando pipeline ❌
- ☐ b. Cambiar la memoria de SDRAM a DDR2 SDRAM
- ☐ c. Usar mecanismos de predicción de saltos condicionales
- ☐ d. Implementar el método de acceso asociativo en las memorias de tipo estáticas
- ☐ e. Implementar la técnica de DMA (Acceso Directo de Memoria)
- ☐ f. Unifocar el bus del sistema y los buses subsidiarios o secundarios
- ☐ g. Implementar el manejo de las interrupciones en Entrada/Salida

Respuesta incorrecta.

La respuesta correcta es: Unifocar el bus del sistema y los buses subsidiarios o secundarios

Comentario:

Comenzado el	martes, 22 de junio de 2021, 18:00
---------------------	------------------------------------

Estado	Finalizado
---------------	------------

Finalizado en	martes, 22 de junio de 2021, 19:20
----------------------	------------------------------------

Tiempo empleado	1 hora 19 minutos
----------------------------	-------------------

Calificación	8,17 de 10,00 (82%)
---------------------	---------------------





Pregunta 1

Parcialmente correcta

Puntúa 0,50 sobre 1,00

Señale cuáles de las siguientes afirmaciones son correctas en relación a las principales características de un mecanismo de pipeline (Seleccione todas las que sean correctas)

- ☐ a. Los saltos condicionales o bifurcaciones se pueden resolver utilizando mecanismos de predicción o retraso de bifurcaciones
- ☒ b. Un conflicto de recursos se puede resolver haciendo que una sola instrucción pueda acceder al recurso mientras las demás permanecen en estado de espera 
- ☒ c. Las dependencias de datos y las dependencias de control o saltos condicionales o bifurcaciones limitan en igual magnitud al rendimiento del pipeline 
- ☐ d. Un conflicto de recursos se puede resolver utilizando mecanismos de retrasos de saltos condicionales

Respuesta parcialmente correcta.

Ha seleccionado correctamente 1.



Las respuestas correctas son: Los saltos condicionales o bifurcaciones se pueden resolver utilizando mecanismos de predicción o retraso de bifurcaciones, Un conflicto de recursos se puede resolver haciendo que una sola instrucción pueda acceder al recurso mientras las demás permanecen en estado de espera

Pregunta 2

Parcialmente correcta

Puntúa 0,50 sobre 1,00

Considerando los aspectos principales de diseño de una memoria cache, señale cuáles de las siguientes afirmaciones son correctas (Seleccione todas las que sean correctas)

- ☐ a. Una política de escritura "Write Through" realiza la misma cantidad de escrituras en memoria que una política "Write Back"
- ☐ b. La técnica LRU reemplaza el bloque que ha estado en el cache por más tiempo
- ☐ c. Una política de escritura "Write Back" realiza menos escrituras en memoria que una política "Write Through"
- ☒ d. La técnica LRU reemplaza el bloque menos usado recientemente 
- ☐ e. La técnica LFU reemplaza el bloque mas frecuentemente usado
- ☒ f. Cuando el Cache se llena se empieza a producir un aumento en el porcentaje de MISS de cache 

Respuesta parcialmente correcta.

Ha seleccionado correctamente 1.

Las respuestas correctas son: La técnica LRU reemplaza el bloque menos usado recientemente, Una política de escritura "Write Back" realiza menos escrituras en memoria que una política "Write Through"

Pregunta 3

Correcta

Puntúa 1,00 sobre 1,00

En relación al funcionamiento del sistema de Entrada/Salida, especifique el valor de verdad (Verdadero o Falso) de las siguientes sentencias:

- ☒ a. La siguiente secuencia que ocurre cuando hay una interrupción de E/S, es una secuencia correcta y completa ✗
 - 1) El dispositivo o controlador de E/S envía una señal de interrupción al procesador
 - 2) El procesador finaliza la ejecución de la instrucción antes de responder a la interrupción
 - 3) El procesador testea si hay una interrupción pendiente, y envía una señal de ACK (de confirmación) de la interrupción
 - 4) El procesador invoca a la rutina de interrupción
 - 5) Cuando la rutina de interrupción se completa, el procesador confirma al dispositivo o controlador de E/S que se completó la operación
 - 6) El dispositivo o controlador de E/S le envía una señal de ACK al procesador
 - 7) El procesador invoca a la rutina de interrupción para retomar el programa que se estaba ejecutando al momento de la interrupción
- ☒ b. Para atender una interrupción de Entrada/Salida, el procesador salva en la memoria principal la información del estado del programa que se estaba ejecutando al momento de la interrupción ✓
- ☐ c. En la técnica DMA (Acceso Directo a Memoria) en el proceso de entrada / salida, por cada palabra que el DMA lee o escribe en memoria, se genera una interrupción para avisarle al procesador de la operación
- ☒ d. Una interrupción por parte del módulo de E/S, provoca que el procesador deje inmediatamente de ejecutar el ciclo de instrucción del programa y comience a ejecutar el ciclo de instrucción de la rutina de interrupción de E/S ✗
- ☒ e. La técnica del manejo de interrupciones en el proceso de entrada / salida permite que el procesador no quede en estado ocioso esperando que el modulo termine con la operación de Entrada/Salida ✓ ^

Respuesta correcta

Las respuestas correctas son: La técnica del manejo de interrupciones en el proceso de entrada / salida permite que el procesador no quede en estado ocioso esperando que el modulo termine con la operación de Entrada/Salida, Para atender una interrupción de Entrada/Salida, el procesador salva en la memoria principal la información del estado del programa que se estaba ejecutando al momento de la interrupción



Pregunta 4

Parcialmente correcta

Puntúa 0,67 sobre 1,00



Señale cuáles de las siguientes afirmaciones son correctas en relación a las principales características de una memoria cache (Seleccione todas las que sean correctas)

(Selecione todas las que sean correctas),

- ☐ a. La memoria cache por lo general es del tipo de tecnología SRAM DDR
- ☐ b. En general el cache se organiza en líneas que almacenan bloques de K palabras de memoria
- ☒ c. Debido al principio de localidad de referencia, cuando se lee un bloque de datos en el cache para satisfacer una referencia de memoria, es probable que muchas referencias futuras se encuentren en el cache en el mismo bloque. ✓
- ☐ d. El tipo de acceso a una memoria cache en general es el mismo que para una memoria de tipo de acceso directo
- ☐ e. En general, las memorias cache requieren de "refrescos de carga" debido a que están formadas por elementos capacitores que tienden a perder la carga acumulada
- ☒ f. Es posible tener un dato en la memoria cache que sea inconsistente con el dato en la memoria RAM ✓

Respuesta parcialmente correcta.

Ha seleccionado correctamente 2.

Las respuestas correctas son: Debido al principio de localidad de referencia, cuando se lee un bloque de datos en el cache para satisfacer una referencia de memoria, es probable que muchas referencias futuras se encuentren en el cache en el mismo bloque., En general el cache se organiza en líneas que almacenan bloques de K palabras de memoria, Es posible tener un dato en la memoria cache que sea inconsistente con el dato en la memoria RAM

Pregunta 5

Correcta

Puntúa 1,00 sobre 1,00

Considerando los aspectos principales de diseño de una memoria, señale cuáles de las siguientes afirmaciones son correctas (Selecione todas las que sean correctas)

- ☒ a. En una memoria entrelazada (Interleaved Memory) se puede acelerar la transferencia de memoria, si las palabras consecutivas de memoria se almacenan en diferentes bancos de memoria la entrelazada ✓
- ☒ b. El tiempo de acceso en forma aleatoria a memoria es constante a diferencia del tiempo de acceso secuencial ✓
- ☐ c. Las memorias del tipo ROM requieren de "refrescos de carga" debido a que están formadas por elementos capacitores que tienden a perder la carga acumulada
Las memorias del tipo ROM requieren de "refrescos de carga" debido a que están formadas por elementos capacitores que tienden a perder la carga acumulada
- ☐ d. Una memoria SDRAM es una memoria de tipo estática
- ☐ e. Las memorias DRAM requieren de "refrescos de carga" a diferencias que las memorias de tipo SDRAM
- ☐ f. El tiempo de acceso en forma asociativa a memoria es constante a diferencia del tiempo de acceso aleatorio

Respuesta correcta

Las respuestas correctas son: El tiempo de acceso en forma aleatoria a memoria es constante a diferencia del tiempo de acceso secuencial, En una memoria entrelazada (Interleaved Memory) se puede acelerar la transferencia de memoria, si las palabras consecutivas de memoria se almacenan en diferentes bancos de memoria la entrelazada

Pregunta 6

Correcta

Puntúa 1,00 sobre 1,00

Un disco magnético tiene una capacidad total de 15 Gb, 4 platos (dos caras por plato), 56000 pistas/plato y 512 bytes por sector. ¿Cuántos sectores/pistas tiene el disco? Seleccione la opción correcta

- ☐ a. Ninguna de las opciones

- ☒ b. 70.2
- ☐ c. 90.2
- ☐ d. 80.2
- ☐ e. 50.2



Respuesta correcta

La respuesta correcta es: 70.2



Pregunta 7

Correcta

Puntúa 1,00 sobre 1,00

Seleccione el valor que mejor se aproxima a la tasa de transferencia en Mbytes/seg de una memoria DDR2 SDRAM que opera a 100 Mhz y un bus de datos de 64 bits



- ☐ a. 1600
- ☐ b. 4200

- ☒ c. 3200
- ☐ d. 5500
- ☐ e. 6400



Respuesta correcta

La respuesta correcta es: 3200

Pregunta 8

Correcta

Puntúa 1,00 sobre 1,00

Una unidad de disco tiene 18 sectores por pista de 1024 Bytes cada uno. El disco gira a 120 rps y tiene un tiempo medio de búsqueda de 19ms

¿ Cual es el tiempo que se necesita en milisegundos para transferir 32 sectores dispuestos de forma aleatoria? Seleccionar la opción correcta

- ☐ a. 350.8
- ☐ b. 555.8



- ☐ c. Ninguna de las opciones
- ☒ d. 755.8
- ☐ e. 950.8



Respuesta correcta

La respuesta correcta es: 755.8

Pregunta 9

Correcta

Puntúa 1,00 sobre 1,00



Considerando un mecanismo de pipeline de 4 estados, la duración de un ciclo de clock por cada estado, y la ejecución de una secuencia de 8 instrucciones, y suponiendo condiciones ideales para su implementación, seleccione el valor que mejor se aproxime a la relación entre el tiempo de la ejecución de las instrucciones con pipeline (expresado en unidades de clock) y el tiempo de la ejecución sin pipeline (expresado en unidades de clock)

- ☐ a. 10/30
- ☐ b. 9/32
- ☐ c. 11/29



- ☒ d. 11/32
- ☐ e. 15/32



Respuesta correcta

La respuesta correcta es: 11/32

Pregunta 10

Parcialmente correcta

Puntúa 0,50 sobre 1,00



A continuación, se listan un conjunto de funcionalidades y/o aspectos de diseño relacionados con la arquitectura de ordenadores. Mientras algunas de estas funcionalidades y/o aspectos de diseño producen una mejora en la performance del ciclo de procesamiento del procesador, hay otras que no producen ninguna mejora o inclusive podrían llegar a empeorar la performance del ciclo de procesamiento de instrucciones. Identifique de la lista aquellas funcionalidades o aspectos de diseño que no producen mejoras o que pueden empeorar la performance del ciclo de procesamiento.

**Orientación para resolver: La mayoría, pero no todas, de la lista producen una mejora en la performance del ciclo de procesamiento.*



- ☐ a. Aumentar constantemente la frecuencia del reloj (clock) del sistema

- ☐ b. Implementar la técnica de DMA (Acceso Directo de Memoria)
- ☐ c. Usar mecanismos de memorias entrelazadas
- ☐ d. Ejecutar instrucciones en forma solapada usando pipeline
- ☐ e. Cambiar la memoria de SDRAM a DDR2 SDRAM
- ☐ f. Usar un cache externo al chip del procesador
- ☐ g. Implementar el manejo de las interrupciones en Entrada/Salida
- ☐ h. Separar el sistema de buses, en bus del sistema y buses subsidiarios o secundarios
- ☒ i. Implementar la memoria cache con una capacidad de almacenamiento equivalente al de la memoria principal
- ☐ j. Introducir un sistema de cache multinivel
- ☐ k. Separar un cache para instrucciones y cache para datos
- ☐ l. Implementar el método de acceso asociativo en las memorias de tipo estáticas



Respuesta parcialmente correcta.

Ha seleccionado correctamente 1.

Las respuestas correctas son: Aumentar constantemente la frecuencia del reloj (clock) del sistema, Implementar la memoria cache con una capacidad de almacenamiento equivalente al de la memoria principal



