


# Microcontroladores

## Semana 7

Semestre 2024-2  
Por Kalun José Lau Gan

1

### Preguntas previas

- ¿Qué es el “BRA \$-2”?
  - Es un salto (branch) de dos posiciones de memoria (asumiendo cada posición de un byte) hacia atrás.
- ¿Va a dejar debates en el AV?
  - 
- La redacción del informe es de manera impersonal
- En I2C. ¿Cómo hacemos con las resistencias de pullup?
  - El PIC18F57Q43 posee pullups especialmente para dicha comunicación, revisar cap 19 del datasheet, de lo contrario se tendrán que colocar de manera externa en los puertos SDA y SCL.

2

## Agenda:

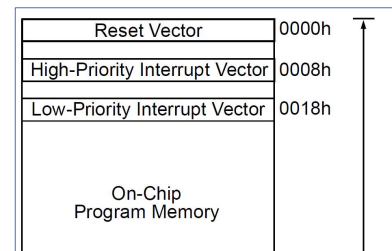
- **Interrupciones** en el PIC18F57Q43 (cap 11 del datasheet)
- Cap. 11 – VIC (Vectorized Interrupt Controller)
- En la PC se aneja en base a Interrupt Requests (IRQs)

IRQ	Usage
0	system timer (cannot be changed)
1	keyboard controller (cannot be changed)
2	cascaded signals from IRQs 8–15
3	second RS-232 serial port (COM2: in Windows)
4	first RS-232 serial port (COM1: in Windows)
5	parallel port 2 and 3 or sound card
6	floppy disk controller
7	first parallel port
8	real-time clock
9	open interrupt
10	open interrupt
11	open interrupt
12	PS/2 mouse
13	math coprocessor
14	primary ATA channel
15	secondary ATA channel

3

## Interrupciones:

- Las interrupciones son **eventualidades** que detienen el flujo normal de operación del microcontrolador.
- Dos modos de operación: **Vectorizado** (MVECEN=ON) y el **Legacy** (MVECEN=OFF). MVECEN es un bit de configuración
- Todos los periféricos internos del microcontrolador (Timers, INTs externas, CCP, EUSART, A/D, comparadores analógicos, etc) pueden emitir interrupciones al CPU.
- Las banderas que indican la fuente de interrupción (xxxIF) deberán de bajarse manualmente una vez activados.
- Cuando bit de configuración MVECEN = OFF:
  - En el PIC18F57Q43 tenemos dos vectores de interrupción:
    - Alta Prioridad (0x0008)
    - Baja Prioridad (0x0018)
  - Las interrupciones vienen desactivadas por defecto (GIE=0 y todos los xxxIE=0).
  - Las prioridades están desactivadas por defecto (IPEN=0), si están desactivadas, todas van al 0x0008)
  - Al activarse las prioridades (IPEN=1) todas las fuentes estarán en alta (xxxIP=1)



```

ORG 000000H
bra configuro

ORG 000008H
bra INT_ISR_HP

ORG 000018H
bra INT_ISR_LP

ORG 000020H
configuro:  ;---
            ;---
            ;---
  
```

4

## Sobre el modo legacy en interrupciones

- Hay que tener en cuenta que para que funcione este modo, el bit de configuración MVECEN debe de estar en OFF (por defecto esta en ON)
- Tener en cuenta que si no se trabaja con prioridades (IPEN=0), todos los eventos se van a la dirección 000008H de la memoria de programa
- Si es que se activa las prioridades, por defecto todas las fuentes de interrupción están en alta prioridad
- Políticas de atención en prioridades:
  - Cuando un evento de alta prioridad y un evento de baja prioridad ocurren al mismo tiempo, el CPU primero atiende al de alta prioridad dejando en cola la atención del de baja prioridad, luego de atender la de alta prioridad se procede a atender al de baja prioridad.
  - Cuando ocurre un evento de de interrupción de alta prioridad, la atiendes y en ese momento recibes una de baja prioridad, el CPU sigue atendiendo al de alta prioridad y luego de terminar atiende la de baja prioridad.
  - Cuando ocurre un evento de baja prioridad, la atiendes y en ese momento ocurre una de alta prioridad, el CPU pone en pausa la atención del de baja prioridad y se va a atender al de alta prioridad, una vez terminado de atender la alta prioridad resume la atención del de baja prioridad.
  - Cuando se reciben dos interrupciones de la misma prioridad. El desarrollador tiene que decidir en el programa a quien atender primero.

5

## Table 11-2 Sobre el modo vectorizado en interrupciones

Vector Number	Interrupt source	Vector Number (cont.)	Interrupt source (cont.)	Vector Number	Interrupt source	Vector Number (cont.)	Interrupt source (cont.)
0x0	Software Interrupt	0x3E	PWM3RINT	0x2F	PWM2GINT	0x6B	US
0x1	HLVD (High/Low-Voltage Detect)	0x3F	PWM3GINT	0x30	INT1	0x6C	DMA6SCNT
0x2	OSF (Oscillator Fail)	0x40	U2RX	0x31	CLC2	0x6D	DMA6DCNT
0x3	CSW (Clock Switching)	0x41	U2TX	0x32	CWG1 (Complementary Waveform Generator)	0x6E	DMA6GCR
0x4	-	0x42	U2E	0x33	NCO1 (Numerically Controlled Oscillator)	0x6F	DMA6A
0x5	CLC1 (Configurable Logic Cell)	0x43	U2	0x34	DMA2SCNT	0x70	-
0x6	-	0x44	TMR5	0x35	DMA2DCNT	0x71	CLC7
0x7	IOC (Interrupt-On-Change)	0x45	TMR5G	0x36	DMA2OR	0x72	CM2
0x8	INT0	0x46	CCP2	0x37	DMA2A	0x73	NCO3
0x9	ZCD (Zero-Cross Detection)	0x47	SCAN	0x38	I2C1RX	0x74 - 0x77	-
0xA	AD (ADC Conversion Complete)	0x48	U3RX	0x39	I2C1TX	0x78	NVM
0xB	ACT (Active Clock Tuning)	0x49	U3TX	0x3A	I2C1	0x79	CLC8
0xC	CM1 (Comparator)	0x4A	U3E	0x3B	I2C1E	0x7A	CRC (Cyclic Redundancy Check)
0xD	SMT1 (Signal Measurement Timer)	0x4B	U3	0x3C	-	0x7B	TMR6
0xE	SMT1PRA	0x4C	-	0x3D	CLC3	0x7C - 0x8F	-
0xF	SMT1PWA	0x4D	CLC4				
0x10	ADT	0x4E - 0x4F	-				
0x11 - 0x13	-	0x50	INT2				
0x14	DMA1SCNT (Direct Memory Access)	0x51	CLC5				
0x15	DMA1DCNT	0x52	CWG2 (Complementary Waveform Generator)				
0x16	DMA1OR	0x53	NCO2				
0x17	DMA1A	0x54	DMA3SCNT				
0x18	SPI1RX (Serial Peripheral Interface)	0x55	DMA3DCNT				
0x19	SPI1TX	0x56	DMA3OR				
0x1A	SPI1	0x57	DMA3A				
0x1B	TMR2	0x58	CCP3				
0x1C	TMR1	0x59	CLC6				
0x1D	TMR1G	0x5A	CWG3				
0x1E	CCP1 (Capture/Compare/PWM)	0x5B	TMR4				
0x1F	TMR0	0x5C	DMA4SCNT				
0x20	U1RX	0x5D	DMA4DCNT				
0x21	U1TX	0x5E	DMA4OR				
0x22	U1E	0x5F	DMA4A				
0x23	U1	0x60	U4RX				
0x24 - 0x25	-	0x61	U4TX				
0x26	PWM1RINT	0x62	U4E				
0x27	PWM1GINT	0x63	U4				
0x28	SP12RX	0x64	DMA5SCNT				
0x29	SP12TX	0x65	DMA5DCNT				
0x2A	SP12	0x66	DMA5OR				
0x2B	-	0x67	DMA5A				
0x2C	TMR3	0x68	U5RX				
0x2D	TMR3G	0x69	U5TX				
0x2E	DMA2GINT	0x6A	U5E				

IVTBASE por defecto en MVECEN ON es 000000H

- Tener en cuenta que, para activar este modo, el bit de configuración MVECEN debe de estar en ON.
- En este modo, todas las fuentes de interrupción poseen un vector de interrupción con una dirección en particular establecido por el cálculo siguiente:

Table 11-1. IVT Calculations Summary

IVT Address Calculation		Interrupt Priority INTCON0 Register, IPEN Bit	
Multivector Enable, MVECEN Configuration bit	0	0	1
		IVTBASE	High-priority IVTBASE
	1		Low-priority IVTBASE + 8 words
		IVTBASE + 2*(Vector Number)	

6

## La interrupción del Timer0

- Dependiendo del modo de trabajo:
  - Modo 8 bit: El evento de interrupción proviene de la comparación en igualdad entre TMR0H (valor de referencia de comparación) y TMR0L (registro de cuenta) - tmr0\_match
  - Modo 16 bit: El evento de interrupción proviene del desborde del registro de cuenta (65535 hacia 0) - tmr0\_overflow
- Tener en cuenta el valor que se le coloca en POSTSCALER, este dispositivo contará una cantidad de eventos (tmr0\_match o tmr0\_overflow) antes de activar la bandera TMR0IF y que va desde 1:1 hasta 1:16.
  - Si POSTSCALER = 1:1, cada evento (tmr0\_latch ó tmr0\_overflow) activará TMR0IF
  - Si POSTSCALER = 1:2, cada dos eventos (tmr0\_match ó tmr0\_overflow) activará TMR0IF
- Cuando se levante la bandera (TMR0IF), ésta deberá de bajarse manualmente.
- Para habilitar la interrupción del Timer0:
  - Activar TMR0IE, ubicado en el bit7 del registro PIE3
  - Activar GIE, ubicado en el bit7 del registro INTCON0
- De usar prioridades en las interrupciones del Timer0 (modo legacy MVECEN=OFF):
  - Revisar el bit 7 (TMR0IP) del registro IPR3, por defecto TMR0IP=1 (alta prioridad)
  - Revisar bits IPEN, GIEH y GIEL del registro INTCON0

7

## Plantilla para manejar interrupción del TMR0 en modo **legacy** (MVECEN=OFF) y sin prioridades (IPEN=0)

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,relloc=2,abs
upcino:
ORG 000000H
bra configuro
ORG 000008H ← Vector de alta prioridad
bra TMR0_ISR
ORG 000100H
configuro:
;--
;--
bsf PIE3, 7 ;Habilito interrupcion de TMR0
bsf INTCON0, 7 ;Habilito GIE

inicio: ;-- ;Rutina principal
;--
bra inicio

TMR0_ISR: ;Rutina de interrupcion de TMR0
;Lo que tiene que hacer cuando ocurrió una INT del TMR0
bcf PIR7, 3 ;Baja bandera TMR0IF
;--
;--
retfie ;retorno de donde viniste

end upcino
  
```

8

## Plantilla para manejar interrupción del TMR0 con MVECEN=1 (modo **vectorizado**)

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs
upcino:
    ORG 000000H
    bra configur0
    ORG 00003EH
    bra TMR0_ISR
    ORG 000100H
configur0:
    ;--
    ;--
    bsf PIE3, 7 ;Habilito interrupcion de TMR0
    bsf INTCON0, 7 ;Habilito GIE
inicio: ;-- ;Rutina principal
    ;--
    bra inicio
TMR0_ISR: ;Rutina de interrupcion de TMR0
    ;Lo que tiene que hacer cuando ocurri0 una INT del TMR0
    bcf PIR7, 3 ;Baja bandera TMR0IF
    ;--
    ;--
    retfie ;retorno de donde viniste
end upcino

```

Vector del TMR0 según  $INTBASE + 2 (0x1F)$   
 Según tabla 11-2

9

## Las interrupciones externas INT0, INT1, INT2

- Interrumpen al CPU del microcontrolador, estas acciones provienen de pines externos (INT0, INT1 e INT2).
- Pines externos (por defecto RB0 para INT0, RB1 para la INT1 y RB2 para INT2). Configurables su asignación por el PPS (**registros INTxPPS**, revisar cap 21).
- Pueden ser activos en alto (flanco ascendente) o activos en bajo (flanco descendente). Revisar bits INT0EDG, INT1EDG y INT2EDG (**registro INTCON0**).
- Los bits de habilitación de las interrupciones externas son INTOIE, INT1IE e INT2IE. Estos se encuentra en el grupo de **registros PIEx**
- Las banderas INTOIF, INT1IF e INT2IF deberán de bajarse (acción manual) cuando se activen. Se encuentran en el grupo de **registros PIRx**.
- Las prioridades ( $IPEN=1$ ) todas son altas por defecto, si se quiere modificar alguna INTx para que sea baja prioridad, se tiene que ajustar INTOIP, INT1IP ó INT2IP según requerimientos. Se encuentran en el grupo de **registros IPRx**

10

## Las interrupciones externas INT0, INT1, INT2

- En MVECEN=OFF (modo legacy) por defecto las tres interrupciones saltan al vector de alta prioridad (000008H) al ser activadas. Si se requiere pasar a baja prioridad (000018H) alguno de ellos se deberá activar la prioridad de las interrupciones (IPEN=1) y configurar los bits INT0IP, INT1IP e INT2IP según requerimientos. Se encuentran en el grupo de **registros IPRx**.
- Recordar que el GIE/GIEH (habilitador global, global alta prioridad), GIEL (habilitador global baja prioridad) e IPEN (habilitador de prioridades se encuentran en el **registro INTCON0**.

11

## Las interrupciones externas INT0, INT1, INT2

- En MVECEN=ON hay que tener en cuenta que las direcciones de los vectores de interrupción se tienen que calcular según tabla 11-1:

$$\text{IVTBASE} + (2 \times \text{Número de Vector})$$

- En MVECEN=ON las interrupciones INT0, INT1 e INT2 tienen sus propios vectores, al iniciar IVTBASE tiene valor 0 por lo que usando la fórmula anterior y según tabla 11-2 se obtienen las siguientes direcciones:
  - INT0 – 000010H
  - INT1 – 000060H
  - INT2 – 0000A0H

12

## Las interrupciones externas INT0, INT1, INT2

	Peripheral	PPS Input Register	Default Pin Selection at POR	Register Reset Value at POR	Available Input Port								
					28-Pin Devices			40-Pin Devices			48-Pin Devices		
0x023E	Interrupt 0	INT0PPS	RB0	'b001 000	A	B	—	A	B	—	A	B	—
0x023F	Interrupt 1	INT1PPS	RB1	'b001 001	A	B	—	A	B	—	B	D	—
0x0240	Interrupt 2	INT2PPS	RB2	'b001 010	A	B	—	A	B	—	B	—	F

- Registros PPS de las interrupciones externas
- Tener en cuenta que estos registros se encuentran en el bank 2

**Name:** xxxPPS

Peripheral Input Selection Register

Bit	7	6	5	4	3	2	1	0
Access								
Reset								
			R/W	R/W	R/W	R/W	R/W	R/W
			m	m	m	m	m	m

**Bits 5:3 – PORT[2:0] Peripheral Input PORT Selection<sup>(1)</sup>**  
See the **PPS Input Selection Table** for the list of available Ports and default pin locations.

PORT	Selection
101	PORTF
100	PORTE
011	PORTD
010	PORTC
001	PORTB
000	PORTA

Reset States: POR = mmm  
All other Resets = uuu

**Bits 2:0 – PIN[2:0] Peripheral Input PORT Pin Selection<sup>(2)</sup>**  
Reset States: POR = mmm  
All other Resets = uuu

Value	Description
111	Peripheral input is from PORTX Pin 7 (Rx7)
110	Peripheral input is from PORTX Pin 6 (Rx6)
101	Peripheral input is from PORTX Pin 5 (Rx5)
100	Peripheral input is from PORTX Pin 4 (Rx4)
011	Peripheral input is from PORTX Pin 3 (Rx3)
010	Peripheral input is from PORTX Pin 2 (Rx2)
001	Peripheral input is from PORTX Pin 1 (Rx1)
000	Peripheral input is from PORTX Pin 0 (Rx0)

13

## Plantilla para manejar interrupciones externas con MVECEN=OFF (modo legacy)

- Se esta considerando que INT0 se encuentre en alta prioridad mientras que INT1 se encuentre en baja prioridad.
- Si IPEN=1, todas las fuentes de interrupción se encuentran en alta prioridad por defecto.
- Para cambiar alguna fuente de interrupción a baja prioridad debemos de ubicar dicha fuente en los registros IPRx.

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs
upcino:
    ORG 000000H
    bra configur0

    ORG 000008H ;Vector de alta prioridad
    bra INT0_ISR

    ORG 000018H ;Vector de baja prioridad
    bra INT1_ISR

    ORG 000100H
configur0:
    ;--
    bsf PIE1, 0 ;Habilito interrupcion de INT0
    bsf PIE6, 0 ;Habilito interrupcion de INT1
    bsf INTCON0, 5 ;Habilito IPEN
    bsf INTCON0, 7 ;Habilito GIEH
    bsf INTCON0, 6 ;Habilito GIEL
    bcf IPR6, 0 ;Mando INT1 a baja prioridad

inicio: ;--
    bra inicio ;Rutina principal

INT0_ISR: ;Rutina de interrupcion de INT0
    ;Lo que tiene que hacer cuando ocurrió una INT0
    bcf PIR1, 0 ;Baja bandera INT0IF
    ;--
    retfie ;retorno de donde viniste

INT1_ISR: ;Rutina de interrupcion de INT1
    ;Lo que tiene que hacer cuando ocurrió una INT1
    bcf PIR6, 0 ;Baja bandera INT1IF
    ;--
    retfie ;retorno de donde viniste
end upcino

```

14

Plantilla para manejar interrupciones externas con MVECEN=ON (modo vectorizado)

```
PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs
upcino:
    ORG 000000H
    bra configuro

    ORG 000010H      ;Vector para la INT0
    bra INT0_ISR

    ORG 000060H      ;Vector para la INT1
    bra INT1_ISR

    ORG 000100H
configuro:
    ;--
    ;--
    bsf PIE1, 0      ;Habilito interrupcion de INT0
    bsf PIE6, 0      ;Habilito interrupcion de INT1
    bsf INTCON0, 7    ;Habilito GIE

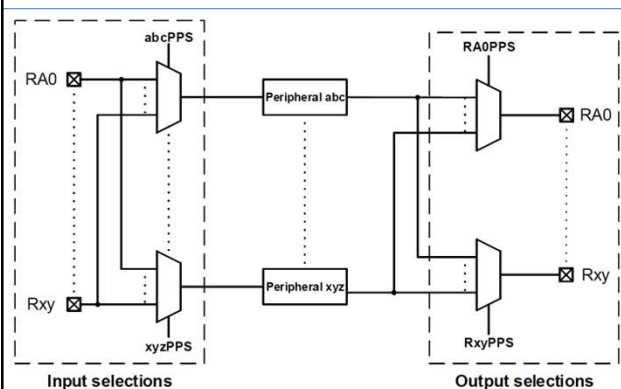
inicio: ;--          ;Rutina principal
    ;--
    bra inicio

INT0_ISR:            ;Rutina de interrupcion de INT0
    ;Lo que tiene que hacer cuando ocurri6 una INT0
    bcf PIR1, 0      ;Baja bandera INT0IF
    ;--
    retfie            ;retorno de donde viniste

INT1_ISR:            ;Rutina de interrupcion de INT1
    ;Lo que tiene que hacer cuando ocurri6 una INT1
    bcf PIR6, 0      ;Baja bandera INT1IF
    ;--
    retfie            ;retorno de donde viniste
end upcino
```

15

## El módulo PPS (Peripheral Pin Select)

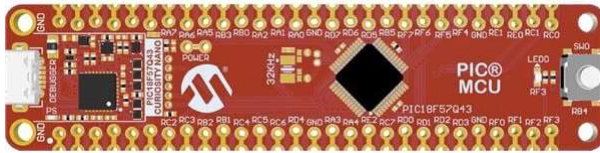


- Referencia cap 21 del datasheet
- Módulo encargado de asignar las señales de los periféricos a los pines del microcontrolador.
- Sólo para señales digitales, tanto de entrada como de salida.
- Con este módulo podrás reasignar los pines de los diferentes periféricos que tiene el microcontrolador, limitado a solo lo que indican las tablas 21-1 (entradas) y 21-2 (salidas).

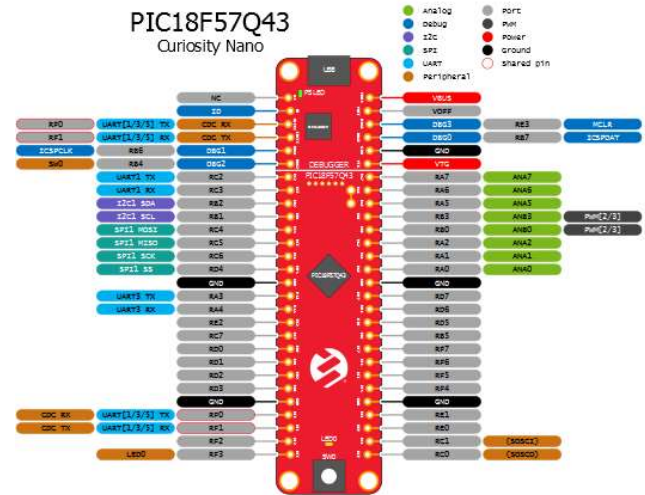
16



## Ejemplo de PPS aplicado a la INT0



- La INT0 tiene por defecto el RB0 como puerto de entrada
- Tenemos en el Curiosity Nano un botón en RB4 activo en bajo drenador abierto.
- ¿Cómo haría para que el RB4 sea la INT0 del microcontrolador?



17

## Ejemplo de PPS aplicado a la INT0

- Respondiendo a la pregunta:
- Usando el PPS podemos cambiar la asignación por defecto (RB0) de la entrada del INT0 hacia el pin RB4 (revisar tabla 21-1 del datasheet)
- El valor obtenido para el registro INTOPPS fue 0CH según 21.8.1 del datasheet
- Recordar que INTOPPS se ubica en bank2 (ver sección 21.9 del datasheet)

```

ORG 000000H                                ;Vector de reset
bra configur0

ORG 000008H                                ;Vector de interrupcion
bra INTO_ISR

ORG 000100H
configur0: movlb 4H
            bsf TRISB, 4, 1
            bcf ANSELB, 4, 1
            bsf WPUB, 4, 1
            movlb 2H
            movlw 0CH
            movwf INTOPPS                    ;asignando RB4 para INT0
            movlb 4H                          ;al BANK4
            bsf PIE0, 0, 1                    ;habilitando INT0 (INT0IE=1)
            movlw 81H                          ;GIE=1, INT0EDG=0
            movwf INTCON0

inicio:   movlb 4H                            ;Rutina principal
            ;---
            ;---
            bra inicio

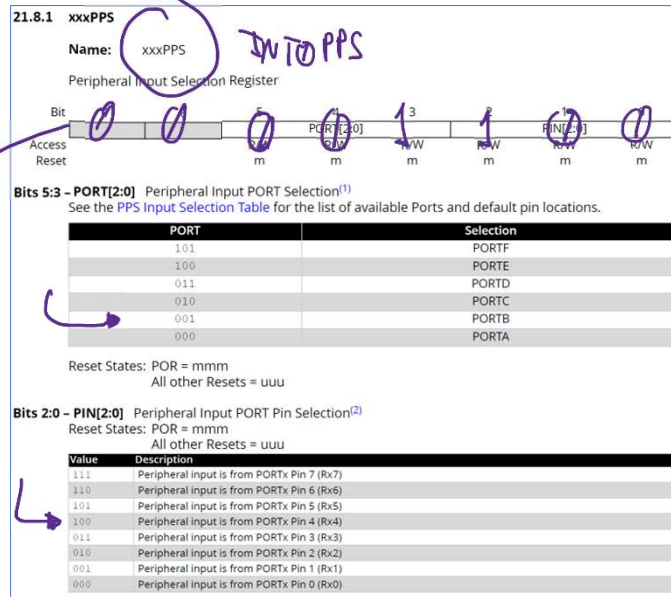
INT0_ISR: ;---
            ;---
            ;---
            retfie
  
```

18

## Ejemplo de PPS aplicado a la INTO

- Detalle del INTOPPS:

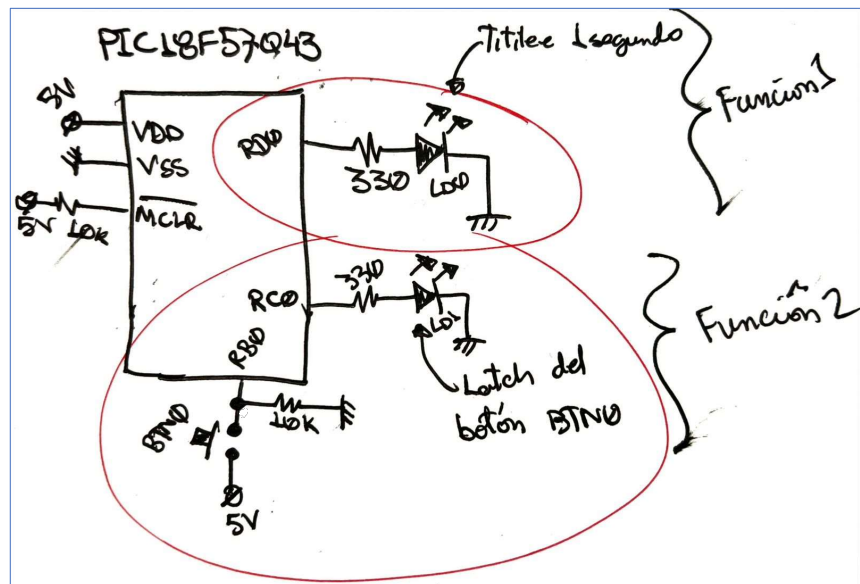
*INT0PPS = 0CH*



19

## Ejemplo sobre interrupciones

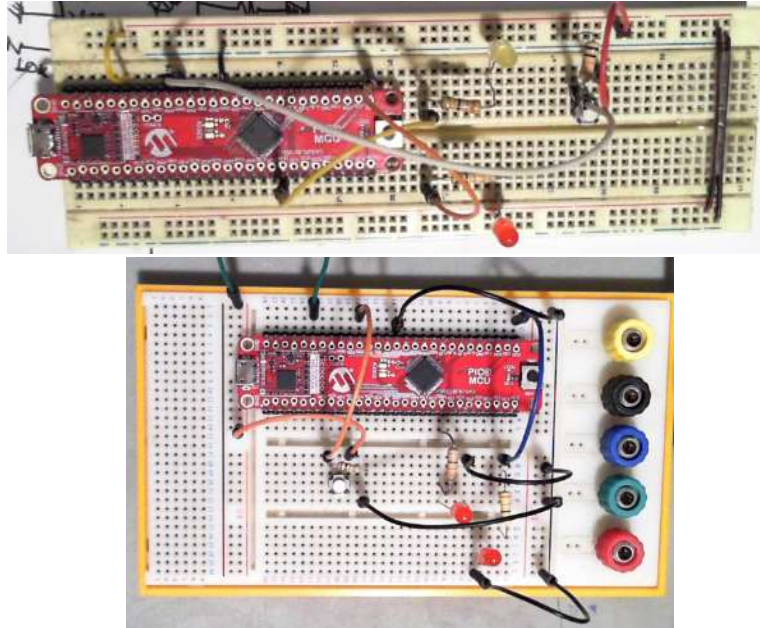
- Realizar dos funciones en el microcontrolador, uno de parpadeo de un LED con periodo de un segundo y otro de función latch de un LED con un pulsador (activo en alto)



20

## Ejemplo sobre interrupciones

- Hardware:



21

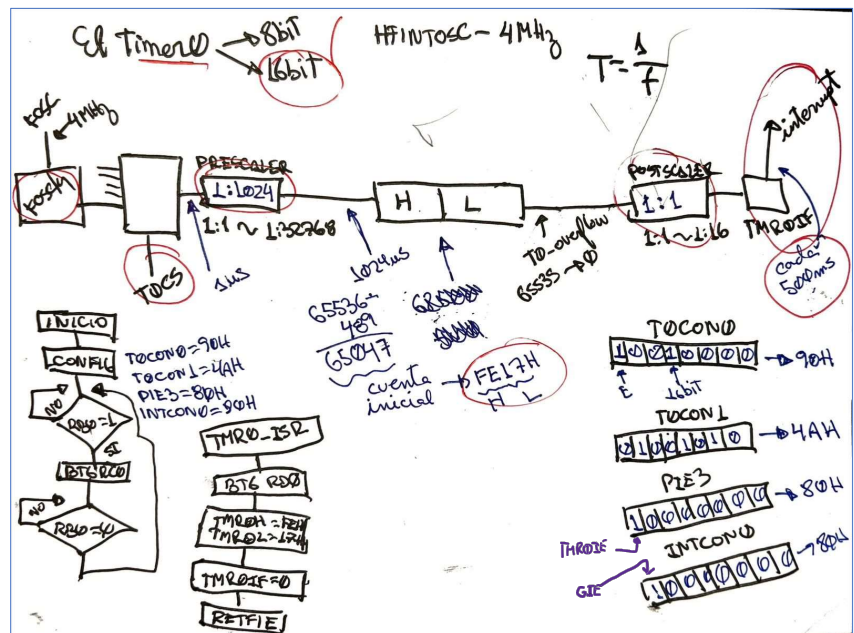
## Ejemplo sobre interrupciones

- El ejemplo es hacer dos cosas aparentemente al mismo tiempo (multi-tarea ó multitasking)
- Estrategias para desarrollar el ejemplo:
  1. No utilizar interrupciones (polling – high load CPU) ✗
  2. Emplear **interrupción del Timer0** para el parpadeo del LED y en la rutina principal hacer el Latch
  3. Emplear **interrupción externa INT0** para el Latch y en la rutina principal colocar el Timer0
  4. Emplear interrupciones tanto para el Timer0 como para el Latch (INT0)
    - Se puede interrupciones simples (un solo vector de interrupción)
    - Se puede utilizar prioridades legacy (high priority y low priority con MVECEN=OFF)
    - Se puede usar el VIC (interrupciones vectorizadas con MVECEN=ON)

22

## Estrategia2: Timer0 en interrupción y rutina principal el Latch

- El Timer0 debe de temporizar 1 segundo.
- Empleando el Timer0 en modo 16 bits, prescaler 1:1024, postscaler 1:1, fosc/4, cuenta inicial de 65047 (FE17H)
- Se habilita la interrupción para Timer0 (INT0IE=1)
- No olvidarse del GIE=1



23

## Estrategia2: Timer0 en interrupción y rutina principal el Latch

- Código propuesto

Nota: No olvidar de colocar el bit de configuración MVECEN=OFF

```

1  PROCESSOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  upcino:
6      ORG 000000H          ;Vector de reset
7      bra configuro
8
9      ORG 000008H          ;Vector de interrupcion
10     bra TMR0_ISR
11
12     ORG 000100H
13     configuro:
14         movlb 0H          ;bank0
15         movlw 60H
16         movwf OSCCON1, 1  ;hfintosc, 1:1
17         movlw 02H
18         movwf OSCFRQ, 1   ;hfintosc 4MHz
19         movlw 40H
20         movwf OSCEN, 1    ;hfintosc enabled
21         movlb 3H          ;bank3
22         movlw 90H
23         movwf TOCON0, 1   ;tmr0 enabled, 16 bit, posts 1:1
24         movlw 4AH
25         movwf TOCON1, 1   ;fosc/4 presc 1:1024

```

```

26     movlb 4H              ;bank4
27     bcf TRISC, 0, 1
28     bcf ANSEL, 0, 1
29     bcf TRISD, 0, 1
30     bcf ANSELD, 0, 1
31     bcf TRISE, 0, 1
32     bcf ANSELE, 0, 1
33     movlw 80H
34     movwf PIE3, 1         ;TMR0IE=1 (TMR0 interrupt enabled)
35     movwf INTCON0, 1      ;GIE=1 (Global interrupt enabled)
36
37     inicio:               ;rutina principal
38         btfss PORTB, 0, 1 ;pregunto si pulse boton
39         bra $-2           ;no pulse
40         btg LATC, 0, 1    ;si pulse y basculo LED
41         btfsc PORTB, 0, 1 ;pregunto si solte boton
42         bra $-2           ;no solte
43         bra inicio       ;si solte, retorno a inicio
44
45     TMR0_ISR:             ;rutina de interrupcion para TMR0
46         btg LATD, 0, 1    ;basculo LED
47         movlb 3H          ;bank3
48         movlw 0FEH
49         movwf TMR0H, 1
50         movlw 17H
51         movwf TMR0L, 1    ;carga de cuenta inicial a TMR0
52         movlb 4H          ;bank4
53         bcf FIR3, 7, 1
54         retfie
55
56     end upcino

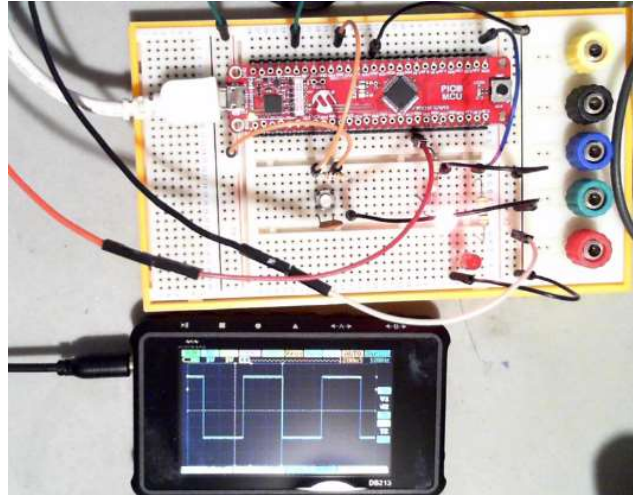
```

24



## Estrategia2: Timer0 en interrupción y rutina principal el Latch

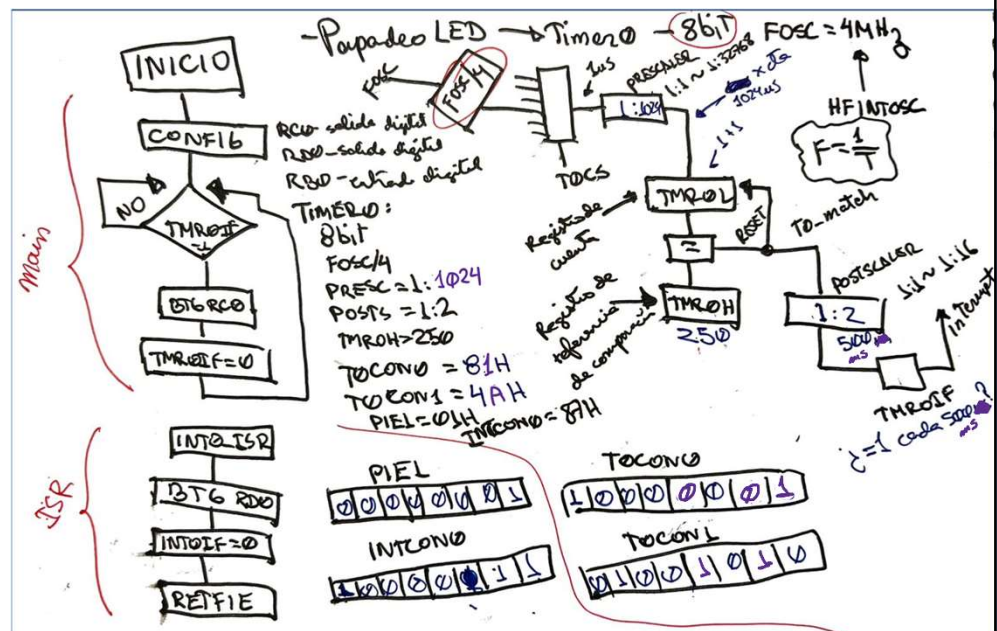
- Funcionamiento



25

## Estrategia3: Timer0 en rutina principal y Latch con INTO

- En esta estrategia se ha cambiado el modo de trabajo del Timer0 a 8bit.
- Recordar que el evento que emite el TMR0 en 8bit es debido a la igualdad entre TMR0H y TMR0L.
- Tener en cuenta que el INTOIE (habilitador de la INTO) se encuentra en el bit0 del registro PIE1 y el INTOIF (bandera de la INTO) se encuentra en el bit del registro PIR1



26

## Estrategia3: Timer0 en rutina principal y Latch con INTO

### • Código propuesto

```

1  PROCESSOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  upcino:
6  ORG 000000H          ;vector de reset
7  bra configur0
8
9  ORG 000008H          ;vector de interrupcion
10 bra INTO_ISR
11
12 ORG 000100H
13 configur0:
14 movlb 0H              ;bank0
15 movlw 60H
16 movwf OSCCON1, 1      ;hfintosc, 1:1
17 movlw 02H
18 movwf OSCFRO, 1       ;hfintosc 4MHz
19 movlw 40H
20 movwf OSCEN, 1        ;hfintosc enabled
21 movlb 2H              ;bank2
22 movlw 08H
23 movwf INT0PPS, 1      ;rb0 asignado a INTO
24 movlb 3H              ;bank3
25 movlw 81H
26 movwf T0CON0, 1       ;tmr0 on, 8bit, posts
27 movlw 4AH
28 movwf T0CON1, 1       ;fosc4, presc 1:1024
29 movlw 250
30 movwf TMR0H, 1        ;valor de referencia
31
32 movlb 4H              ;bank4
33 bcf TRISD, 0, 1       ;rd0 salida
34 bcf ANSELD, 0, 1      ;rd0 digital
35 bcf TRISC, 0, 1       ;rc0 salida
36 bcf ANSELC, 0, 1      ;rc0 digital
37 bcf TRISE, 0, 1       ;rb0 entrada
38 bcf ANSELB, 0, 1      ;rb0 digital
39 movlw 01H
40 movwf PIE1, 1          ;INT0 enabled
41 movlw 87H
42 movwf INTCON0, 1      ;GIE enabled, INTOEDG=1
43 bcf LATD, 0, 1        ;rd0=0
44
45 inicio:
46 btfss PIR3, 7, 1      ;pregunto si hubo evento en TMR0 (TMR0IF=1)
47 bra $-2              ;no hubo evento en TMR0 (TMR0IF=0)
48 btg LATC, 0, 1        ;si hubo evento, basculo rc0
49 bcf PIR3, 7, 1        ;bajo bandera TMR0IF
50 bra inicio            ;repito
51
52 INTO_ISR:
53 btg LATD, 0, 1        ;basculo rd0
54 bcf PIR1, 0, 1        ;bajo bandera INTOIF
55 retfie                ;retorno a posicion antes de interrupcion
56 end upcino

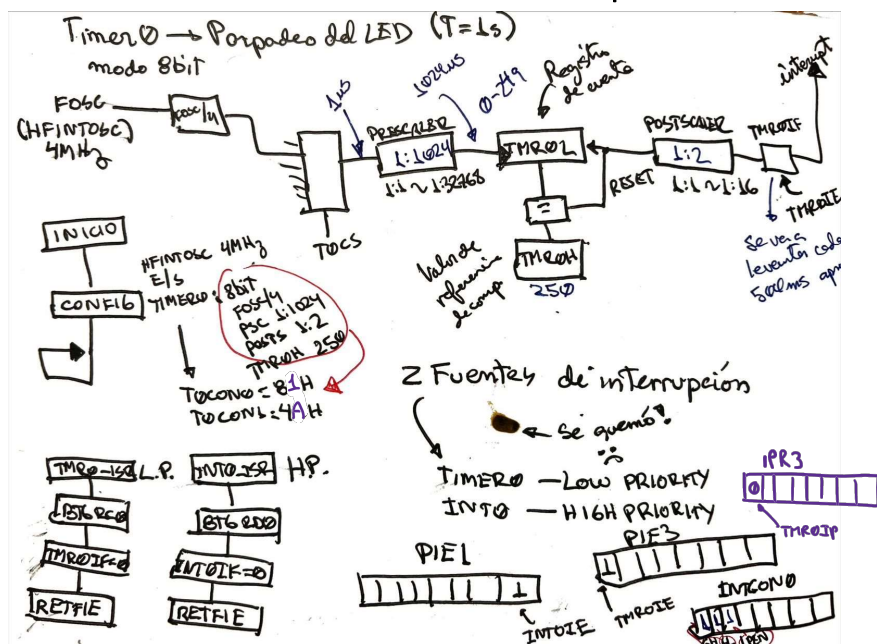
```

Nota: No olvidar de colocar el bit de configuración MVECEN=OFF

27

## Estrategia4: Timer0 e INTO en interrupciones

- En estrategia, la configuración del Timer0 es la misma que la de la estrategia 3: modo 8 bits.
- Se esta considerando el uso de prioridades en las interrupciones (bits de configuración MVECEN=OFF), donde la interrupción del Timer0 pasará a la baja prioridad (vector 18H) mientras que la interrupción INTO permanecerá en la alta prioridad (vector 8H).
- Tener en cuenta que el habilitador de interrupciones del Timer0 (TMR0IE) se encuentra en el bit 7 del registro PIE3, y su bandera TMR0IF se encuentra en el bit 7 del registro PIR3.
- El bit TMR0IP que determina la prioridad de la interrupción del Timer0 se encuentra en el bit 7 del registro IPR3.



28

## Estrategia4: Timer0 e INT0 en interrupciones

### • Código propuesto

```

1  PROCESSOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  upcino:
6      ORG 000000H      ;vector de reset
7      bra configur0
8
9      ORG 000008H      ;vector de int hp
10     bra INT0_ISR
11
12     ORG 000018H      ;vector de int lp
13     bra TMR0_ISR
14
15     ORG 000100H
16     configur0:
17         movlb 0H      ;bank0
18         movlw 60H
19         movwf OSCCON1, 1
20         movlw 02H
21         movwf OSCFRCQ, 1
22         movlw 40H
23         movwf OSCEN, 1
24         movlb 3H      ;bank3
25         movlw 81H
26         movwf TOCON0, 1
27         movlw 4AH
28         movwf TOCON1, 1
29         movlw 250
30         movwf TMR0H, 1
31         bcf IPB3, 7, 1 ;TMR0IE=0 (low priority)
32         movlb 4H      ;bank4
33         bsf PIE3, 7, 1 ;TMR0IE=1
34         bsf PIE1, 0, 1 ;INT0IE=1
35         movlw 0E7H
36         movwf INTCN0, 1 ;GIEH=1, GIEL=1, IPEN=1
37         bcf TRISC, 0, 1 ;RC0 como salida
38         bcf ANSEL, 0, 1 ;RC0 como digital
39         bcf TRISD, 0, 1 ;RD0 como salida
40         bcf ANSELD, 0, 1 ;RD0 como digital
41         bsf TRISE, 0, 1 ;RB0 como entrada
42         bcf ANSELB, 0, 1 ;RB0 como digital
43
44     inicio:
45         bra inicio
46
47     TMR0_ISR:
48         btg LATC, 0, 1 ;complementamos RC0
49         bcf PIR3, 7, 1 ;bajamos TMR0IF
50         retfie
51
52     INT0_ISR:
53         btg LATD, 0, 1 ;complementamos RD0
54         bcf PIR1, 0, 1 ;bajamos INT0IF
55         retfie
56
57     end upcino

```

29

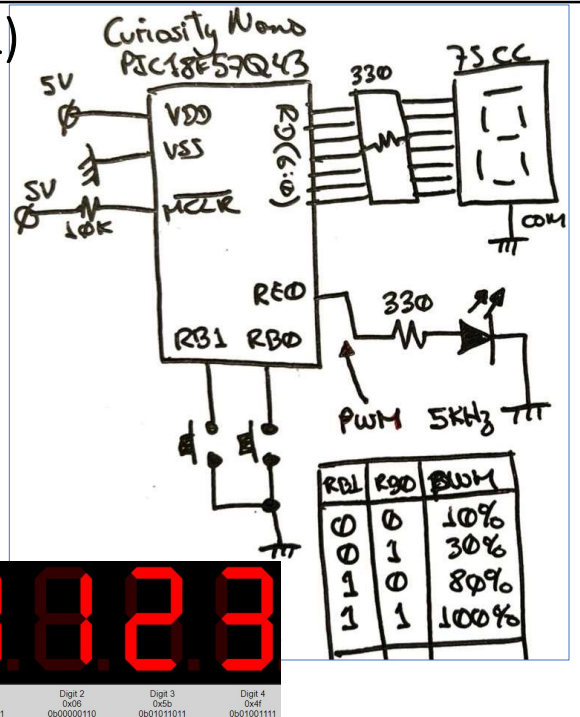
## ¿Multitarea?

- Ejecución de varias tareas a la vez en el microcontrolador
- Sistemas RTOS (Real Time Operating System), relacionado con lenguajes de alto nivel generalmente.
- En en assembler la multitarea esta relacionado con el uso de interrupciones.
- Ejecución de una instrucción ≠ ejecución de una tarea

30

## Asignación del LB2 EL57 (2024-1)

- Desarrollar el siguiente ejercicio de emisión de una señal PWM de 5KHz con Duty Cycle variable y configurado a través de una combinatoria en RB1 y RB0 según tabla.
- No olvidar de activar las pullup de RB1 y RB0.
- En el display de siete segmentos aparecerá la combinación seleccionada de duty cycle (0, 1, 2 ó 3)
- Para verificar la salida de PWM se usará un LED el cuál cambiará de intensidad según combinatoria.
- Seguir las indicaciones de la actividad en el AV y activar sus webcams durante la evaluación



31

## Asignación del LB2 (2024-1)

```

1  PROCESSOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  temporal EQU 500H ;GPR
6
7  upcino:
8  ORG 000000H ;Vector de reset
9  bra configuro
10
11 ORG 000300H ;tabla de decodificacion
12 ceroaltres: DB 3FH, 06H, 5BH, 4FH
13
14 ORG 000100H
15 configuro:
16 movlb 0H ;bank0
17 movlb 60H ;bank4
18 movwf OSCCON1, 1 ;hfintosc, 1:1
19 movlb 02H ;bank4
20 movwf OSCFRCQ, 1 ;hfintosc 4MHz
21 movlb 40H ;bank4
22 movwf OSCEN, 1 ;hfintosc enabled
23 movlb 3H ;bank3
24 movlb 90H ;bank3
25 movwf TOCON0, 1 ;tmr0 on, 16 bit, posts 1:1
26 movlb 40H ;bank4
27 movwf TOCON1, 1 ;fosc/4 presc 1:1
28 movlb 4H ;bank4
29 bcf TRISE, 0, 1 ;RE0 salida
30 bcf ANSELE, 0, 1 ;RE0 digital
31 clrf TRISD, 1 ;RD salida
32 clrf ANSEL0, 1 ;RD digital
33 setf TRISB, 1 ;RB1 y RB0 entradas
34 movlb 0FCH ;bank4
35 movwf ANSELB, 1 ;RB1 y RB0 digitales
36 clrf TBLPTRU, 1
37
38 movlb 03H
39 movwf TBLPTRH, 1
40 clrf TBLPTRL, 1 ;TBLPTR apuntando a 300H
41 movlb 5H
42 clrf temporal, 1
43
44 inicio: ;rutina principal
45 movlb 4H
46 movf PORTB, 0, 1 ;leo RB1 y RB0
47 andlw 03H ;enmascaramiento
48 movlb 5H
49 movwf temporal, 1 ;almacenar en GPR temporal
50 call deco7s ;visualizacion en el display
51 movlb 5H
52 movlb 0
53 cpfseq temporal, 1 ;combinacional 0?
54 bra siguiente1 ;no, sigue preguntando
55 bra estado_0 ;salta a combinacional 0
56
57 siguiente1:
58 movlb 1
59 cpfseq temporal, 1 ;combinacional 1?
60 bra siguiente2 ;no, sigue preguntando
61 bra estado_1 ;salta a combinacional 1
62
63 siguiente2:
64 movlb 2
65 cpfseq temporal, 1 ;combinacional 2?
66 bra estado_3 ;salta a combinacional 3
67 bra estado_2 ;salta a combinacional 2
68
69 estado_0: ;duty cycle 10%
70 movlb 4H
71 bsf LATE, 0, 1 ;RE0 a uno
72 movlb 3H
73 movlb 0FCH
74 movwf TMR0H, 1
75 movlb 0ECH
76 movwf TMR0L, 1
77 movlb 4H
78 btfss PIR3, 7, 1 ;termino de TON (20us)
79 bra S-2
80 bcf LATE, 0, 1 ;RE0 a cero
81
82 estado_1: ;duty cycle 30%
83 movlb 4H
84 bsf LATE, 0, 1 ;RE0 a uno
85 movlb 3H
86 movlb 0FCH
87 movwf TMR0H, 1
88 movlb 0C4H
89 movwf TMR0L, 1
90 movlb 4H
91 btfss PIR3, 7, 1 ;termino de TON (60us)
92 bra S-2
93 bcf LATE, 0, 1 ;RE0 a cero
94
95 estado_2: ;duty cycle 80%
96 movlb 4H
97 bsf LATE, 0, 1 ;RE0 a uno
98 movlb 3H
99 movlb 0FCH
100 movwf TMR0H, 1
101 movlb 0C4H
102 movwf TMR0L, 1
103 movlb 4H
104 btfss PIR3, 7, 1 ;termino de TON (180us)
105 bra S-2
106 bcf LATE, 0, 1 ;RE0 a cero
107
108 estado_3: ;duty cycle 100%
109 movlb 4H
110 bsf LATE, 0, 1 ;RE0 a uno
111 movlb 3H
112 movlb 0FCH
113 movwf TMR0H, 1
114 movlb 0C4H
115 movwf TMR0L, 1
116 movlb 4H
117 btfss PIR3, 7, 1 ;termino de TON (180us)
118 bra S-2
119 bcf LATE, 0, 1 ;RE0 a cero
120

```

32





## Asignación del LB2 EL52 (2024-1)

```

1  PROCESOR 18F57Q43
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  temporal EQU 500H      ;GPR
6
7  upcino:
8      ORG 000000H          ;Vector de reset
9      bra configuro
10
11     ORG 000300H          ;tabla de decodificacion
12     ceroaltres: DB 77H, 7CH, 58H, 5EH
13
14     ORG 000100H
15     configuro:
16         movlb 0H          ;rbank0
17         movlw 60H
18         movwf OSCCON1, 1  ;rhfintosc, 1:1
19         movlw 02H
20         movwf OSCFRO, 1   ;rhfintosc 4MHz
21         movlw 40H
22         movwf OSCEN, 1    ;rhfintosc enabled
23         movlb 3H
24         movlw 90H
25         movwf TOCON0, 1   ;tmr0 on, 16 bit, posts 1:1
26         movlw 40H
27         movwf TOCON1, 1   ;fosc/4 presc 1:1
28         movlb 4H
29         bcf TRISB, 0, 1   ;RB0 salida
30         bcf ANSELB, 0, 1  ;RB0 digital
31         clrf TRISD, 1     ;RD salida
32         clrf ANSELD, 1    ;RD digital
33         setf TRISC, 1     ;RC1 y RCO entradas
34         movlw 0FCH
35         movwf ANSELC, 1   ;RC1 y RCO digitales
36         clrf TBLPTRU, 1
37         movlw 03H
38         movwf TBLPTRH, 1
39         clrf TBLPTRL, 1   ;TBLPTR apuntando a 300H
40         movlb 5H
41         clrf temporal, 1
42
43     inicio:                ;rutina principal
44         movlb 4H
45         movf PORTC, 0, 1  ;leo RCL y RCO
46         andlw 03H        ;enmascaramiento
47         movlb 5H
48         movwf temporal, 1 ;almacenar en GPR temporal
49         call deco7s       ;visualizacion en el disp
50         movlb 5H
51         movlw 0
52         cpfseq temporal, 1 ;combinacional 0?
53         bra siguiente1    ;no, sigue preguntando
54         bra estado_0      ;salta a combinacional 0
55     siguiente1:
56         movlw 1
57         cpfseq temporal, 1 ;combinacional 1?
58         bra siguiente2    ;no, sigue preguntando
59         bra estado_1      ;salta a combinacional 1
60     siguiente2:
61         movlw 2
62         cpfseq temporal, 1 ;combinacional 2?
63         bra estado_3      ;salta a combinacional 3
64         bra estado_2      ;salta a combinacional 2
65     estado_0:
66         movlb 4H
67         bsf LATB, 0, 1    ;RB0 a uno
68         movlb 3H
69         movlw 0FFH
70         movwf TMR0H, 1
71         movwf TMR0L, 1
72         movlb 4H
73         btfss PIR3, 7, 1
74         bra $-2
75         bcf PIR3, 7, 1    ;termino de TON (33us)
76         bcf LATB, 0, 1   ;RB0 a cero
77         movlb 3H
78         movlw 0FEH
79         movwf TMR0H, 1
80         movwf TMR0L, 1
81         movlw 0D4H
82         movwf TMR0L, 1
83         movlb 4H
84
85         btfss PIR3, 7, 1
86         bra $-2
87         bcf PIR3, 7, 1    ;termino de TOF (300us)
88         bra inicio
89
90     estado_1:                ;duty cycle 30%
91         movlb 4H
92         bsf LATB, 0, 1    ;RB0 a uno
93         movlb 3H
94         movlw 0FFH
95         movwf TMR0H, 1
96         movlw 0ADH
97         movwf TMR0L, 1
98         movlb 4H
99         btfss PIR3, 7, 1
100        bra $-2
101        bcf PIR3, 7, 1     ;termino de TON (83us)
102        bcf LATB, 0, 1    ;RB0 a cero
103        movlb 3H
104        movlw 0FFH
105        movwf TMR0H, 1
106        movlw 06H
107        movwf TMR0L, 1
108        movlb 4H
109        btfss PIR3, 7, 1
110        bra $-2
111        bcf PIR3, 7, 1     ;termino de TOF (250us)
112        bra inicio
113
114     estado_2:                ;duty cycle 80%
115         movlb 4H
116         bsf LATB, 0, 1    ;RB0 a uno
117         movlb 3H
118         movlw 0FFH
119         movwf TMR0H, 1
120         movlw 22H
121         movwf TMR0L, 1
122         movlb 4H
123         btfss PIR3, 7, 1
124         bra $-2
125         bcf PIR3, 7, 1    ;termino de TON (222us)
126         bcf LATB, 0, 1   ;RB0 a cero

```

35

## Asignación del LB2 EL52 (2024-1)

```

126     bcf LATB, 0, 1        ;RB0 a cero
127     movlb 3H
128     movlw 0FFH
129     movwf TMR0H, 1
130     movlw 91H
131     movwf TMR0L, 1
132     movlb 4H
133     btfss PIR3, 7, 1
134     bra $-2
135     bcf PIR3, 7, 1        ;termino de TOF (111us)
136     bra inicio
137
138     estado_3:                ;duty cycle 100%
139         movlb 4H
140         bsf LATB, 0, 1    ;RB0 a uno
141         movlb 3H
142         movlw 0FEH
143         movwf TMR0H, 1
144         movlw 0D4H
145         movwf TMR0L, 1
146         movlb 4H
147         btfss PIR3, 7, 1
148         bra $-2
149         bcf PIR3, 7, 1    ;termino de TON (300us)
150         bcf LATB, 0, 1   ;RB0 a cero
151         movlb 3H
152         movlw 0FFH
153         movwf TMR0H, 1
154         movlw 0DFH
155         movwf TMR0L, 1
156         movlb 4H
157         btfss PIR3, 7, 1
158         bra $-2
159         bcf PIR3, 7, 1    ;termino de TOF (33us)
160         bra inicio
161
162     deco7s:                ;decodificacion 7seg
163         movlb 4H
164         movwf temporal, TBLPTRL
165         TBLRD+
166         movwf TABLAT, LATD
167         return
168
169     end upcino

```

36

Fin de la sesión