

Microcontroladores

Semana 7

Semestre 2024-1

Por Kalun José Lau Gan

1

Preguntas previas

- ¿Qué es el “BRA \$-2”?
 - Es un salto (branch) de dos posiciones de memoria (asumiendo cada posición de un byte) hacia atrás.
- ¿Va a dejar debates en el AV?
 - --
- La redacción del informe es de manera impersonal
- En I2C cómo hacemos con las resistencias de pullup?
 - El PIC18F57Q43 posee pullups especialmente para dicha comunicación, revisar cap 19 del datasheet

2

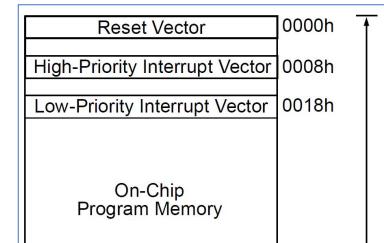
Agenda:

- Interrupciones en el PIC18F57Q43 (cap 11 del datasheet)

3

Interrupciones:

- Las interrupciones son **eventualidades** que detienen el flujo normal de operación del microcontrolador.
- Dos modos de operación: **Vectorizado** (MVECEN=ON) y el **Legacy** (MVECEN=OFF). MVECEN es un bit de configuración
- Todos los periféricos internos del microcontrolador (Timers, INTs externas, CCP, EUSART, A/D, comparadores analógicos, etc) pueden emitir interrupciones al CPU.
- Las banderas que indican la fuente de interrupción (xxxIF) deberán de bajarse manualmente una vez activados.
- Cuando bit de configuración MVECEN = OFF:
 - En el PIC18F57Q43 tenemos dos vectores de interrupción:
 - Alta Prioridad (0x0008)
 - Baja Prioridad (0x0018)
 - Las interrupciones vienen desactivadas por defecto (GIE=0 y todos los xxxIE=0).
 - Las prioridades están desactivadas por defecto (IPEN=0), si están desactivadas, todas van al 0x0008)
 - Al activarse las prioridades (IPEN=1) todas las fuentes estarán en alta (xxxIP=1)



```

ORG 000000H
bra configuro

ORG 000008H
bra INT_ISR_HP

ORG 000018H
bra INT_ISR_LP

ORG 000020H
configuro:    ;--|
               ;--|
               ;--|
  
```

4

Sobre el modo legacy en interrupciones

- Hay que tener en cuenta que para que funcione este modo, el bit de configuración MVECEN debe de estar en OFF
- Tener en cuenta que si no se trabaja con prioridades (IPEN=0), todos los eventos se van a la dirección 000008H
- Si es que se activa las prioridades, por defecto todas las fuentes de interrupción están en alta prioridad
- Políticas de atención en prioridades:
 - Cuando un evento de alta prioridad y un evento de baja prioridad ocurren al mismo, el CPU primero atiende al de alta prioridad dejando en cola la atención del de baja prioridad, luego de atender la de alta prioridad se procede a atender al de baja prioridad.
 - Cuando ocurre un evento de de interrupción de alta prioridad, la atiendes y en ese momento recibes una de baja prioridad, el CPU sigue atendiendo al de alta prioridad y luego de terminar atiende la de baja prioridad.
 - Cuando ocurre un evento de baja prioridad, la atiendes y en ese momento ocurre una de alta prioridad, el CPU pone en pausa la atención del de baja prioridad y se va a atender al de alta prioridad, una vez terminado de atender la alta prioridad resumen la atención del de baja prioridad.
 - Cuando se reciben dos interrupciones de la misma prioridad. El desarrollador tiene que decidir en el programa a quien atender primero.

5

Sobre el modo vectorizado en interrupciones

Vector Number	Interrupt source	Vector Number (cont.)	Interrupt source (cont.)	Vector Number	Interrupt source	Vector Number (cont.)	Interrupt source (cont.)
0x0	Software Interrupt	0x3E	PWM3RINT	0x2F	PWM2GINT	0x6B	U5
0x1	HVLD (High/Low-Voltage Detect)	0x3F	PWM3GINT	0x30	INT1	0x6C	DMAS6CNT
0x2	OSF (Oscillator Fall)	0x40	U2RX	0x31	CLC2	0x6D	DMAG6CNT
0x3	CSW (Clock Switching)	0x41	U2TX	0x32	CWG1 (Complementary Waveform Generator)	0x6E	DMAG6OR
0x4	-	0x42	U2E	0x33	NCO1 (Numerically Controlled Oscillator)	0x6F	DMAGA
0x5	CLC1 (Configurable Logic Cell)	0x43	U2	0x34	DMA2SCNT	0x70	-
0x6	-	0x44	TMR5	0x35	DMA2DCNT	0x71	CLC7
0x7	IOC (Interrupt-On-Change)	0x45	TMR5G	0x36	DMA2OR	0x72	CM2
0x8	INT0	0x46	CCP2	0x37	DMA2A	0x73	NCO3
0x9	ZCD (Zero-cross Detection)	0x47	SCAN	0x38	I2C1RX	0x74 - 0x77	-
0xA	AD (ADC Conversion Complete)	0x48	USRX	0x39	I2C1TX	0x78	NVM
0xB	ACT (Active Clock Tuning)	0x49	USTX	0x3A	I2C1	0x79	CLC8
0xC	CMI (Clock Monitor)	0x4A	U3E	0x3B	I2C1E	0x7A	CRC (Cyclic Redundancy Check)
0xD	SMT1 (Signal Measurement Timer)	0x4B	U3	0x3C	-	0x7B	TMR6
0xE	SMT1PRA	0x4C	-	0x3D	CLC3	0x7C - 0x8F	-
0xF	SMT1PWA	0x4D	CLC4				
0x10	ADT	0x4E - 0x4F	-				
0x11 - 0x13		0x50	INT2				
0x14	DMA1SCNT (Direct Memory Access)	0x51	CLC5				
0x15	DMA1DCNT	0x52	CWG2 (Complementary Waveform Generator)				
0x16	DMA1IOR	0x53	NCO2				
0x17	DMA1OA	0x54	DMA3SCNT				
0x18	SPI1RX (Serial Peripheral Interface)	0x55	DMA3DCNT				
0x19	SPI1TX	0x56	DMA3OR				
0x1A	SPI1	0x57	DMA3A				
0x1B	TMR2	0x58	CCP3				
0x1C	TMR1	0x59	CLC6				
0x1D	TMR1G	0x5A	CWG3				
0x1E	CCP1 (Capture/Compare/PWM)	0x5B	TMR4				
0x1F	TMR0	0x5C	DMA4SCNT				
0x20	UIRX	0x5D	DMA4DCNT				
0x21	UITX	0x5E	DMA4OR				
0x22	UI	0x5F	DMA4AA				
0x23	-	0x60	U4RX				
0x24 - 0x25	-	0x61	U4TX				
0x26	PWM1RINT	0x62	U4E				
0x27	PWM1GINT	0x63	U4				
0x28	SPI2RX	0x64	DMASSCNT				
0x29	SPI2TX	0x65	DMA5DCNT				
0x2A	SPI2	0x66	DMA5OR				
0x2B	-	0x67	DMA5A				
0x2C	TMR3	0x68	USRX				
0x2D	TMR3G	0x69	USTX				
0x2E	PWM2RINT	0x6A	U5E				

6

La interrupción del Timer0

- Dependiendo del modo de trabajo:
 - Modo 8 bit: El evento de interrupción proviene de la comparación en igualdad entre TMROH (valor de referencia de comparación) y TMROL (registro de cuenta) - tmr0_match
 - Modo 16 bit: El evento de interrupción proviene del desborde del registro de cuenta (65535 hacia 0) – tmr0_overflow
- Tener en cuenta el valor que se le coloca en POSTSCALER, este dispositivo contará una cantidad de eventos (tmr0_match o tmr0_overflow) antes de activar la bandera TMROIF y que va desde 1:1 hasta 1:16.
 - Si POSTSCALER = 1:1, cada evento (tmr0_latch ó tmr0_overflow) activará TMROIF
 - Si POSTSCALER = 1:2, cada dos eventos (tmr0_match ó tmr0_overflow) activará TMROIF
- Cuando se levante la bandera (TMROIF), ésta deberá de bajarse manualmente.
- Para habilitar la interrupción del Timer0:
 - Activar TMROIE, ubicado en el bit7 del registro PIE3
 - Activar GIE, ubicado en el bit7 del registro INTCON0
- De usar prioridades en las interrupciones del Timer0 (modo legacy MVECEN=OFF):
 - Revisar el bit 7 (TMROIP) del registro IPR3, por defecto TMROIP=1 (alta prioridad)
 - Revisar bits IPEN, GIEH y GIEL del registro INTCON0

7

Plantilla para manejar interrupción del TMRO en modo legacy (MVECEN=OFF) y sin prioridades (IPEN=0)

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs

upcino:
    ORG 000000H
    bra configuro

    ORG 000008H ← Vector de alta prioridad
    bra TMRO_ISR

    ORG 000100H

configuro:
    ;-- 
    ;-- 
    bsf PIE3, 7      ;Habilito interrupcion de TMRO
    bsf INTCON0, 7   ;Habilito GIE

inicio: ;--          ;Rutina principal
    ;-- 
    bra inicio

TMRO_ISR:           ;Rutina de interrupcion de TMRO
    ;Lo que tiene que hacer cuando ocurrió una INT del TMRO
    bcf PIR7, 3      ;Baja bandera TMROIF
    ;-- 
    ;-- 
    retfie           ;retorno de donde viniste

end upcino

```

8

Plantilla para manejar interrupción del TMRO con MVECEN=1 (modo vectorizado)

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs

upcino:
    ORG 00000H
    bra configuro

    ORG 00001FH
    bra TMRO_ISR

    ORG 000100H
configuro:
    ;-- 
    ;-- 
    bsf PIE3, 7      ;Habilito interrupcion de TMRO
    bsf INTCON0, 7   ;Habilito GIE

    inicio: ;--          ;Rutina principal
    ;-- 
    ;-- 
    bra inicio

TMRO_ISR:           ;Rutina de interrupcion de TMRO
    ;Lo que tiene que hacer cuando ocurrió una INT del TMRO
    bcf PIR7, 3        ;Baja bandera TMROIF
    ;-- 
    ;-- 
    retfie             ;retorno de donde viniste

end upcino

```

← Vector del TMRO según INTBASE

9

Las interrupciones externas INT0, INT1, INT2

- Interrumpen al CPU del microcontrolador, estas acciones provienen de pines externos (INT0, INT1 e INT2).
- Pines externos (por defecto RB0 para INT0, RB1 para la INT1 y RB2 para INT2). Configurables su asignación por el PPS (**registros INTxPPS**, revisar cap 21).
- Pueden ser activos en alto (flanco ascendente) o activos en bajo (flanco descendente). Revisar bits INTOEDG, INT1EDG y INT2EDG (**registro INTCON0**).
- Los bits de habilitación de las interrupciones externas son INTOIE, INT1E e INT2IE. Estos se encuentran en el grupo de **registros PIE**
- Las banderas INTOIF, INT1IF e INT2IF deberán de bajarse (acción manual) cuando se activen. Se encuentran en el grupo de **registros PIRx**.

10

Las interrupciones externas INT0, INT1, INT2

- En MVECEN=OFF por defecto las tres interrupciones saltan al vector de alta prioridad (000008H) al ser activadas. Si se requiere pasar a baja prioridad (000018H) alguno de ellos se deberá activar la prioridad de las interrupciones (IPEN=1) y configurar los bits INTOIP, INT1IP e INT2IP según requerimientos. Se encuentran en el grupo de **registros IPRx**.
- Recordar que el GIE/GIEH (habilitador global, global alta prioridad), GIEL (habilitador global baja prioridad) e IPEN (habilitador de prioridades se encuentran en el **registro INTCON0**).
- En MVECEN=ON las interrupciones INT0, INT1 e INT2 tienen sus propios vectores y se encuentran en direcciones definidas por la tabla de vectores de interrupción (IVTBASE):
 - INT0 – 000008H
 - INT1 – 000030H
 - INT2 – 000050H

11

Las interrupciones externas INT0, INT1, INT2

Peripheral	PPS Input Register	Default Pin Selection at POR	Register Reset Value at POR	Available Input Port							
				28-Pin Devices		40-Pin Devices		48-Pin Devices			
0x023E	Interrupt 0	INT0PPS	'b001 000	A	B	—	A	B	—	A	B
0x023F	Interrupt 1	INT1PPS	'b001 001	A	B	—	A	B	—	B	D
0x0240	Interrupt 2	INT2PPS	'b001 010	A	B	—	A	B	—	B	F

- Registros PPS de las interrupciones externas
- Tener en cuenta que estos registros se encuentran en el bank 2

Name: xxxPPS																													
Peripheral Input Selection Register																													
Bits 5:3 – PORT[2:0] Peripheral Input PORT Selection ⁽¹⁾																													
See the PPS Input Selection Table for the list of available Ports and default pin locations.																													
<table border="1"> <thead> <tr> <th>PORT</th> <th>Selection</th> </tr> </thead> <tbody> <tr> <td>101</td> <td>PORTE</td> </tr> <tr> <td>100</td> <td>PORTE</td> </tr> <tr> <td>011</td> <td>PORTE</td> </tr> <tr> <td>010</td> <td>PORTE</td> </tr> <tr> <td>001</td> <td>PORTE</td> </tr> <tr> <td>000</td> <td>PORTE</td> </tr> </tbody> </table>												PORT	Selection	101	PORTE	100	PORTE	011	PORTE	010	PORTE	001	PORTE	000	PORTE				
PORT	Selection																												
101	PORTE																												
100	PORTE																												
011	PORTE																												
010	PORTE																												
001	PORTE																												
000	PORTE																												
Reset States: POR = mmm All other Resets = uuu																													
<table border="1"> <thead> <tr> <th>PORT</th> <th>Selection</th> </tr> </thead> <tbody> <tr> <td>101</td> <td>PORTE</td> </tr> <tr> <td>100</td> <td>PORTE</td> </tr> <tr> <td>011</td> <td>PORTE</td> </tr> <tr> <td>010</td> <td>PORTE</td> </tr> <tr> <td>001</td> <td>PORTE</td> </tr> <tr> <td>000</td> <td>PORTE</td> </tr> </tbody> </table>												PORT	Selection	101	PORTE	100	PORTE	011	PORTE	010	PORTE	001	PORTE	000	PORTE				
PORT	Selection																												
101	PORTE																												
100	PORTE																												
011	PORTE																												
010	PORTE																												
001	PORTE																												
000	PORTE																												
Bits 2:0 – PIN[2:0] Peripheral Input PORT Pin Selection ⁽²⁾																													
Reset States: POR = mmm All other Resets = uuu																													
<table border="1"> <thead> <tr> <th>Value</th> <th>Description</th> </tr> </thead> <tbody> <tr> <td>111</td> <td>Peripheral input is from PORTx Pin 7 (Rx7)</td> </tr> <tr> <td>110</td> <td>Peripheral input is from PORTx Pin 6 (Rx6)</td> </tr> <tr> <td>101</td> <td>Peripheral input is from PORTx Pin 5 (Rx5)</td> </tr> <tr> <td>100</td> <td>Peripheral input is from PORTx Pin 4 (Rx4)</td> </tr> <tr> <td>011</td> <td>Peripheral input is from PORTx Pin 3 (Rx3)</td> </tr> <tr> <td>010</td> <td>Peripheral input is from PORTx Pin 2 (Rx2)</td> </tr> <tr> <td>001</td> <td>Peripheral input is from PORTx Pin 1 (Rx1)</td> </tr> <tr> <td>000</td> <td>Peripheral input is from PORTx Pin 0 (Rx0)</td> </tr> </tbody> </table>												Value	Description	111	Peripheral input is from PORTx Pin 7 (Rx7)	110	Peripheral input is from PORTx Pin 6 (Rx6)	101	Peripheral input is from PORTx Pin 5 (Rx5)	100	Peripheral input is from PORTx Pin 4 (Rx4)	011	Peripheral input is from PORTx Pin 3 (Rx3)	010	Peripheral input is from PORTx Pin 2 (Rx2)	001	Peripheral input is from PORTx Pin 1 (Rx1)	000	Peripheral input is from PORTx Pin 0 (Rx0)
Value	Description																												
111	Peripheral input is from PORTx Pin 7 (Rx7)																												
110	Peripheral input is from PORTx Pin 6 (Rx6)																												
101	Peripheral input is from PORTx Pin 5 (Rx5)																												
100	Peripheral input is from PORTx Pin 4 (Rx4)																												
011	Peripheral input is from PORTx Pin 3 (Rx3)																												
010	Peripheral input is from PORTx Pin 2 (Rx2)																												
001	Peripheral input is from PORTx Pin 1 (Rx1)																												
000	Peripheral input is from PORTx Pin 0 (Rx0)																												

12

Plantilla para manejar interrupciones externas con MVCEN=OFF

- Se esta considerando que INT0 se encuentre en alta prioridad mientras que INT1 se encuentre en baja prioridad.
- Si IPEN=1, todas las fuentes de interrupción se encuentran en alta prioridad por defecto.
- Para cambiar alguna fuente de interrupción a baja prioridad debemos de ubicar dicha fuente en los registros IPRx.

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs
upcino:
    ORG 000000H
    bra configuro

    ORG 000008H      ;Vector de alta prioridad
    bra INT0_ISR

    ORG 000018H      ;Vector de baja prioridad
    bra INT1_ISR

    ORG 000100H
configuro:
    ;-
    bsf PIE1, 0      ;Habilito interrupcion de INT0
    bsf PIE6, 0      ;Habilito interrupcion de INT1
    bsf INTCON0, 5   ;Habilito IPEN
    bsf INTCON0, 7   ;Habilito GIEH
    bsf INTCON0, 6   ;Habilito GIEL
    bcf IPR6, 0      ;Mando INT1 a baja prioridad

inicio: ;-
        bra inicio          ;Rutina principal

INT0_ISR:           ;Rutina de interrupcion de INT0
                    ;Lo que tiene que hacer cuando ocurrió una INT0
                    ;Baja bandera INT0IF
        bcf PIR1, 0
        ;-
        retfie               ;retorno de donde viniste

INT1_ISR:           ;Rutina de interrupcion de INT1
                    ;Lo que tiene que hacer cuando ocurrió una INT1
                    ;Baja bandera INT1IF
        bcf PIR6, 0
        ;-
        retfie               ;retorno de donde viniste
end upcino

```

13

Plantilla para manejar interrupciones externas con MVECEN=ON

```

PROCESSOR 18F57Q43
#include "cabecera.inc"

PSECT upcino,class=CODE,reloc=2,abs
upcino:
    ORG 000000H
    bra configuro

    ORG 000008H      ;Vector para la INT0
    bra INT0_ISR

    ORG 000030H      ;Vector para la INT1
    bra INT1_ISR

    ORG 000100H
configuro:
    ;-
    ;-
    bsf PIE1, 0      ;Habilito interrupcion de INT0
    bsf PIE6, 0      ;Habilito interrupcion de INT1
    bsf INTCON0, 7   ;Habilito GIE

inicio: ;-
        bra inicio          ;Rutina principal

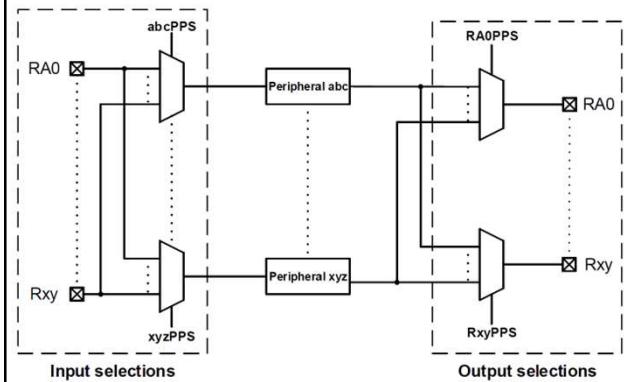
INT0_ISR:           ;Rutina de interrupcion de INT0
                    ;Lo que tiene que hacer cuando ocurrió una INT0
                    ;Baja bandera INT0IF
        bcf PIR1, 0
        ;-
        retfie               ;retorno de donde viniste

INT1_ISR:           ;Rutina de interrupcion de INT1
                    ;Lo que tiene que hacer cuando ocurrió una INT1
                    ;Baja bandera INT1IF
        bcf PIR6, 0
        ;-
        retfie               ;retorno de donde viniste
end upcino

```

14

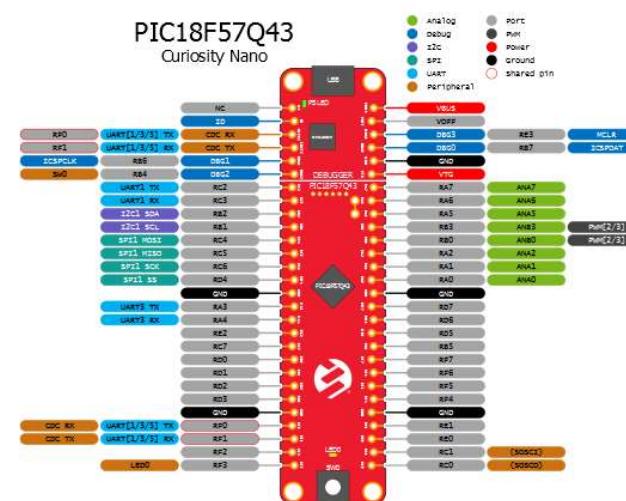
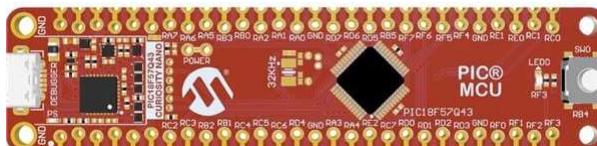
El módulo PPS (Peripheral Pin Select)



- Referencia cap 21 del datasheet
 - Módulo encargado de asignar las señales de los periféricos a los pines del microcontrolador.
 - Sólo para señales digitales, tanto de entrada como de salida.
 - Con este módulo podrás reasignar los pines de los diferentes periféricos que tiene el microcontrolador, limitado a solo lo que indican las tablas 21-1 (entradas) y 21-2 (salidas).

15

Ejemplo de PPS aplicado a la INTO



- La INT0 tiene por defecto el RB0 como puerto de entrada
 - Tenemos en el Curiosity Nano un botón en RB4 activo en bajo drenador abierto.
 - ¿Cómo haría para que el RB4 sea la INT0 del microcontrolador?

16

Ejemplo de PPS aplicado a la INT0

- Respondiendo a la pregunta:
- Usando el PPS podemos cambiar la asignación por defecto (RB0) de la entrada del INT0 hacia el pin RB4 (revisar tabla 21-1 del datasheet)
- El valor obtenido para el registro INTOPPS fue 0CH según 21.8.1 del datasheet
- Recordar que INTOPPS se ubica en bank2 (ver sección 21.9 del datasheet)

```

ORG 000000H ;Vector de reset
bra configuro

ORG 000008H ;Vector de interrupcion
bra INT0_ISR

ORG 000100H
configuro: movlb 4H
            bcf TRISB, 4, 1
            bcf ANSELB, 4, 1
            bcf WPUB, 4, 1
            movib 2H
            moviw 0CH
            movwf INTOPPS ;Importante: cambiando bank2
            movib 4H
            bcf PIE0, 0, 1
            moviw 81H
            movwf INTCON0 ;asignando RB4 para INT0
                           ;al BANK4
                           ;habilitando INT0 (INT0IE=1)
                           ;GIE=1, INT0EDG=0
            movib 4H
            bra inicio      ;Rutina principal
;---  
;---  
;---  
bra inicio

inicio:    movib 4H
            ;---  
;---  
;---  
bra inicio

INT0_ISR: ;---  
;---  
;---  
retfie      ;Rutina de interrupcion

```

17

Ejemplo de PPS aplicado a la INT0

- Detalle del INTOPPS:

$\text{INT0 PPS} = 0\text{CH}$

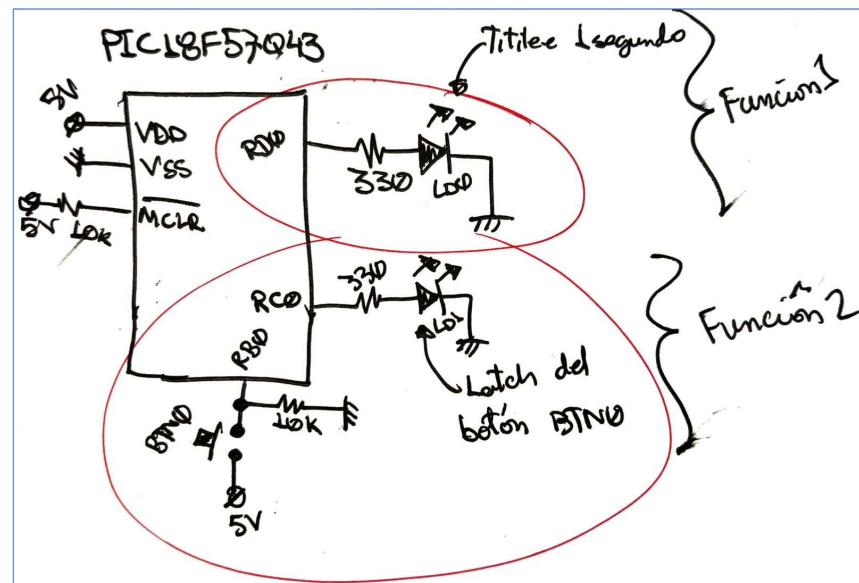
21.8.1 xxxPPS	
Name:	xxxPPS
Peripheral Input Selection Register	INT0 PPS
Bit	0 0 0 0 1 3 1 1 0 0
Access	m m m m m m m m m m
Reset	m m m m m m m m m m
PORT[2:0]	POR[2:0] PIN[2:0]
Bits 5:3 – PORT[2:0]	Peripheral Input PORT Selection ⁽¹⁾
	See the PPS Input Selection Table for the list of available Ports and default pin locations.
PORT	Selection
101	PORTF
100	PORTE
011	PORTD
010	PORTC
001	PORTB
000	PORTA
Reset States: POR = mmm All other Resets = uuu	
Bits 2:0 – PIN[2:0] Peripheral Input PORT Pin Selection ⁽²⁾	
Reset States: POR = mmm All other Resets = uuu	
Value	Description
111	Peripheral input is from PORTx Pin 7 (Rx7)
110	Peripheral input is from PORTx Pin 6 (Rx6)
101	Peripheral input is from PORTx Pin 5 (Rx5)
100	Peripheral input is from PORTx Pin 4 (Rx4)
011	Peripheral input is from PORTx Pin 3 (Rx3)
010	Peripheral input is from PORTx Pin 2 (Rx2)
001	Peripheral input is from PORTx Pin 1 (Rx1)
000	Peripheral input is from PORTx Pin 0 (Rx0)

18

Interrupciones en el PIC18F57Q43

- Ejemplo:**

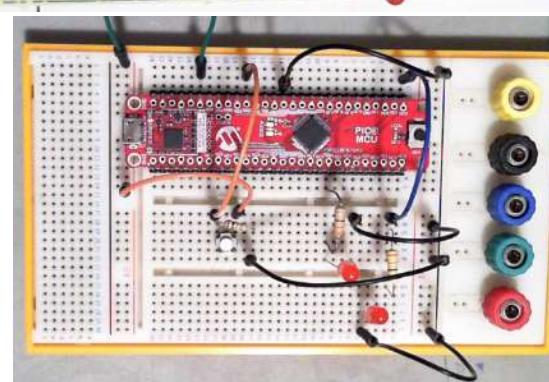
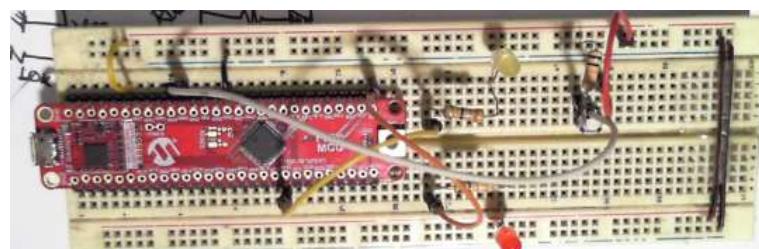
Realizar dos funciones en el microcontrolador, uno de parpadeo de un LED con periodo de un segundo y otro de función latch de un LED con un pulsador (activo en alto)



19

Interrupciones en el PIC18F57Q43

- Hardware:**



20

Interrupciones en el PIC18F57Q43

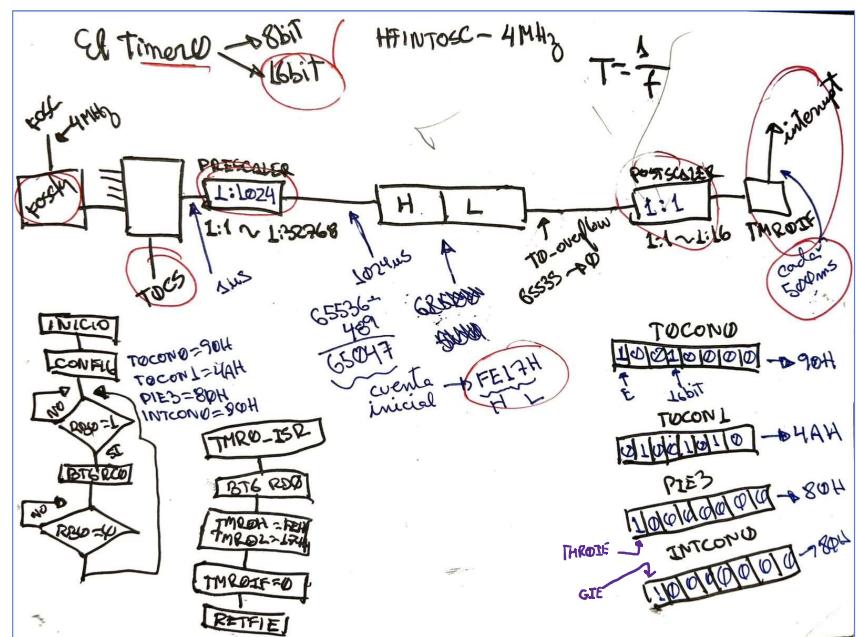
- Estrategias para desarrollar el ejemplo:

1. No utilizar interrupciones (polling – high load CPU) **X**
2. Emplear **interrupción del Timer0** para el parpadeo del LED y en la rutina principal hacer el Latch
3. Emplear **interrupción externa INT0** para el Latch y en la rutina principal colocar el Timer0
4. Emplear interrupciones tanto para el Timer0 como para el Latch (INT0)
 - Se puede interrupciones simples (un solo vector de interrupción)
 - Se puede utilizar prioridades legacy (high priority y low priority con MVECEN=OFF)
 - Se puede usar el VIC (interrupciones vectorizadas con MVECEN=ON)

21

Estrategia2: Timer0 en interrupción y rutina principal el Latch

- El Timer0 debe de temporizar 1 segundo.
- Empleando el Timer0 en modo 16 bits, prescaler 1:1024, postscaler 1:1, fosc/4, cuenta inicial de 65047 (FE17H)
- Se habilita la interrupción para Timer0 (INT0IE=1)
- No olvidarse del GIE=1



22

Estrategia2: Timer0 en interrupción y rutina principal el Latch

- Código propuesto

```

1      PROCESSOR 16F57043
2      #include "cabecera.inc"
3
4      PSECT upcino, class=CODE, reloc=2, abs
5      upcino:
6          ORG 000000H           ;Vector de reset
7          bra configuro
8
9          ORG 000008H           ;Vector de interrupcion
10         bra TMRO_ISR
11
12         ORG 000100H
13 configuro:
14         movlb 0H                ;bank0
15         movlw 60H
16         movwf OSCCON1, 1        ;hfintosc, 1:1
17         movlw 02H
18         movwf OSCFRCQ, 1        ;hfintosc 4MHz
19         movlw 40H
20         movwf OSCEN, 1          ;hfintosc enabled
21         movlb 3H                ;bank3
22         movlw 90H
23         movwf T0CON0, 1          ;tmr0 enabled, 16 bit, posts 1:1
24         movlw 4AH
25         movwf T0CON1, 1          ;fosc/4 presc 1:1024

```

```

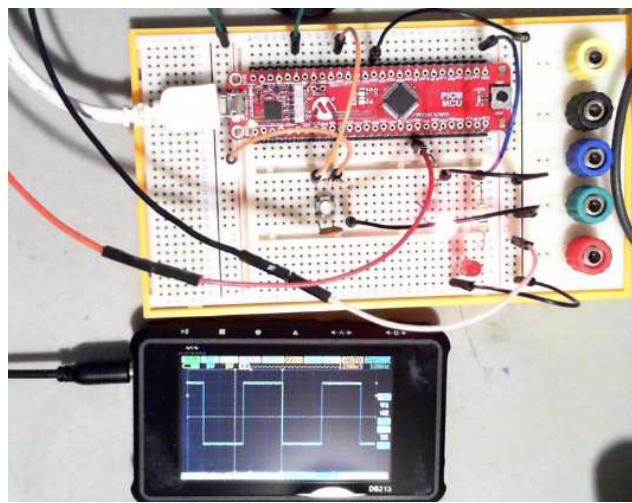
26         movlb 4H                ;bank4
27         bcf TRISC, 0, 1
28         bcf ANSELC, 0, 1
29         bcf TRISD, 0, 1
30         bcf ANSEL0, 0, 1
31         bsf TRISB, 0, 1
32         bcf ANSEL0, 0, 1
33         movlw 80H
34         movwf PIE3, 1           ;TMROIE=1 (TMRO interrupt enabled)
35         movwf INTCON0, 1         ;GIE=1 (Global interrupt enabled)
36
37 inicio:                      ;rutina principal
38         btfs PORTB, 0, 1       ;pregunto si pulse boton
39         bra $-2                 ;no pulse
40         btg LATC, 0, 1           ;si pulse y basculo LED
41         btfs PORTB, 0, 1       ;pregunto si solte boton
42         bra $-2                 ;no solte
43         bra inicio              ;si solte, retorno a inicio
44
45 TMRO_ISR:                   ;rutina de interrupcion para TMRO
46         btg LATD, 0, 1           ;basculo LED
47         movlb 3H                ;bank3
48         movlw 0FEH
49         movwf TMROH, 1
50         movlw 17H
51         movwf TMROL, 1           ;carga de cuenta inicial a TMRO
52         movlb 4H                ;bank4
53         bcf PIR3, 7, 1
54         retfie
55
56 end upcino

```

23

Estrategia2: Timer0 en interrupción y rutina principal el Latch

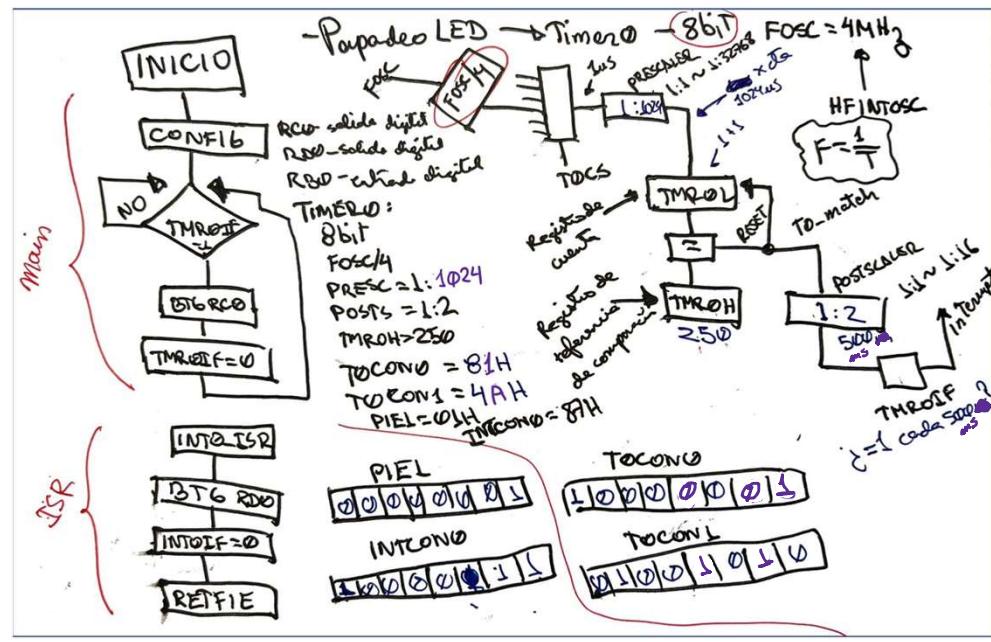
- Funcionamiento



24

Estrategia3: Timer0 en rutina principal y Latch con INT0

- En esta estrategia se ha cambiado el modo de trabajo del Timer0 a 8bit.
- Recordar que el evento que emite el TMRO en 8bit es debido a la igualdad entre TMROH y TMROL.
- Tener en cuenta que el INTOIE (habilitador de la INTO) se encuentra en el bit0 del registro PIE1 y el INTOIF (bandera de la INTO) se encuentra en el bit del registro PIR1



25

Estrategia3: Timer0 en rutina principal y Latch con INT0

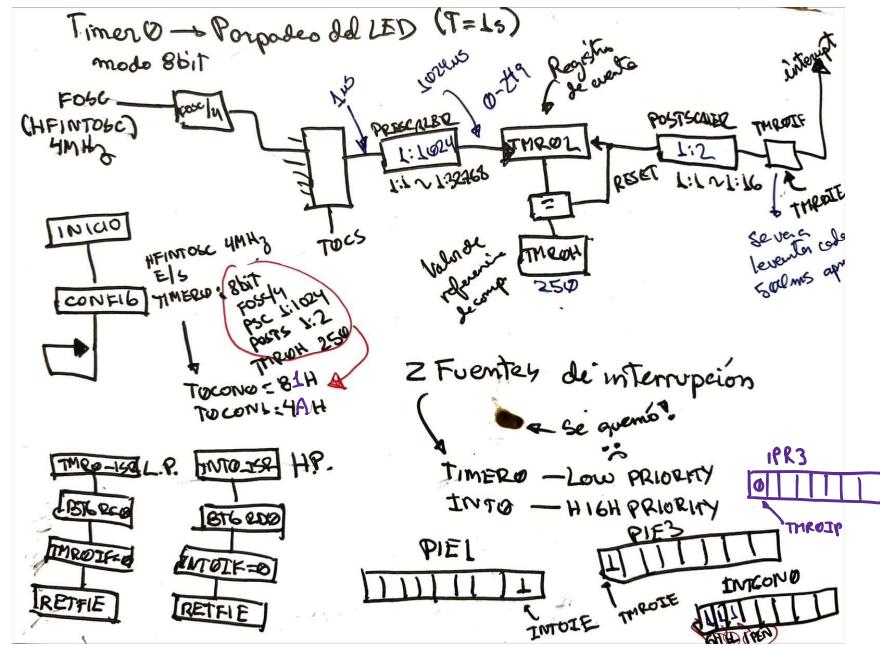
• Código propuesto

1	PROCESSOR 18F57Q43	
2	#include "cabecera.inc"	
3		
4	PSECT upcino, class=CODE, reloc=2, abs	
5	upcino:	
6	ORG 000000H ;vector de reset	
7	bra configuro	
8		
9	ORG 000008H ;vector de interrupcion	
10	bra INT0_ISR	
11		
12	ORG 000100H	
13	configuro:	
14	movlb 0H ;bank0	
15	movlw 60H	
16	movwf OSCCON1, 1 ;hfintosc, 1:1	
17	movlw 02H	
18	movwf OSCFRQ, 1 ;hfintosc 4MHz	
19	movlw 40H	
20	movwf OSCEN, 1 ;hfintosc enabled	
21	movlb 2H ;bank2	
22	movlw 08H	
23	movwf INT0PPS, 1 ;rb0 asignado a INTO	
24	movlb 3H ;bank3	
25	movlw 81H	
26	movwf TOCON0, 1 ;tmr0 on, 8bit, posts	
27	movlw 4AH	
28	movwf TOCON1, 1 ;fosc4, presc 1:1024	
29	movlw 250	
30	movwf TMROH, 1 ;valor de referencia	
31	movlb 4H ;bank4	
32	bef TRI0D, 0, 1 ;rd0 salida	
33	bef ANSEL0, 0, 1 ;rd0 digital	
34	bef TRIS0, 0, 1 ;rc0 salida	
35	bef ANSELC, 0, 1 ;rc0 digital	
36	bsf TRISB, 0, 1 ;rb0 entrada	
37	bef ANSELB, 0, 1 ;rb0 digital	
38	movlw 01H	
39	movwf PIE1, 1 ;INT0 enabled	
40	movlw 87H	
41	movwf INTCON0, 1 ;GIE enabled, INTOEDG=1	
42	bcf LATD, 0, 1 ;rd0=0	
43		
44	inicio:	
45	btfss PIR3, 7, 1 ;pregunto si hubo evento en TMRO (TMROIF=1)	
46	bra \$-2 ;no hubo evento en TMRO (TMROIF=0)	
47	btf LATC, 0, 1 ;si hubo evento, basculo rc0	
48	bcf PIR3, 7, 1 ;bajo bandera TMROIF	
49	bra inicio ;repito	
50		
51	INT0_ISR:	
52	btf LATD, 0, 1 ;basculo rd0	
53	bcf PIR1, 0, 1 ;bajo bandera INTOIF	
54	retfie ;retorno a posicion antes de interrupcion	
55		
56	end upcino	

26

Estrategia4: Timer0 e INT0 en interrupciones

- En estrategia, la configuración del Timer0 es la misma que la de la estrategia 3: modo 8 bits.
- Se está considerando el uso de prioridades en las interrupciones (bits de configuración MVECEN=OFF), donde la interrupción del Timer0 pasará a la baja prioridad (vector 18H) mientras que la interrupción INT0 permanecerá en la alta prioridad (vector 8H).
- Tener en cuenta que el habilitador de interrupciones del Timer0 (TMROIE) se encuentra en el bit 7 del registro PIE3, y su bandera TMROIF se encuentra en el bit 7 del registro IPR3.
- El bit TMROIP que determina la prioridad de la interrupción del Timer0 se encuentra en el bit 7 del regístro IPR3



27

Estrategia4: Timer0 e INT0 en interrupciones

- Código propuesto

<pre> 1 PROCESSOR 18F57Q43 2 #include "cabecera.inc" 3 4 PSECT upcino, class=CODE, reloc=2, abs 5 upcino: 6 ORG 000000H ;vector de reset 7 bra configuro 8 9 ORG 000008H ;vector de int hp 10 bra INT0_ISR 11 12 ORG 000018H ;vector de int lp 13 bra TMRO_ISR </pre>	<pre> 15 ORG 000100H 16 configuro: 17 movlb 0H ;bank0 18 movlw 60H 19 movwf OSCCON1, 1 20 movlw 02H 21 movwf OSCFRQ, 1 22 movlw 40H 23 movwf OSCEN, 1 24 movlb 3H ;bank3 25 movlw 81H 26 movwf TOCON0, 1 27 movlw 4AH 28 movwf TOCON1, 1 29 movlw 250 30 movwf TMROH, 1 31 bcf IPR3, 7, 1 ;TMROIP=0 (low priority) 32 movlb 4H ;bank4 33 bsf PIE3, 7, 1 ;TMROIE=1 34 bsf PIE1, 0, 1 ;INT0IE=1 35 movlw 0E7H 36 movwf INTCON0, 1 ;GIEH=1, GIEL=1, IPEN=1 37 bcf TRISC, 0, 1 ;RC0 como salida 38 bcf ANSEL0, 0, 1 ;RC0 como digital 39 bcf TRISD, 0, 1 ;RD0 como salida 40 bcf ANSEL0, 0, 1 ;RD0 como digital 41 bsf TRISB, 0, 1 ;RB0 como entrada 42 bcf ANSEL0, 0, 1 ;RB0 como digital </pre>	<pre> 44 inicio: 45 bra inicio 46 47 TMRO_ISR: 48 btg LATC, 0, 1 ;complementamos RC0 49 bcf PIR3, 7, 1 ;bajamos TMROIF 50 retfie 51 52 INT0_ISR: 53 btg LATD, 0, 1 ;complementamos RD0 54 bcf PIR1, 0, 1 ;bajamos INT0IF 55 retfie 56 57 end upcino </pre>
--	---	--

28

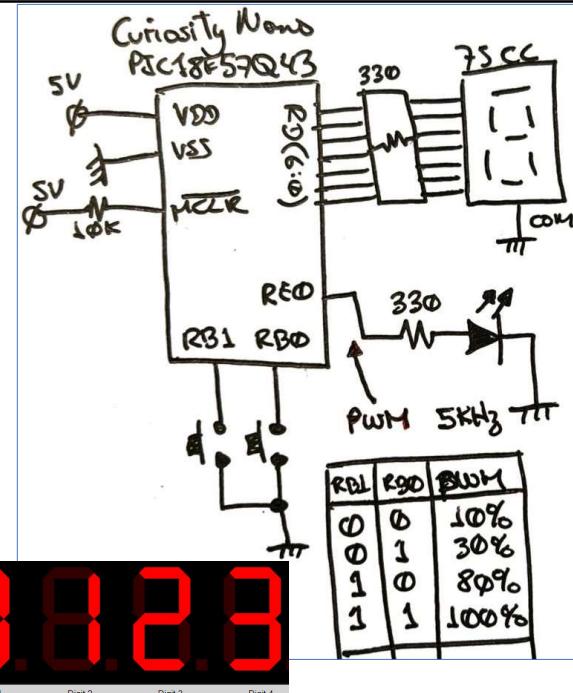
¿Multitarea?

- Ejecución de varias tareas a la vez en el microcontrolador
- Sistemas RTOS (Real Time Operating System), relacionado con lenguajes de alto nivel generalmente.
- En ensamblador la multitarea está relacionada con el uso de interrupciones.
- Ejecución de una instrucción ≠ ejecución de una tarea

29

Asignación del LB2 EL57

- Desarrollar el siguiente ejercicio de emisión de una señal PWM de 5KHz con Duty Cycle variable y configurado a través de una combinatoria en RB1 y RB0 según tabla.
- No olvidar de activar las pullup de RB1 y RB0.
- En el display de siete segmentos aparecerá la combinación seleccionada de duty cycle (0, 1, 2 ó 3)
- Para verificar la salida de PWM se usará un LED el cual cambiará de intensidad según combinatoria.
- Seguir las indicaciones de la actividad en el AV y activar sus webcams durante la evaluación



30

Asignación del LB2

```

1  PROCESSOR 18F57043
2  #include "cabecera.inc"
3
4  PSECT upcino, class=CODE, reloc=2, abs
5  temporal EQU 500H ;GPR
6
7  upcino:
8      ORG 000000H ;Vector de reset
9      bra configuro
10
11     ORG 000300H ;tabla de decodificacion
12     ceroaltres: DB 3FH, 06H, 5BH, 4FH
13
14     ORG 000100H
15 configuro:
16     movlb 0H ;bank0
17     movlw 60H
18     movwf OSCCON1, l ;hfintosc, 1:l
19     movlw 02H
20     movwf OSCERQ, l ;hfintosc 4MHz
21     movlw 40H
22     movwf OSCEN, l ;hfintosc enabled
23     movlb 3H ;bank3
24     movlw 90H
25     movwf TOCON0, l ;tmr0 on, 16 bit, posts 1:l
26     movlw 40H
27     movwf TOCON1, l ;fosc/4 presc 1:l
28     movlb 4H ;bank4
29     bcf TRISE, 0, 1 ;REO salida
30     bcf ANSELE, 0, 1 ;REO digital
31     clrf TRISD, l ;RD salida
32     clrf ANSEL0, l ;RD digital
33     setf TRISB, l ;RB1 y RB0 entradas
34     movlw 0FCH
35     movwf ANSELB, l ;RB1 y RB0 digitales
36     clrf TBLPTRU, l
37     movlw 03H
38     movwf TBLPTRH, l
39     clrf TBLPTRL, l ;TBLPTR apuntando a 300H
40     movlb 5H
41     clrf temporal, l
42
43 inicio: ;rutina principal
44     movlb 4H
45     movf PORTB, 0, 1 ;leo RB1 y RB0
46     andlw 03H ;enmascaramiento
47     movlb 5H
48     movwf temporal, l ;almacenar en GPR temporal
49     call deco7s ;visualizacion en el display
50     movlb 5H
51     movlw 0
52     cpfseq temporal, l ;combinacional 0?
53     bra siguiente ;no, sigue preguntando
54     bra estado_0 ;salta a combinacional 0
55 siguiente:
56     movlw 1
57     cpfseq temporal, l ;combinacional 1?
58     bra siguiente2 ;no, sigue preguntando
59     bra estado_1 ;salta a combinacional 1
60 siguiente2:
61     movlw 2
62     cpfseq temporal, l ;combinacional 2?
63     bra estado_3 ;salta a combinacional 3
64     bra estado_2 ;salta a combinacional 2
65
66 estado_0: ;duty cycle 10%
67     movlb 4H
68     bsf LATE, 0, 1 ;REO a uno
69     movlb 3H
70     movlw 0FFH
71     movwf TMROH, l
72     movlw 0ECH
73     movwf TMROL, l
74     movlb 4H
75     btfss PIR3, 7, 1 ;termino de TON (20us)
76     bra S-2
77     bcf PIR3, 7, 1 ;termino de TON (20us)
78     bcf LATE, 0, 1 ;REO a cero
79     movlb 3H
80     movlw 0FFH
81     movwf TMROH, l
82     movlw 4CH
83     movwf TMROL, l
84     movlb 4H
85     btfss PIR3, 7, 1 ;termino de TOF (180us)
86     bra S-2
87     bcf PIR3, 7, 1 ;termino de TOF (180us)
88     bra inicio
89
90 estado_1: ;duty cycle 30%
91     movlb 4H
92     bsf LATE, 0, 1 ;REO a uno
93     movlb 3H
94     movlw 0FFH
95     movwf TMROH, l
96     movlw 0C4H
97     movwf TMROL, l
98     movlb 4H
99     btfss PIR3, 7, 1 ;termino de TON (60us)
100    bra S-2
101   bcf PIR3, 7, 1 ;termino de TON (60us)
102   bcf LATE, 0, 1 ;REO a cero
103   movlb 3H
104   movlw 0FFH
105   movwf TMROH, l
106   movlw 74H
107   movwf TMROL, l
108   movlb 4H

```

31

Asignación del LB2

```

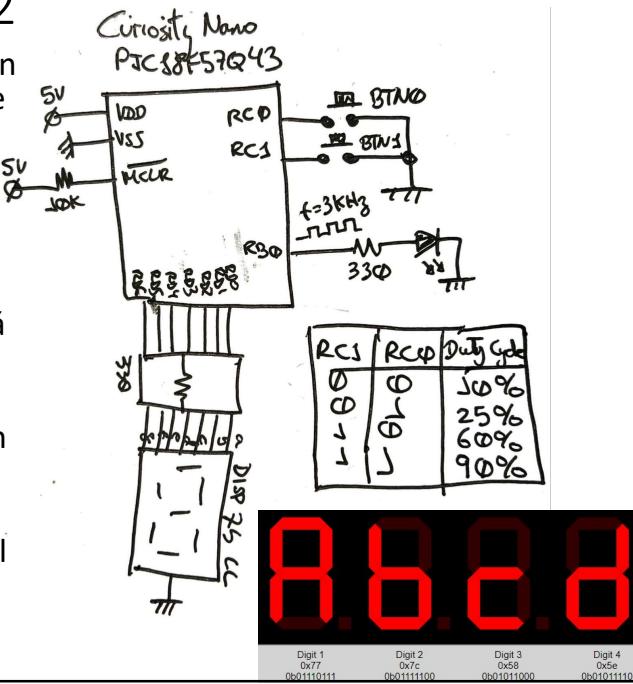
109     btfss PIR3, 7, 1
110     bra S-2
111     bcf PIR3, 7, 1 ;termino de TOF (140us)
112     bra inicio
113
114     estado_2: ;duty cycle 80%
115     movlb 4H
116     bsf LATE, 0, 1 ;REO a uno
117     movlb 3H
118     movlw 0FFH
119     movwf TMROH, l
120     movlw 060H
121     movwf TMROL, l
122     movlb 4H
123     btfss PIR3, 7, 1
124     bra S-2
125     bcf PIR3, 7, 1 ;termino de TON (160us)
126     bcf LATE, 0, 1 ;REO a cero
127     movlb 3H
128     movlw 0FFH
129     movwf TMROH, l
130     movlw 0DBH
131     movwf TMROL, l
132     movlb 4H
133     btfss PIR3, 7, 1
134     bra S-2
135     bcf PIR3, 7, 1 ;termino de TOF (40us)
136     bra inicio
137
138     estado_3: ;duty cycle 100%
139     movlb 4H
140     bsf LATE, 0, 1 ;REO a uno
141     bra inicio
142
143     deco7s: ;decodificacion 7seg
144     movlb 4H
145     movff temporal, TBLPTRL
146     TBLRD*
147     movff TABLAT, LATD
148     return
149
150     end upcino

```

32

Asignación del LB2 EL52

- Desarrollar el siguiente ejercicio de emisión de una señal PWM de 3KHz con Duty Cycle variable empleando como base de tiempo el Timer0 y configurado a través de una combinatoria en RC1 y RC0 según tabla.
- No olvidar de activar las pullup de RC1 y RC0.
- En el display de siete segmentos aparecerá la combinación seleccionada de duty cycle (A, B, C ó D)
- Para verificar la salida de PWM se usará un LED el cual cambiará de intensidad según combinatoria.
- Seguir las indicaciones de la actividad en el AV y activar sus webcams durante la evaluación



33

Asignación del LB2 EL52

1	PROCESSOR 16F57043	43	inicio:	:rutina principal	85	btfss PIR3, 7, 1
2	#include "cabecera.inc"	44	movlb 4H	;bra inicio	86	bra 5-2
3		45	movf PORTC, 0, 1	;leo RC1 y RC0	87	bcf PIR3, 7, 1 ;termino de TOF (300us)
4	PSECT upcino, class=CODE, reloc=2, abs	46	andlw 03H	;enmascaramiento	88	
5	temporal EQU 500H ;GPR	47	movlb 5H		89	
6		48	movwf temporal, 1	;almacenar en GPR temporal	90	
7	upcino:	49	call deco7s	;visualizacion en el disp	91	
8	ORG 000000H ;Vector de reset	50	movlb 5H		92	
9	bra configuro	51	movlw 0		93	
10		52	cpfseq temporal, 1	;combinacional 0?	94	
11	ORG 000300H ;tabla de decodificacion	53	bra siguiente1	;no, sigue preguntando	95	
12	ceroaltres: DB 77H, 7CH, 58H, 5EH	54	bra estado_0	;salta a combinacional 0	96	
13		55	siguiente1:		97	
14	ORG 000100H	56	movlb 1		98	
15	configuro:	57	cpfseq temporal, 1	;combinacional 1?	99	
16	movlb 0B ;bank0	58	bra siguiente2	;no, sigue preguntando	100	
17	movlw 60H	59	bra estado_1	;salta a combinacional 1	101	
18	movwf OSCCON1, 1 ;hfintosc, 1:l	60	siguiente2:		102	
19	movlw 02H	61	movlb 2		103	
20	movwf OSCFRCQ, 1 ;hfintosc 4MHz	62	cpfseq temporal, 1	;combinacional 2?	104	
21	movlw 40H	63	bra estado_3	;salta a combinacional 3	105	
22	movwf OSCEN, 1 ;hfintosc enabled	64	bra estado_2	;salta a combinacional 2	106	
23	movlb 3H ;bank3	65	estado_0:	;duty cycle 10%	107	
24	movlw 90H	66	movlb 4H		108	
25	movwf T0CON0, 1 ;tmr0 on, 16 bit, posts 1:l	67	bsf LATB, 0, 1 ;RB0 a uno		109	
26	movlw 40H	68	movlb 3H		110	
27	movwf T0CON1, 1 ;fosc/4 presc 1:l	69	movlw OFFH		111	
28	movlb 4H ;bank4	70	movwf THROH, 1		112	
29	bcf TRISB, 0, 1 ;RB0 salida	71	movlw 0DH		113	
30	bcf ANSELB, 0, 1 ;RB0 digital	72	movwf THROL, 1		114	
31	clrf TRISD, 1 ;RD salida	73	movlb 3H		115	
32	clrf ANSELD, 1 ;RD digital	74	movlb 4H		116	
33	setf TRISC, 1 ;RC1 y RC0 entradas	75	btfss PIR3, 7, 1		117	
34	movlw 0FCH	76	bra 5-2		118	
35	movwf ANSELc, 1 ;RC1 y RC0 digitales	77	bcf PIR3, 7, 1	;termino de TON (33us)	119	
36	clrf TBLPTR, 1	78	bcf LATB, 0, 1	;RB0 a cero	120	
37	movlw USH	79	movlb 3H		121	
38	movwf TBLPTRH, 1	80	movlw 0FEH		122	
39	clrf TBLPTRL, 1 ;TBLPTR apuntando a 300H	81	movwf THROH, 1		123	
40	movlb 5H	82	movlw 0D4H		124	
41	clrf temporal, 1	83	movwf THROL, 1		125	
		84	movlb 4H		126	

34

Asignación del LB2 EL52

```

126      bcf LATB, 0, 1      ;RBO a cero
127      movlb 3H
128      movlw 0FFH
129      movwf TMR0H, 1
130      movlw 91H
131      movwf TMROL, 1
132      movlb 4H
133      btfs PIR3, 7, 1
134      bra $-2
135      bcf PIR3, 7, 1      ;termino de TOF (illus)
136      bra inicio
137
138      estado_3:           ;duty cycle 100%
139      movlb 4H
140      bsf LATB, 0, 1      ;RBO a uno
141      movlb 3H
142      movlw 0FEH
143      movwf TMR0H, 1
144      movlw 0D4H
145      movwf TMROL, 1
146      movlb 4H
147      btfs PIR3, 7, 1
148      bra $-2
149      bcf PIR3, 7, 1      ;termino de TON (300us)
150      bcf LATB, 0, 1      ;RBO a cero
151      movlb 3H
152      movlw 0FFH
153      movwf TMR0H, 1
154      movlw 0DFH
155      movwf TMROL, 1
156      movlb 4H
157      btfs PIR3, 7, 1
158      bra $-2
159      bcf PIR3, 7, 1      ;termino de TOF (33us)
160      bra inicio
161

```

	162 deco7s: ;decodificacion 7seg
	163 movlb 4H
	164 movff temporal, TBLPTRL
	165 TBLRD*
	166 movff TABLAT, LATD
	167 return
	168
	169 end upcino

35

Fin de la sesión

36