

Arquitectura de Computadors

Simulación procesador Superescalar

Intel core-i9-7900X (Skylake-X)

Cerca d'informació:

Determinen la k-via del processador	Fetch	6
	Decode	5
	Issue	6
	Commit	6
Mida dels buffers d'instruccions	Ruu	224
	Lsq	56/72
<i>Caches</i>	L1	32 KB, #sets 64, mida línia 64, assoc. 8
	I1	32 KB, #sets 64, mida línia 64, assoc. 8
	U2	1 MB, #sets 1024, mida línia 64, assoc. 16
Ample de banda y latència de memòria principal	Memory width	8/16/32 B/cicle (depèn dels canals)
	Latència	42 cicles
Unitats funcionals	Integer ALUs	4
	Integer Multi	2
	Float ALUs	3
	Float Multi	2
	Mem Ports	3

S'ha de tenir en compte que en alguns dels camps, com la mida del *reorder buffer* (ruu) o la mida de la cua d'accés a memòria (lsq), on només admet un valor enlloc de un per la cola de *Store* i un per la de *Load*, només admet valors múltiples de dos.

Per la qual cosa, aquests no seran exactament els valors que usarem en les simulacions, els valors usats seran especificats més endavant.

Especificacions tècniques:

# of cores	10
# of Threads	20
Processor Base Frequency (Relotge)	3.30 GHz
Max Turbo Frequency	4.30 GHz
Cache L3	13.75 MB
Bus Speed	8 GT/s DMI3
# of QPI Links	0
Intel Turbo Boost Max TECnology 3.0 Frequency	4.50 GHz
TDP	140 W
PCIe Lanes	44

<https://www.intel.com/content/www/us/en/products/processors/core/x-series/i9-7900x.html>

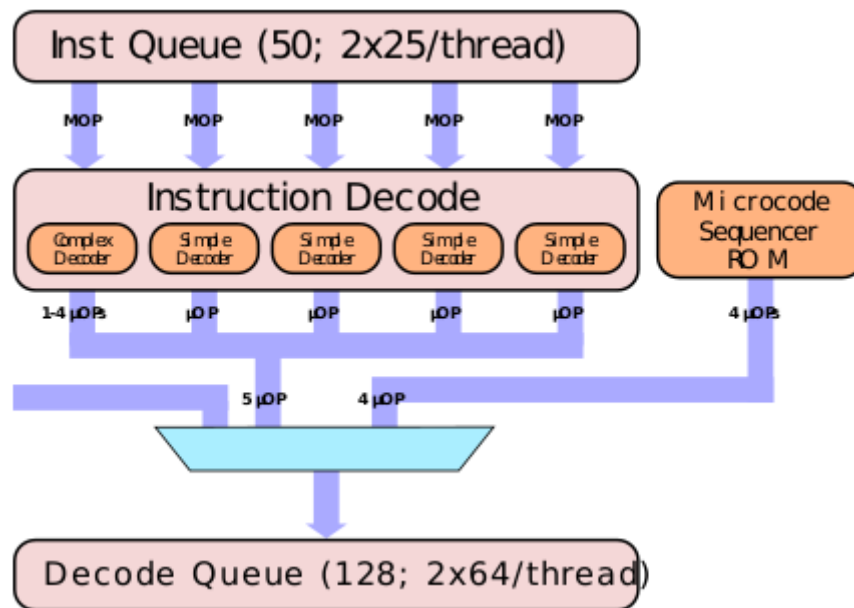
1. Los que determinan la k-via del procesador. Cuantas instrucciones por ciclo puede llegar a tratar: fetch, decode, issue y commit.

K-via del processador	Instruccions/cicle
Fetch	6
Decode	5-8 (5)
Issiue	6
Commit	6

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(client\)#Execution_engine](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)#Execution_engine)

Els valors indicats en la taula de dalt s'han obtingut en la figura de baix (Figura 1).

- Fetch: les instruccions/cicle en l'etapa de *fetch* correspondrien a aquelles micro-operacions que agafa el processador de memòria o de *cache* en un mateix cicle, com és pot observar, hi ha 6 busos destinats per a aquesta operació, per tant, en l'etapa de *fetch* es poden dur a terme 6 micro-operacions/cicle.
- Decode: en el procés de descodificació la CPU determina quines instruccions es realitzaran, de manera que la CPU dirà quants operands necessita obtenir per tal de dur a terme la instrucció. Com es pot observar en la figura tenim un *5-way decode*, per tant en aquest etapa podrem dur a terme 5 micro-operacions/cicle.



- Issue: en aquesta etapa les instruccions desplacen fins al *ReOrder Buffer* on aniran sent enviades a les ALUs corresponents per ser executades. Com s'observa en la figura, de la *Allocation cue* al *ReOrder Buffer* hi ha 6 busos per dur a terme aquesta tasca, per tant es podran desplaçar 6 instruccions/cicle.
- Commit: en aquesta etapa es retiren les instruccions en ordre del *ReOrder Buffer* i s'envia una senyal per dir que s'han executat correctament. En [aquesta](#) plana web hem trobat que les instruccions que es poden dur a terme per cicle en aquesta fase en el Skylake-X es de 6.

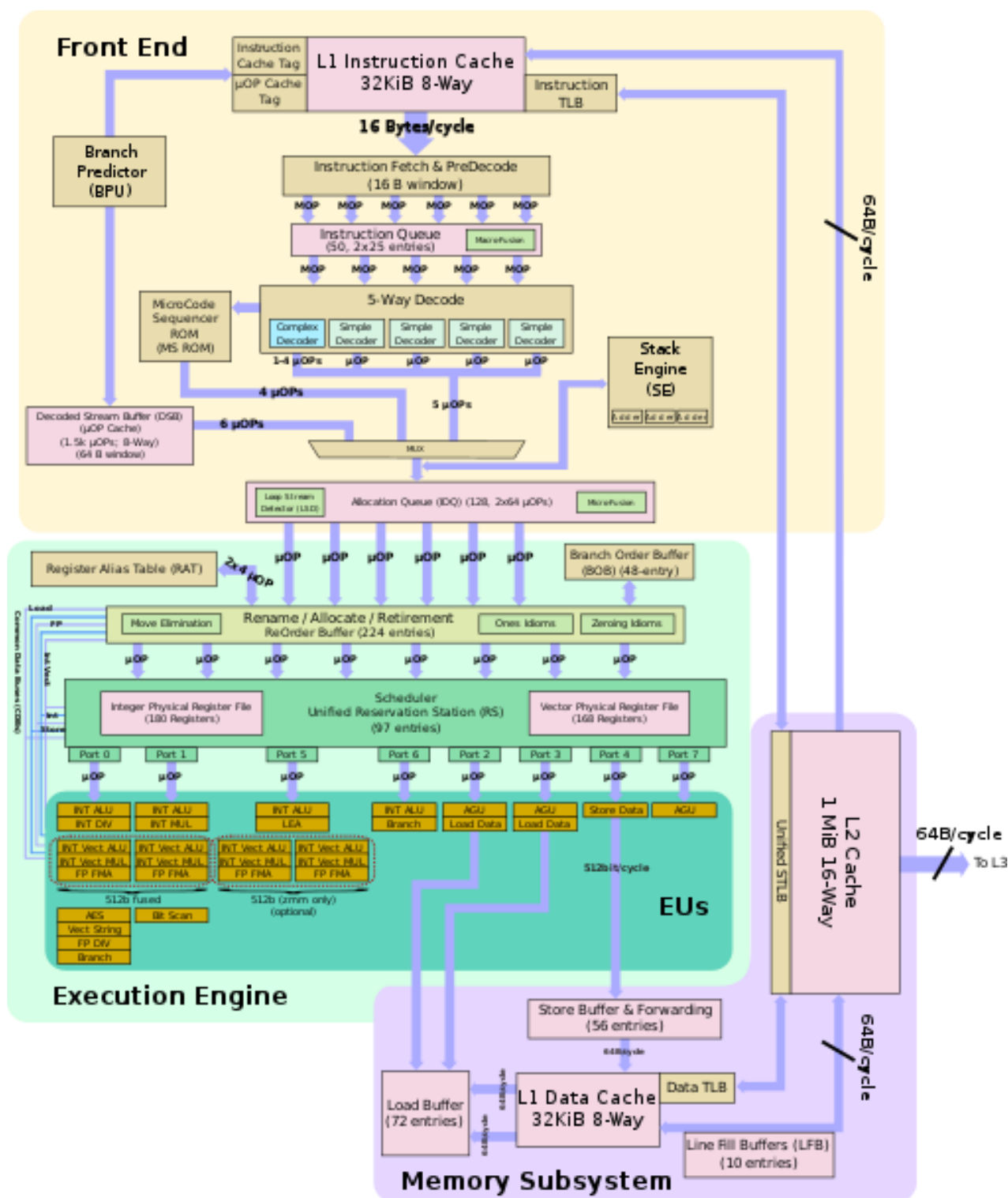


Figura 1

2. Los que determinan el tamaño de los buffers que almacenan instrucciones: ventana instrucciones (ruu) y cola de acceso a memoria (lsq).

Buffers que emmagatzemen informació		Mida
Finestra d'instruccions (ruu) / Re-order buffer		224 entrdaes
Cola d'accés a memòria (lsq)	Larger Store buffer	56 entrades
	Large Load buffer	72 entrades

Instruction window keeps increasing

Extract more parallelism in every generation

	Sandy Bridge	Haswell	Skylake	
Out-of-order Window	168	192	224	↑
In-flight Loads	64	72	72	
In-flight Stores	36	42	56	↑
Scheduler Entries	54	60	97	↑
Integer Register File	160	168	180	↑
FP Register File	144	168	168	
Allocation Queue	28/thread	56	64/thread	↑

Figura 2

<http://www.pcgamer.com/the-ongoing-testing-of-intels-x299-and-i9-7900x/>

3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño, asociatividad y algoritmo de reemplazo.

Memòries Cau	L1I	L1D	L2	L3
Mida	32 KiB	32 KiB	1 MiB	1,375 MiB
Associativitat	8	8	16	11
# de blocs	64	64	1024	2048
Mida de línia	64 B	64 B	64 B	64 B
Algorisme de reemplaçament		<i>Write-Back</i>	<i>Write-Back</i>	<i>Write-Back</i>
Cicles		4 per punters simples 5 per adreces complexes	14 de latència	50-70 latència
<i>Load bandwidth</i>		128 B/cicle		
<i>Store bandwidth</i>		64 B/cicle		
<i>Bandwidth to L1</i>			64 B/cicle	

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(server\)#Memory_Hierarchy](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(server)#Memory_Hierarchy)

4. Los que determinan el ancho de banda y la latencia de la memoria principal.

Accepta aquestes memòries principals:

Standard name	Memory clock (MHz)	I/O bus clock (MHz)	Data rate (MT/s)	Module name	Peak transfer rate (MB/s)	Timings CL-tRCD-tRP	CAS latency (ns)
DDR4-2666T	325	1333	2666	PC4-21333	21333	17-17-17	12.75
DDR4-2666U						18-18-18	13.50
DDR4-2666V						19-19-19	14.25
DDR4-2666W						20-20-20	15

Figura 3

La memòria principal té una latència de (12.75 - 15) en funció de la DDR4 usada, en el nostre cas usarem la DDR4-2666T amb un latència CAS de 12,75 ns.

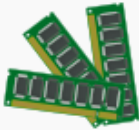
Tenint en compte que la freqüència del processador varia de 3,30 a 4,50 GHz (Treballarem amb 3,30GHz):

$$3.3 \text{ GHz} \times \frac{10^9 \text{ Hz}}{1 \text{ GHz}} = 3,3 \times 10^9 \text{ Hz} \rightarrow \frac{1}{\text{freq}} = 3,03 \times 10^{-10} \text{ s} = 0,303 \text{ ns}$$

$$L'acces a memòria tarda: \frac{12,75 \text{ ns}}{0,303 \text{ ns}} = 42 \text{ cycles}$$

Pel que fa al ample de banda (B/cicle) dependrà del nombre de canals que tinguem en compte, 8B/cicle (1 canal), 16B/cicle (2 canals) o 32B/cicle(4 canals). En el nostre cas considerarem usar els 4 canals, per tant treballarem amb un ample de banda de 32B/cicle.

- **System DRAM:**
 - 2 Channels
 - 8 B/cycle/channel (@ memory clock)
 - 42 cycles + 51 ns latency



Integrated Memory Controller

Max Type	DDR4-2666		
Supports ECC	No		
Channels	4		
Max Bandwidth	79.47 GiB/s		
Bandwidth	Single	19.89 GiB/s	Double 39.72 GiB/s
	Quad	79.47 GiB/s	

[\[Edit/Modify Memory Info\]](#)

Figura 4

https://en.wikichip.org/wiki/intel/core_i9/i9-7900x

5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

Com es pot observar en les figures 5 i 7, hi han 10 ALUs en la unitat d'execució, de els quals 4 són AGUs (Unitats generadores de direccions), les que estan connectades en els ports 2, 3, 4 i 7.

Les ALUs aritmètiques d'enters serien les connectades en els ports 0, 1, 5, 6 de les quals 2 poden multiplicar enters i les ALUs aritmètiques de coma flotant les localitzades en els ports 1, 1, 5 de les quals també dos poden multiplicar dades amb coma flotant..

Cal remarcar que en els Ports 0 i 1 quan s'està executant una de les ALUs individuals no es pot executar la "Fused AVX-512", de la mateixa foma que passa en el Port 5.

Pel que fa als ports d'accés a memòria és refereix als 3 que hi ha indicats en la figura 6.

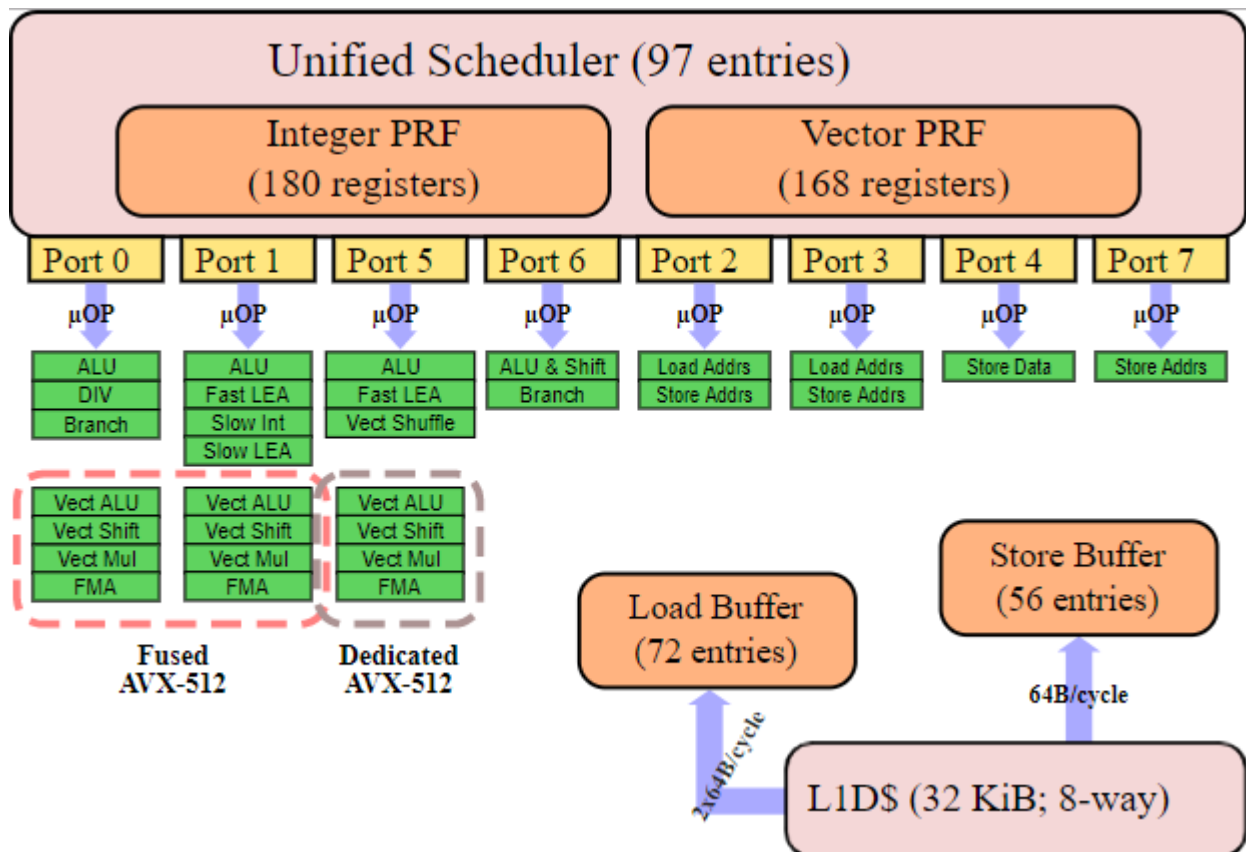


Figura 5

https://en.wikichip.org/w/images/2/2b/skylake_scheduler_server.svg

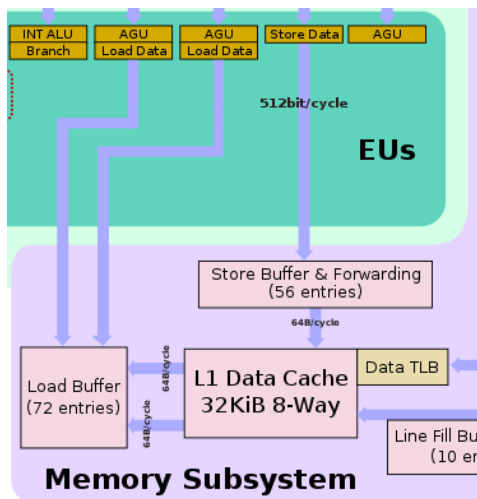


Figura 6

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(server\)#Memory_Hierarchy](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(server)#Memory_Hierarchy)

Scheduler Ports Designation		
Port 0	Integer/Vector Arithmetic, Multiplication, Logic, Shift, and String ops	512-bit Vect ALU/Shift/Mul/FMA
	FP Add, Multiply, FMA	
	Integer/FP Division and Square Root	
	AES Encryption	
	Branch2	
Port 1	Integer/Vector Arithmetic, Multiplication, Logic, Shift, and Bit Scanning	512-bit Vect ALU/Shift/Mul/FMA
	FP Add, Multiply, FMA	
Port 5	Integer/Vector Arithmetic, Logic	512-bit Vect ALU/Shift/Mul/FMA
	Vector Permute	
	x87 FP Add, Composite Int, CLMUL	
Port 6	Integer Arithmetic, Logic, Shift	
	Branch	
Port 2	Load, AGU	
Port 3	Load, AGU	
Port 4	Store, AGU	
Port 7	AGU	

Figura 7

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(client\)#Execution_engine](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)#Execution_engine)

AMD Ryzen Threadripper 1950X (Zeppelin die → CCX core)

1. Especificacions Tècniques

# of cores	16
# of Threads	32
Processor Base Frequency	3.4 GHz
Max Turbo Frequency	4 GHz
CMOS	14 nm
Package	sTR4
Versión de PCI Express	PCIe 3.0
TDP	180 W
Max Temp	68 °C
PCI Lanes	64

Font: [Pàgina oficial d'AMD](#), [adslzone](#), [wikichip: Ryzen Threadripper 1950X](#)

2. Los que determinan la k-via del procesador. Cuantas instrucciones por ciclo pueden llegar a tratar: fetch, decode, issue y commit

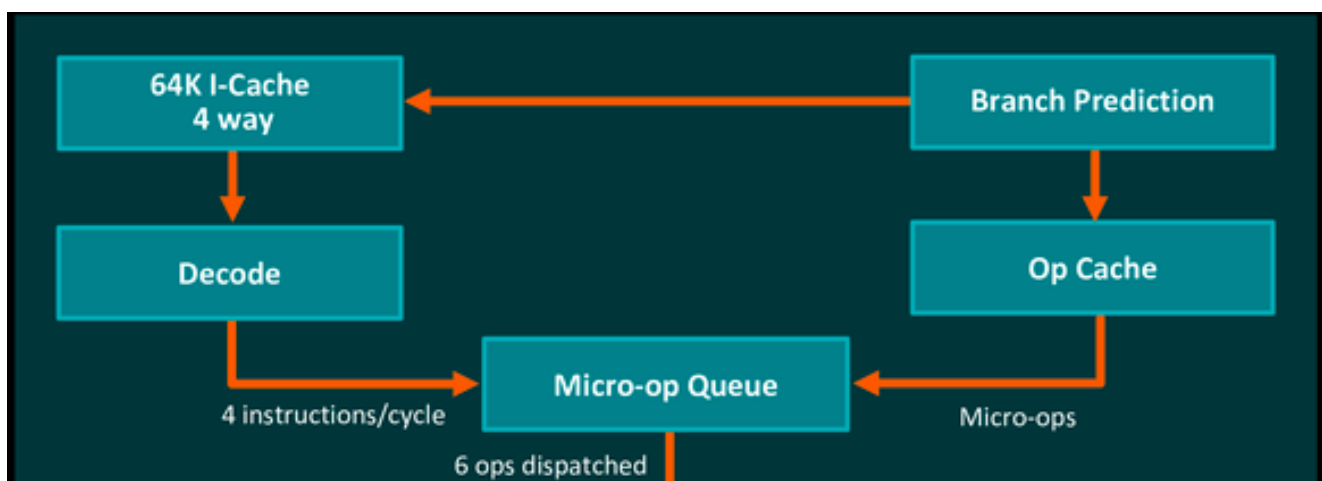


Figura 7

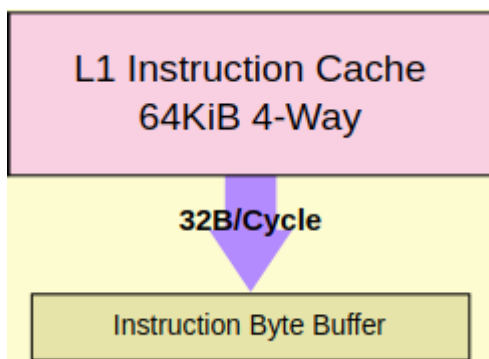


Figura 8

- *Etapa de Fetch:* Existeixen dos camins pels quals els processador pot anar a buscar instruccions. El primer és obtenir les instruccions de la memòria cau L1 d'instruccions, amb una velocitat de 32B/cicle (figura 8). Aquestes instruccions han de passar per l'etapa de decode. El segon és obtenir les instruccions de la memòria cau de μ OP, eliminant completament l'etapa de decode. Podem observar aquest procés a la figura 7.

El set d'instruccions que utilitza aquest processador és la de x86. Per tant, la mida de cada instrucció pot variar de 1 Byte a 15 Bytes. Per a això hem buscat una mitjana ponderada de la

relació mida/instrucció. Hem trobat el següent gràfic on s'analitzen les instruccions x86 de tres programes diferents (Zip archiver (version 2.30 beta 28), LAME encoder (version 3.92 MMX) i NSIS installer (versió 2.0)):

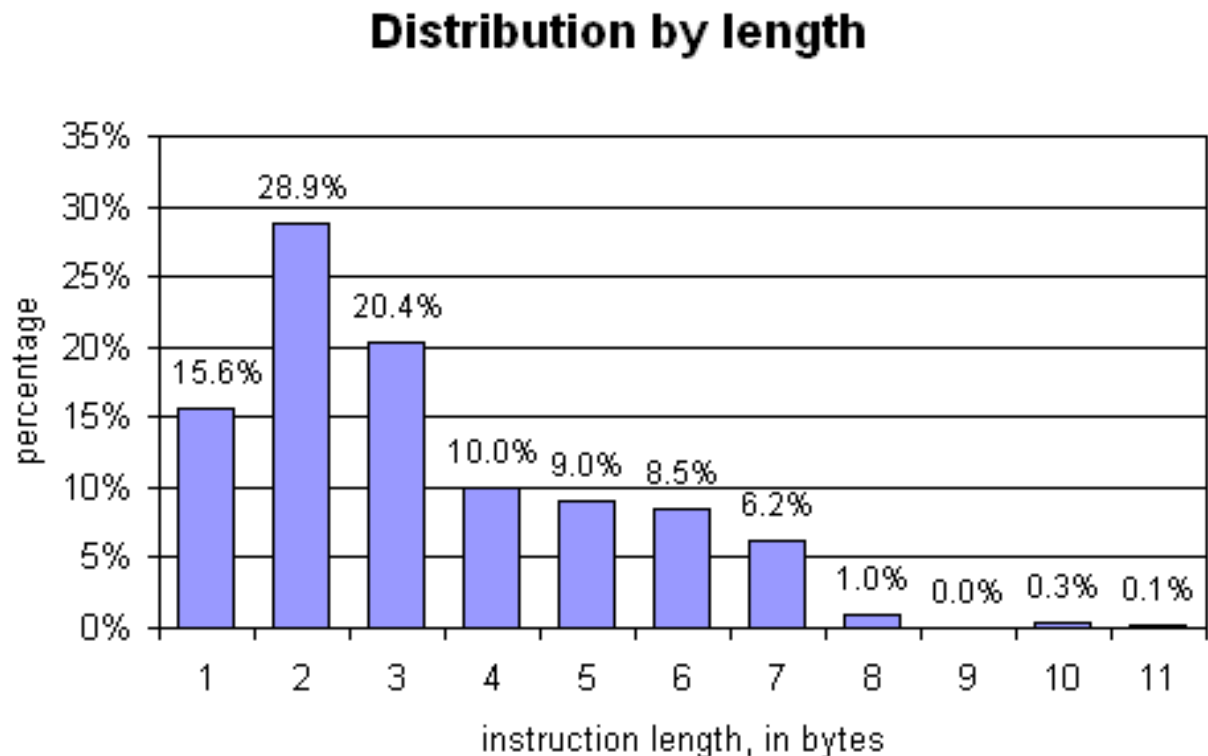


Figura 9

Hem fet el càlcul a partir de les dades de la figura 9 i hem trobat que la mitjana ponderada és de **3,26 B / instrucció**. Cal tenir en compte que aquests programes tenen unes determinades instruccions que poden ser diferents i més diverses a les que provem als benchmarks, per tant no és del tot representatiu, però és la millor aproximació a la realitat que tenim. Com que aquest valor ha de ser múltiple de 4, escollirem com a valor final 4 B / instrucció. Per tant, fent la divisió:

$$\frac{32 \text{ Bytes}}{\text{cicle}} * \frac{\text{Instrucció}}{4 \text{ Bytes}} = 8 \text{ Instruccions/cicle}$$

Tenim una etapa de fetch de **8 instruccions / cicle**.

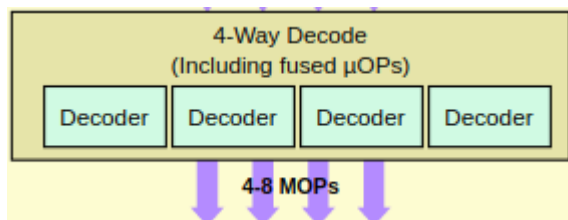


Figura 10

- *Etapa de decode:* La etapa de decode es dut a terme pels *decoders*, que prenen 4 instruccions x86 per cicle i segons la complexitat de la instrucció x86 transformen cadascuna d'elles en una (decodificació *FastPath single*) o dues (decodificació *FastPath double*) MOP (*macro-operations*). Es per això que l'etapa de decode finalment **emet de 4 a 8 instruccions MOP**. Hem trobat a wikichip que

la majoria dels cops se sol utilitzar el FastPath single per a decodificar una instrucció, pel que utilitzarem el valor de 4 per a aquesta etapa.

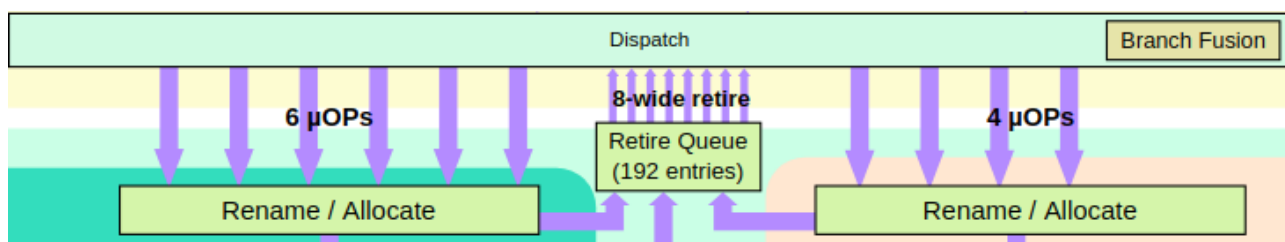


Figura 11

- *Etap de Issue*: La etapa de issue és aquella en el que les instruccions amb els operands disponibles es transfereixen a l'execution core per a la seva execució. La unitat per a integers rep 6 μ OP per cicle, mentre que la unitat per a coma flotant pot rebre fins a 4 μ OP per cicle; amb un total de 10 μ OP/cicle. Sempre que sigui possible es despachen instruccions a qualsevol de les dues unitats.

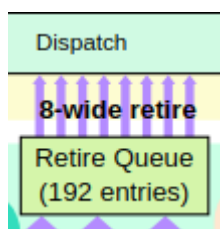


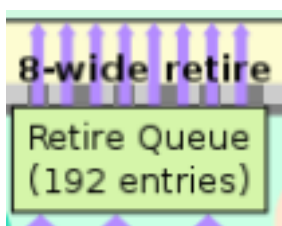
Figura 12

- *Etap de Commit*: La etapa de commit retira el resultat de les instruccions del instruction window de manera ordenada permetent al processador mantenir un control precís de les excepcions i alliberant registres. En total es poden retirar 8 μ OP/cicle.

[Wikichip diagrama del núcleo, stack Overflow maximum size instruction, machine code statistics](#)

2. Los que determinan el tamaño de los buffers que almacenan instrucciones: ventana de instrucciones (ruu) y cola de acceso a memoria (lsq).

Buffers que emmagatzemen informació		Mida
Finestra d'instruccions (ruu) / Re-order buffer		192 entrdaes
Cua d'accés a memòria (lsq)	Large Store buffer	44 entrades
	Large Load buffer	72 entrades



La finestra d'instruccions (figura 13) es correspon a la memòria que hi ha al centre del diagrama marcada ja que és d'on s'extreuen les instruccions per a la seva execució.

Figura 13

La cua d'accés a memòria està repartida en dos buffers de load i de Store (figura . Utilitzarem la suma de les capacitats dels dos buffers com a paràmetre del simulador14) (116).

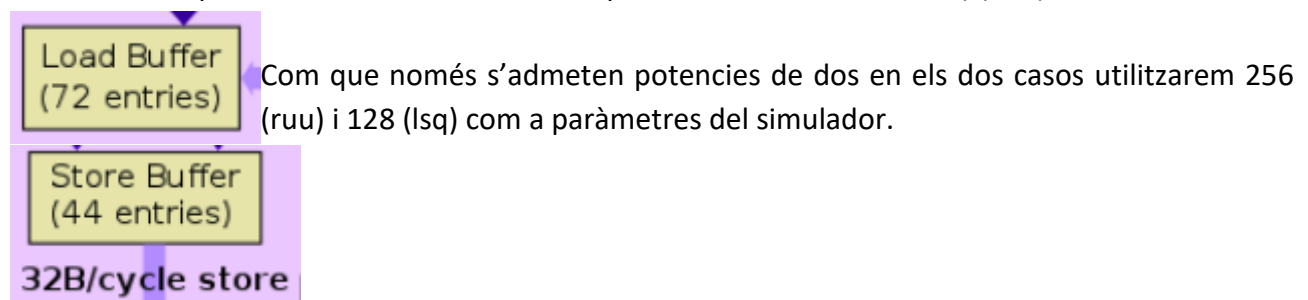


Figura 14

[Wikichip, diagrama del núcleu, Wikipedia Arquitectura x86 64](#)

3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño, asociatividad y algoritmo de reemplazo.

Memòries Cau	L1 (instruccions)	L1 (Dades)	L2 (Dades i instruccions)
Mida	1 MiB	512 KiB	8 MiB
Associativitat	4-way	8-way	8-way
Algorisme de reemplaçament	No s'especifica	<i>Write-Back</i>	<i>Write-Back</i>
Sets	256	64	1024
Line size	64 B	64 B	64 B

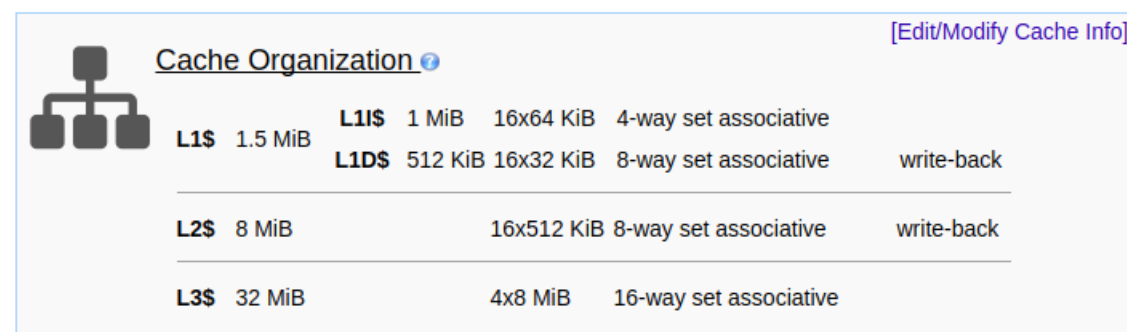


Figura 15

Font: [WikiChip Zen architecture memory hierarchy](#)

4. Los que determinan el ancho de banda y la latencia de la memoria principal.

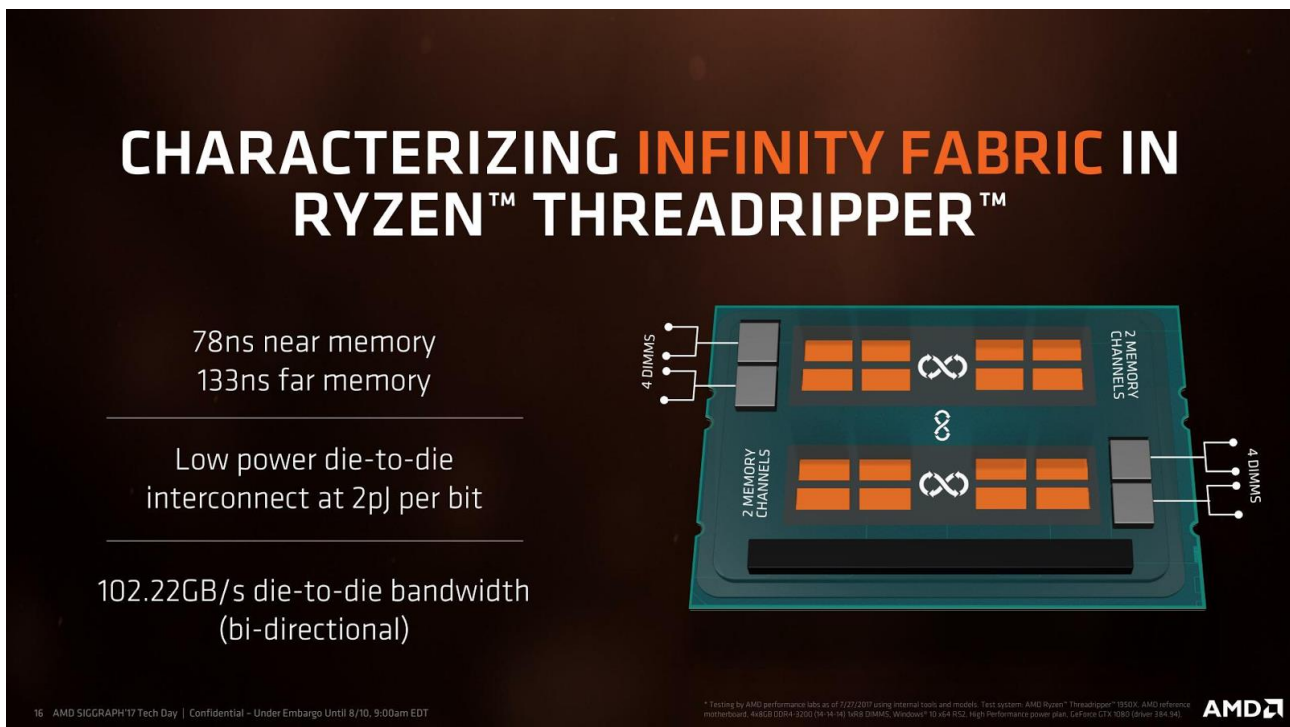


Figura 16

Tal i com veiem a la figura, la memòria té una latència de 78 ns si estem accedint a un xip de memòria que es troba en el mateix Zeppelin (així és com s'anomena un mòdul de CPU en l'arquitectura Zen) del processador i 133 ns si estem accedint a un xip de memòria que es troba en un Zeppelin diferent.

Aquest processador té dos modes d'ús de la memòria RAM:

- **Mode Creator o UMA:** Distribueix de manera igual la memòria, pel que no es prioritza l'ús del xip de memòria proper. La latència en aquest cas hauria de ser una mitjana entre far i near.
- **Mode Game o NUMA:** Prioritza l'ús dels xips de memòria propers per a tenir la latència més baixa (78 ns). Nosaltres hem decidit que utilitzarem aquesta latència ja que és amb la que s'obté major rendiment d'aquest processador.

L'ample de banda es de com a màxim 102,22 GB/s tant d'entrada com de sortida.

A la pàgina oficial d'AMD s'indica que la freqüència de rellotge màxima de la memòria suportada pel processador es de 2667 MHz. Sabent que el nostre processador treballa a una freqüència d'entre 3,4 GHz i 4 GHz; prendrem el mínim d'aquests valors per a fer el càlcul del nombre de cicles que són necessaris per a accedir a memòria i per a calcular el bandwidth.

$$f = \frac{1}{T} \rightarrow T = \frac{1}{f} = \frac{1}{3,4 \text{ GHz} * \frac{10^9 \text{ Hz}}{1 \text{ GHz}}} = 0,3030303 \text{ ns}$$
$$\text{Cicles d'accés a memòria} = \frac{78 \text{ ns}}{0,30303 \text{ ns}} = 257,4 \text{ cicles}$$

$$102,2 \frac{GB}{cicle} * \frac{2^{10^3} B}{1 GB} * 0,303 * 10^{-9} s \approx 32 Bytes/cicle$$

Font: [Pàgina oficial d'AMD, AnandTech, Modo UMA / NUMA](#)

5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

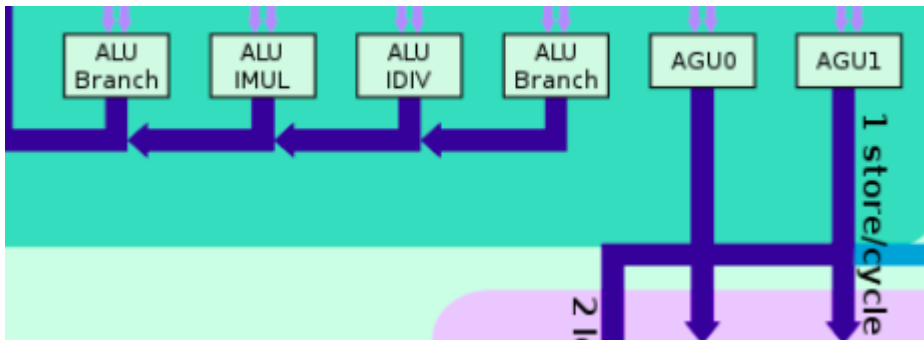


Figura 17

Podem observar que hi ha sis ALU (figura 17) en la unitat d'execució d'enters, de les quals dues treballen amb branques (ALU branch), una treballa amb multiplicacions (ALU IMUL), una treballa amb divisions (ALU IDIV) i per últim tenim dues subunitats per al càlcul d'adreces (AGU0 i AGU1).

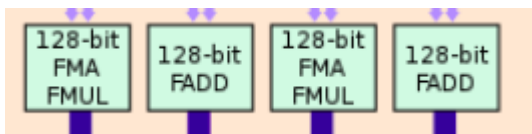


Figura 18

Per altra banda tenim quatre ALUs (figura 18) que treballen amb coma flotant, dos de les quals duen a terme multiplicacions (FMA/FMUL) i les altres dues sumes (FADD) .

Els ports d'accés a memòria són quatre, però en el mode NUMA es prioritza l'ús de dos d'ells. Aquest paràmetre no serà tingut en compte i direm que els ports són quatre.

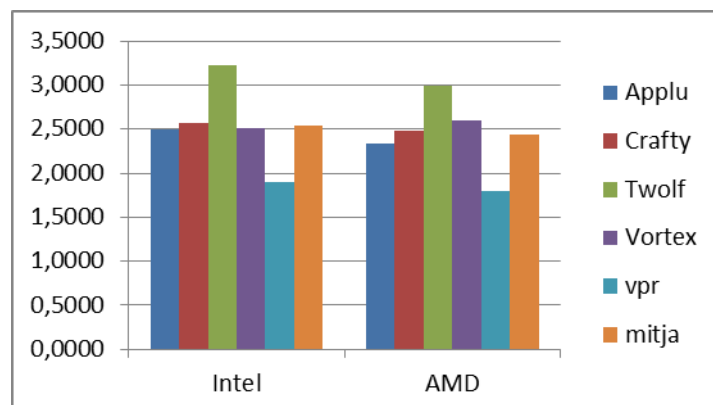
[Wikichip memory modes](#)

Configuracions i resultats dels *benchmarks*

Intel		AMD	
-fetch:ifqsize	6	-fetch:ifqsize	8
-decode:width	5	-decode:width	4
-issue:width	6	-issue:width	10
-commit:width	6	-commit:width	8
-ruu:size	256	-ruu:size	256
-lsq:size	64	-lsq:size	128
-mem:lat	42 2	-mem:lat	78 2
-mem:width	32	-mem:width	32
-res:memport	3	-res:memport	4
-res:ialu	4	-res:ialu	4
-res:imult	2	-res:imult	2
-res:fpalu	3	-res:fpalu	4
-res:fpmult	2	-res:fpmult	2
-cache:dl1	dl1:64:64:8:l	-cache:dl1	dl1:64:64:8:l
-cache:il1	il1:64:64:8:l	-cache:il1	il1:256:64:4:l
-cache:dl2	ul2:1024:64:16:l	-cache:dl2	ul2:2048:64:8:l

Alguns dels valors no es corresponen amb els indicats en la part anterior ja que el sim-outorder no els accepta, han de ser múltiples de 2.

En la primera execució hem observat que el ReOrder Buffer esta ple durant una petita fracció de temps, pel que serà una de les millores. El mateix passa amb la cua d'accés a memòria, pel que podria ser també una altra millora. Per finalitzar, hem observat que hi ha misses en les memòries cau il1, dl1 i ul2, per lo que augmentar la mida també podria ser una possible millora.



Modificació de les configuracions i resultats dels *benchmarks* (AMD)

En el processador AMD realitzarem les següents modificacions:

- Augmentem el nombre d'instruccions que surten de la etapa de decode.

Podem observar que en totes les etapa de la k-via el nombre d'instruccions per cicle és 8. Si fóssim capaços de fer que totes les instruccions fossin denses tindríem un throughput més gran d'instruccions i per tant un major IPC. Pot observar-se com el IPC millora en tots els benchamrks de manera substancial.

Il·lustració: 1

- Augmentem al doble el nombre de sets de la memòria cau L2:

Observem que hi ha una taxa de miss de més del 50 % en molts dels benchmarks. El rendiment (IPC) puja, especialment en el benchmark applu.

Il·lustració: 2

- Augmentem les instruccions que pot contenir el ruu

Es pot observar com hi ha una fracció del temps en que la ruu està ocupada en tots els benchmarks, pel que en augmentar la ruu augmenta el rendiment.

Il·lustració: 3

Modificació de les configuracions i resultats dels *benchmarks* (Intel)

1ra modificació: Augmentem el ReOrder Buffer de 256 a 512:

Només han augmentat les IPC en l'execució del benchmark applu, i ha disminuït en l'execució del benchmark vpr.

2na modificació: Augmentem la cua d'accés a memòria de 64 a 128:

En aquesta segona modificació, només es mostra una millora en el benchmark crafty i una disminució de les IPCs en els l'execució dels benchmarks Twolf i Vortex

3ra modificació: Modifiquem el nombre de sets de la cache dl1, de 64 a 128:

S'observa un augment en les IPCs de tots els benchmarks excepte en el Twolf i applu on no varia, en aquest només hi havia una miss ratio en la memòria cau dl1 de 0,0001.

4a modificació: Modifiquem el nombre de sets de la cache ul2, de 1024 a 2048:

No s'observa cap canvi

5a modificació: la 3ra i 4ta juntes:

Cap canvi respecte la 3ra modificació.

6a modificació: augmentar l'etapa de decode de 5 a 6 instruccions:

Augmenten les IPCs en l'execució de tots els benchmarks

7a modificació: augmentar l'etapa de issue de 6 a 7 instruccions:

Augmenten les IPCs en l'execució de tots els benchmarks

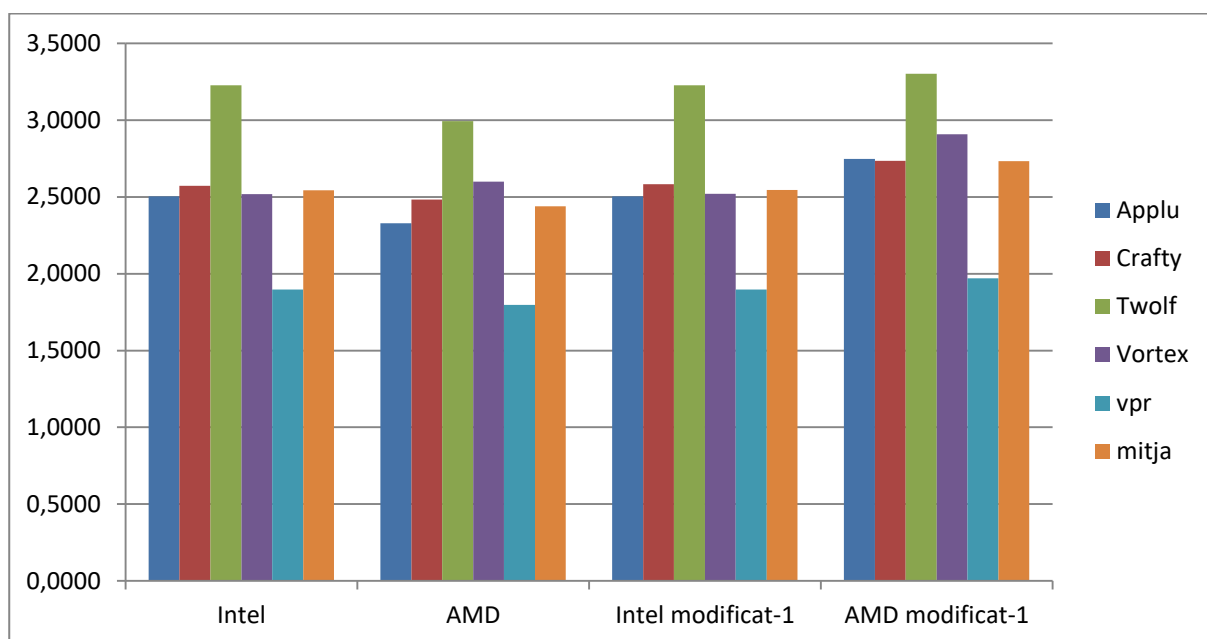
8a modificació: augmentar l'etapa de commit de 6 a 7 instruccions:

Només augmenten les IPCs en l'execució del benchmark Crafty

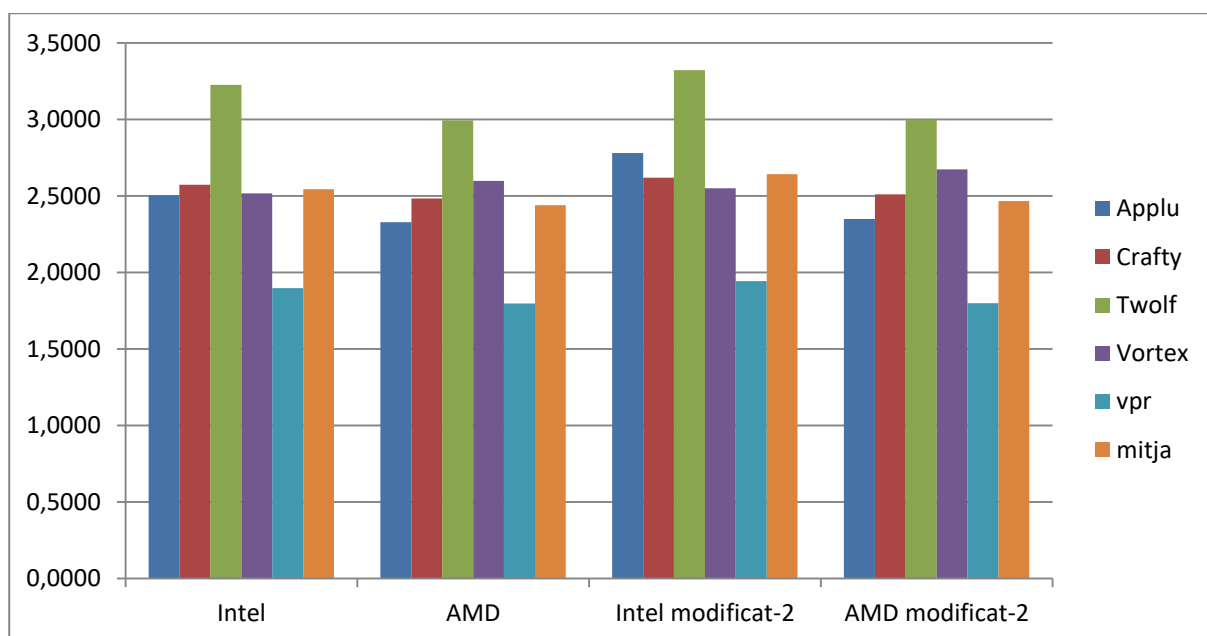
Així, en el processador intel realitzarem les següents modificacions:

- Augmentem el nombre de blocs en la memòria cau dl1 de 64 a 128
Il·lustració: 1
- Augmentem les instruccions que es poden executar en l'etapa de decode de 5 a 6
Il·lustració: 2
- Augmentem les instruccions que es poden executar en l'etapa de issue de 6 a 7
Il·lustració: 3

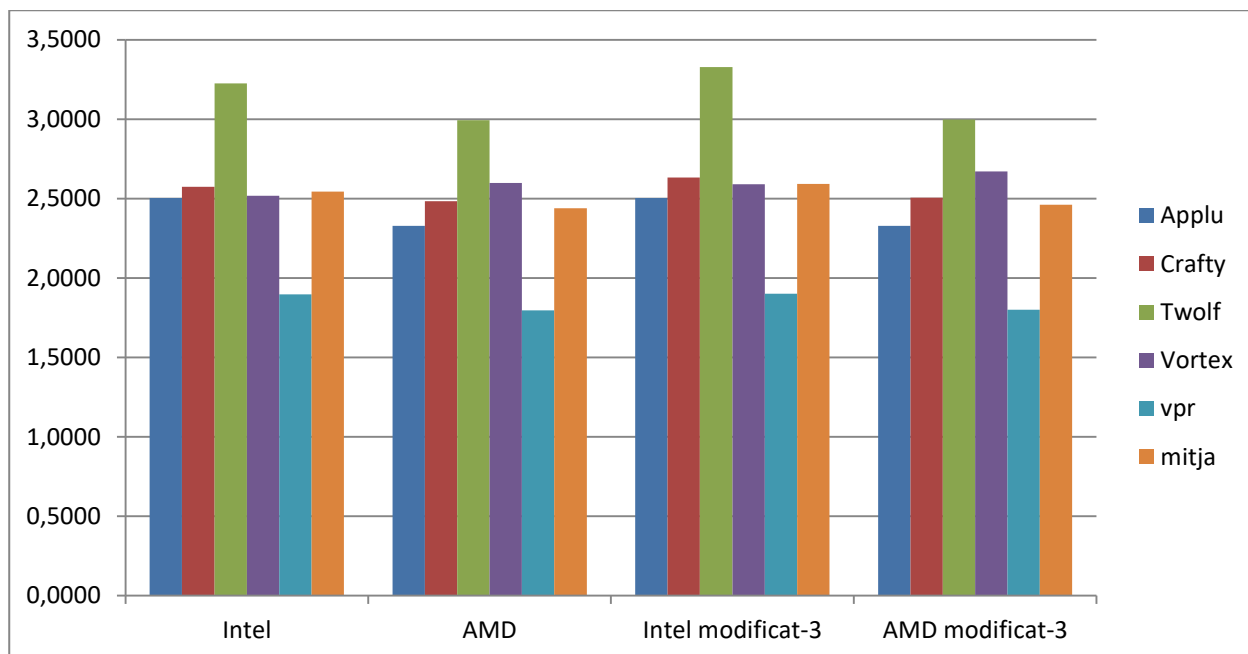
En aplicar aquestes modificacions s'observa un increment en les IPCs en l'execució de tots els benchmarks.



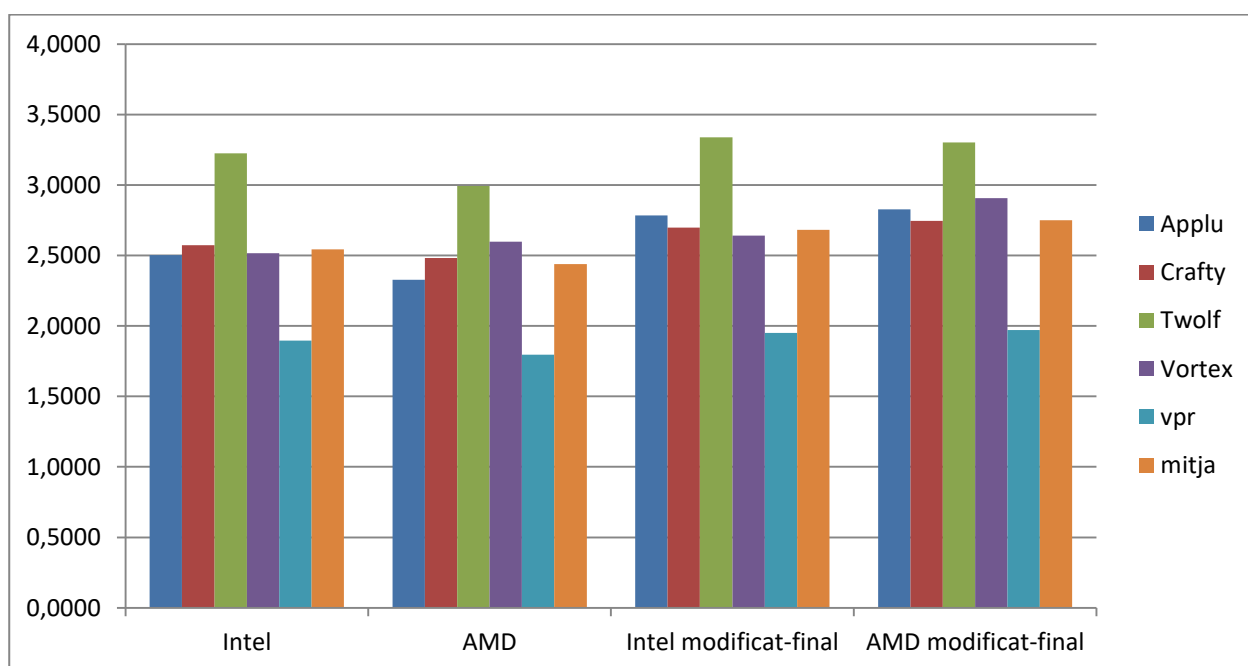
Il·lustració 1: Es modifica la memòria cau dl1 en el processador Intel i s'augmenta l'etapa de decode en el AMD



Il·lustració 2: s'augmenta l'etapa de decode en el processador Intel i s'augmenta la mida del ReOrder Buffer en el processador AMD



Il·lustració 3: s'augmenta l'etapa de issue en el processador Intel i es modifica la memòria cau ul2 en el processador AMD



Il·lustració 4: tres canvis simultànies

Comentad el siguiente párrafo extraído de una pagina web de comparativas:

“If your workloads are CPU-bound, though, Threadripper shines in our benchmarks written to exploit as many cores as you can throw at them. Threadripper outpaces the similarly-priced - 7900X in rendering, encoding, and compression. As expected, it isn’t quite as nimble in lightly-threaded applications, such as decompression and portions of the Adobe suite. Those applications continue to favor Intel’s IPC throughput and frequency. ”

10-8-2017: <http://www.tomshardware.com/reviews/amd-ryzen-threadripper-1950xcpu5167-15.html>

No s'especifica en quin dels modes de distribució de memòria s'ha provat el processador AMD, però del paràgraf deduïm que s'ha provat en el mode Game, ja que en aquest mode cada CPU només accedeix al seu propi xip de memòria pel que es redueixi la latència d'accés a memòria; augmentant per tant la velocitat en tasques molt paral·lelitzables. En canvi, el processador d'Intel guanya en tasques poc paral·lelitzables, probablement per la seva freqüència de treball major i pel seu major IPC.