

Intel core-i9-7900X (Skylake-X)

Especificacions tècniques:

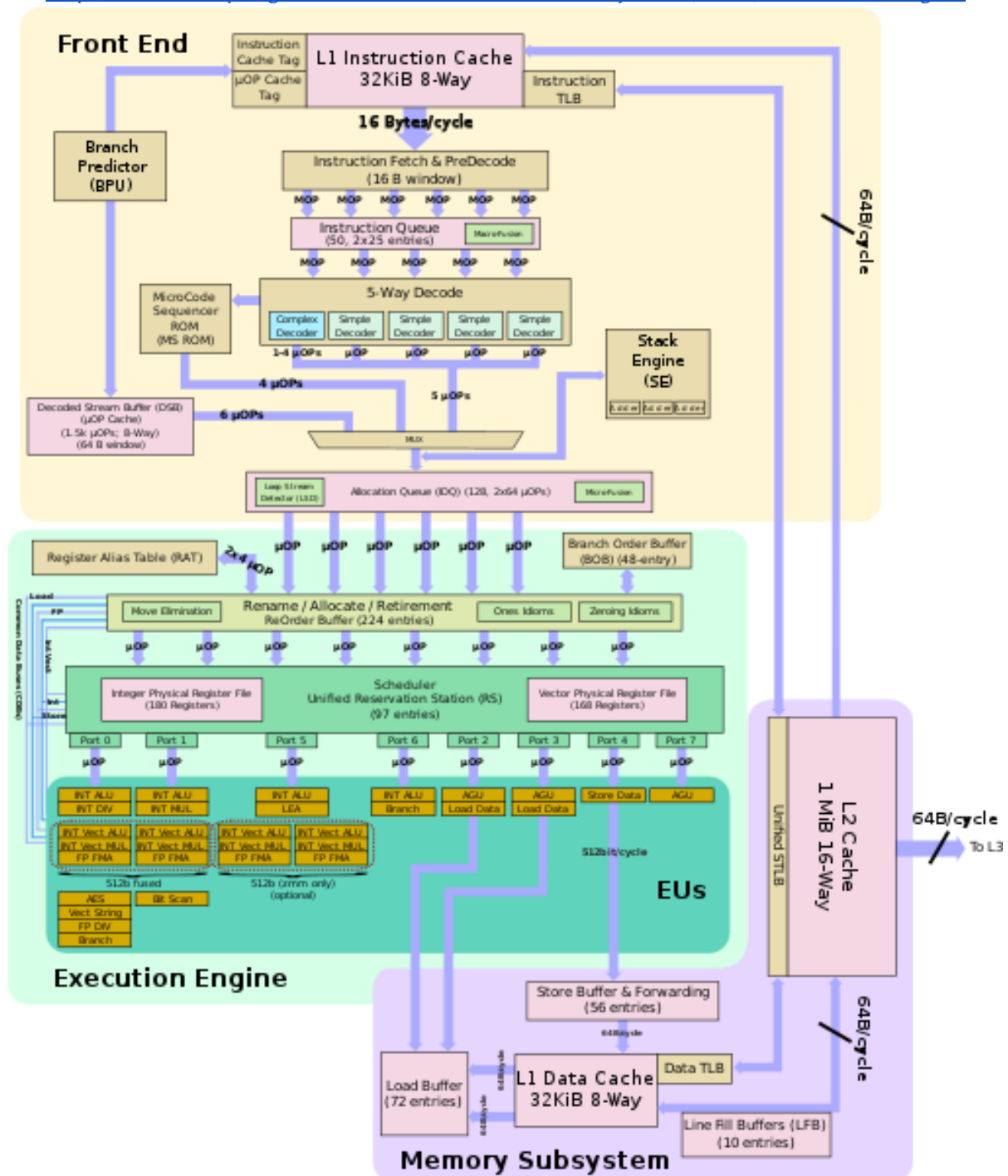
<https://www.intel.com/content/www/us/en/products/processors/core/x-series/i9-7900x.html>

# of cores	10
# of Threads	20
Processor Base Frequency (Relotge)	3.30 GHz
Max Turbo Frequency	4.30 GHz
Cache L3	13.75 MB
Bus Speed	8 GT/s DMI3
# of QPI Links	0
Intel Turbo Boost Max TEcnology 3.0 Frequency	4.50 GHz
TDP	140 W
PCIe Lanes	44

1. Los que determinan la k-*via* del procesador. Cuantas instrucciones por ciclo puede llegar a tratar: fetch, decode, issue y commit.

K-via del processador	Instruccions/cicle
Fetch	6
Decode	5-8 (5)
Issue	6
Commit	6

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(client\)#Execution_engine](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)#Execution_engine)



2. Los que determinan el tamaño de los buffers que almacenan instrucciones: ventana instrucciones (ruu) y cola de acceso a memoria (lsq).

Buffers que emmagatzemen informació		Mida
Finestra d'instruccions (ruu) / Re-order buffer		224 entrdaes
Cola d'accés a memòria (lsq)	Larger Store buffer	56 entrades
	Large Load buffer	72 entrades

Instruction window keeps increasing

Extract more parallelism in every generation

	Sandy Bridge	Haswell	Skylake	
Out-of-order Window	168	192	224	↑
In-flight Loads	64	72	72	
In-flight Stores	36	42	56	↑
Scheduler Entries	54	60	97	↑
Integer Register File	160	168	180	↑
FP Register File	144	168	168	
Allocation Queue	28/thread	56	64/thread	↑

<http://www.pcgamer.com/the-ongoing-testing-of-intels-x299-and-i9-7900x/>

3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño, asociatividad y algoritmo de reemplazo.

Memòries Cau	L1I	L1D	L2	L3
Mida	32 KiB	32 KiB	1 MiB	1,375 MiB
Associativitat	8	8	16	11
# de blocs	64	64	<i>Non inclusive</i>	<i>Non inclusive</i>
Mida de línia	64 B	64 B	64 B	64 B
Algorisme de reemplaçament		<i>Write-Back</i>	<i>Write-Back</i>	<i>Write-Back</i>
Cicles		4 per punters simples 5 per adreces complexes	14 de latència	50-70 latència
<i>Load bandwidth</i>		128 B/cicle		
<i>Store bandwidth</i>		64 B/cicle		
<i>Bandwidth to L1</i>			64 B/cicle	

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(server\)#Memory_Hierarchy](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(server)#Memory_Hierarchy)

4. Los que determinan el ancho de banda y la latencia de la memoria principal.

Accepta aquestes memòries principals:

Standard name	Memory clock (MHz)	I/O bus clock (MHz)	Data rate (MT/s)	Module name	Peak transfer rate (MB/s)	Timings CL-tRCD-tRP	CAS latency (ns)
DDR4-2666T	325	1333	2666	PC4-21333	21333	17-17-17	12.75
DDR4-2666U						18-18-18	13.50
DDR4-2666V						19-19-19	14.25
DDR4-2666W						20-20-20	15


La memòria principal té una latència de (12.75 - 15) en funció de la DDR4 usada, en el nostre cas usarem la DDR4-2666T amb un latència de 12,75 ns.

Tenint en compte que la freqüència del processador varia de 3,30 a 4,50 GHz (Treballarem amb 3,30GHz):

$$3.3 \text{ GHz} \times \frac{10^9 \text{ Hz}}{1 \text{ GHz}} = 3,3 \times 10^9 \text{ Hz} \rightarrow \frac{1}{\text{freq}} = 3,03 \times 10^{-10} \text{ s} = 0,303 \text{ ns}$$

$$\text{L'accés a memòria tarda: } \frac{12,75 \text{ ns}}{0,303 \text{ ns}} = 42 \text{ cicles}$$

- System **DRAM**:
 - 2 Channels
 - 8 B/cycle/channel (@ memory clock)
 - 42 cycles + 51 ns latency



Integrated Memory Controller

[Edit/Modify Memory Info]

Max Type	DDR4-2666
Supports ECC	No
Channels	4
Max Bandwidth	79.47 GiB/s
Bandwidth	Single 19.89 GiB/s Double 39.72 GiB/s Quad 79.47 GiB/s

https://en.wikichip.org/wiki/intel/core_i9/i9-7900x

Treballarem amb un ample de banda de 19.89 GiB/s com indica en la imatge de dalt?

O considerem que l'ample de banda són (2 o 4?) canals de 8 B/cicle?

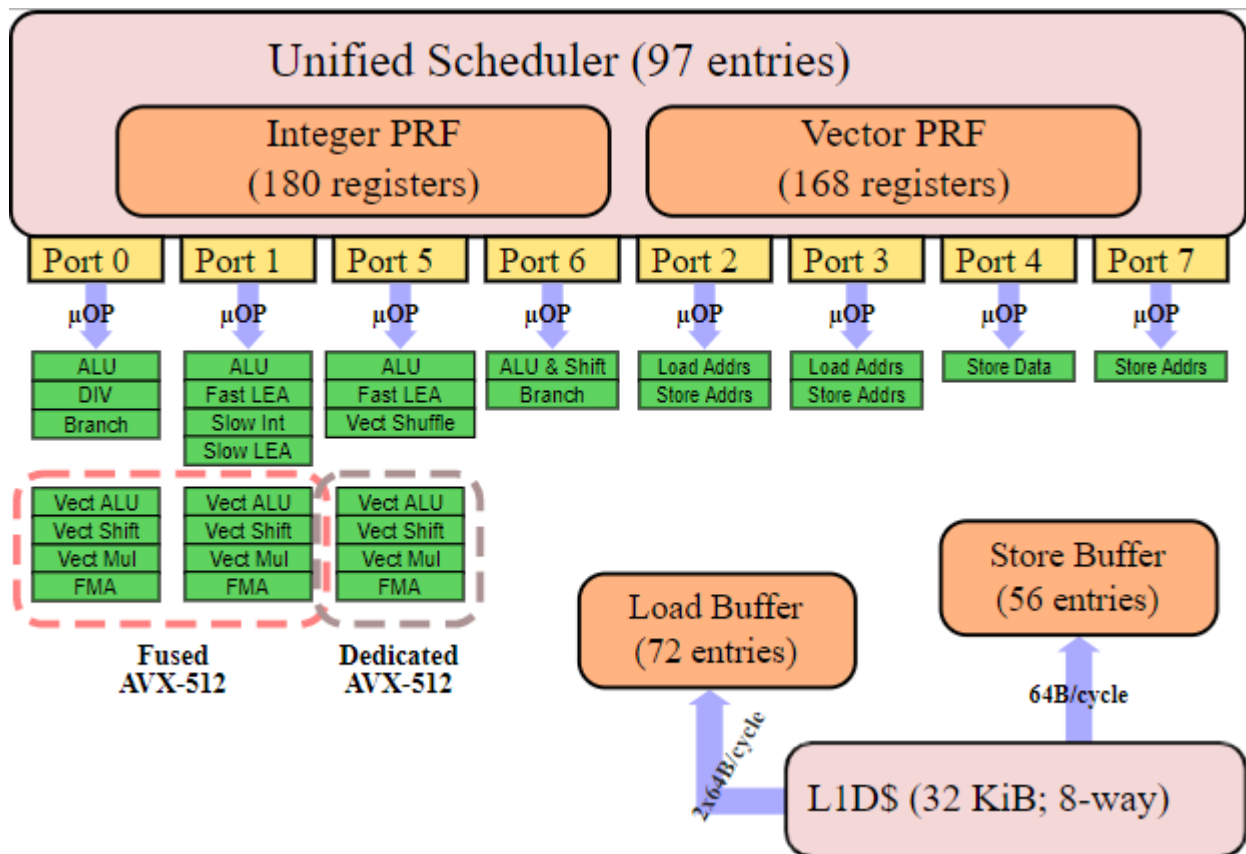
O és lo mateix?

5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

ALUs aritmètiques i multiplicació d'enters	7 (dels quals 4 calculen adreces)
ALUs aritmètiques i multiplicació de coma flotant	3
Ports d'accés a memòria	3

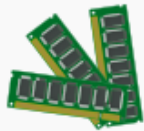
Com es pot observar en la imatge de baix, hi han 10 ALUs en la unitat d'execució, de els quals 4 són AGUs (Unitats generadores de direccions), 3 són ALUs aritmètiques i de multiplicació d'enters i 3 són ALUs aritmètiques i de multiplicació de coma flotant.

Cal remarcar que en els Ports 0 i 1 quan s'està executant una de les ALUs individuals no es pot executar la "Fused AVX-512", de la mateixa foma que passa en el Port 5.



https://en.wikichip.org/w/images/2/2b/skylake_scheduler_server.svg

Pel que fa als ports d'accés a memòria és referiria a les 3 que hi ha indicats a la segona imatge de baix on n'hi han dos de lectura i un de escriptura o als 4 canals d'accés a memòria que indica la foto de baix?

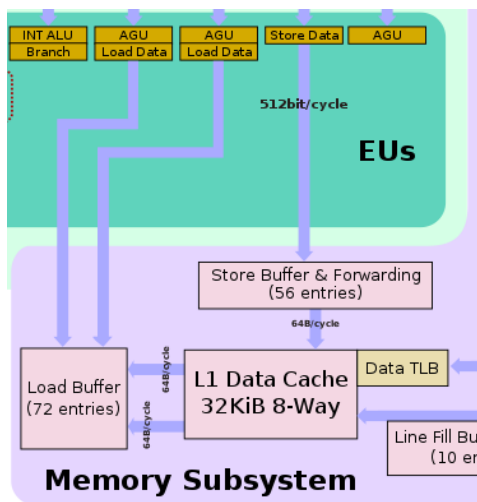


Integrated Memory Controller

[\[Edit/Modify Memory Info\]](#)

Max Type	DDR4-2666	
Supports ECC	No	
Channels	4	
Max Bandwidth	79.47 GiB/s	
Bandwidth	Single	19.89 GiB/s
	Double	39.72 GiB/s
	Quad	79.47 GiB/s

https://en.wikichip.org/wiki/intel/core_i9/i9-7900x



[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(server\)#Memory_Hierarchy](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(server)#Memory_Hierarchy)

Scheduler Ports Designation		
Port 0	Integer/Vector Arithmetic, Multiplication, Logic, Shift, and String ops	512-bit Vect ALU/Shift/Mul/FMA
	FP Add, Multiply, FMA	
	Integer/FP Division and Square Root	
	AES Encryption	
	Branch2	
Port 1	Integer/Vector Arithmetic, Multiplication, Logic, Shift, and Bit Scanning	512-bit Vect ALU/Shift/Mul/FMA
	FP Add, Multiply, FMA	
Port 5	Integer/Vector Arithmetic, Logic	512-bit Vect ALU/Shift/Mul/FMA
	Vector Permute	
	x87 FP Add, Composite Int, CLMUL	
Port 6	Integer Arithmetic, Logic, Shift	
	Branch	
Port 2	Load, AGU	
Port 3	Load, AGU	
Port 4	Store, AGU	
Port 7	AGU	

[https://en.wikichip.org/wiki/intel/microarchitectures/skylake_\(client\)#Execution_engine](https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)#Execution_engine)