## Intel core-i9-7900X (Skylake-X)

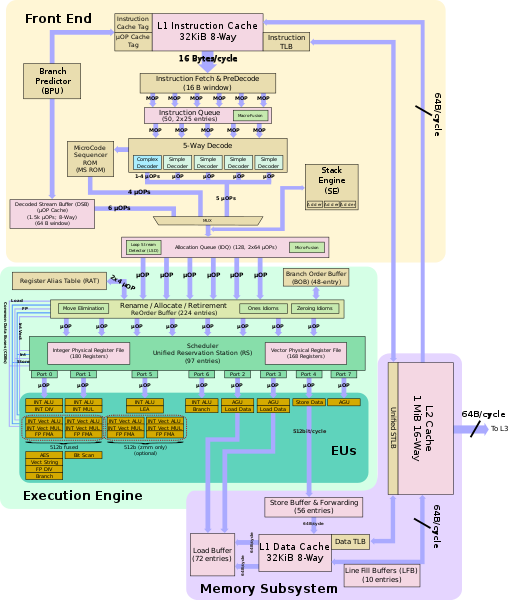
Especificacions tècniques:

<https://www.intel.com/content/www/us/en/products/processors/core/x-series/i9-7900x.html>

|  |  |
| --- | --- |
| # of cores | 10 |
| # of Threads | 20 |
| Processor Base Frequency (Rellotge) | 3.30 GHz |
| Max Turbo Frequency | 4.30 GHz |
| Cache L3 | 13.75 MB |
| Bus Speed | 8 GT/s DMI3 |
| # of QPI Links | 0 |
| Intel Turbo Boost Max TEcnology 3.0 Frequency | 4.50 GHz |
| TDP | 140 W |
| PCIe Lanes | 44 |

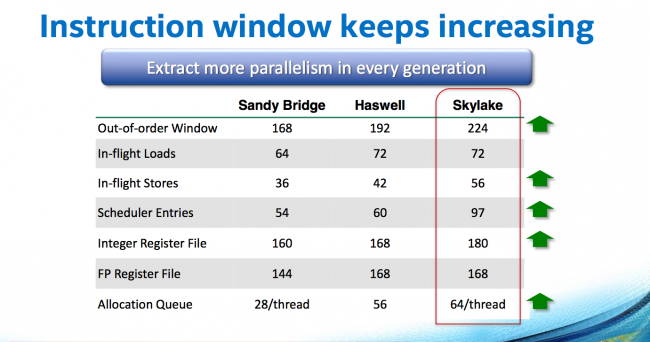
1. Los que determinan la k-via del procesador. Cuantas instrucciones por ciclo puede llegar a tratar: fetch, decode, issue y commit.

|  |  |
| --- | --- |
| K-via del processador | Instruccions/cicle |
| Fetch | 6 |
| Decode | 5-8 (5) |
| Issiue | 6 |
| Commit | 6 |

<https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)#Execution_engine>

2. Los que determinan el tamaño de los buffers que almacenan instrucciones: ventana instrucciones (ruu) y cola de acceso a memoria (lsq).

|  |  |  |
| --- | --- | --- |
| Buffers que emmagatzemen informació | | Mida |
| Finestra d’instruccions (ruu) / Re-order buffer | | 224 entrdaes |
| Cola d’accés a memòria (lsq) | Larger Store buffer | 56 entrades |
| Large Load buffer | 72 entrades |



<http://www.pcgamer.com/the-ongoing-testing-of-intels-x299-and-i9-7900x/>

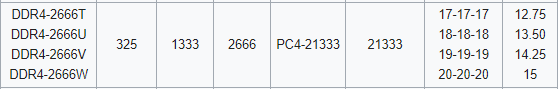
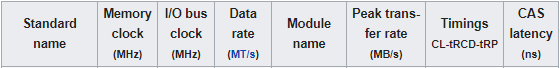
3. Los que determinan las caches L1 y L2. Si manipulan por separado instrucciones y datos y los que determinan el tamaño, asociatividad y algoritmo de reemplazo.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Memòries Cau | L1I | L1D | L2 | L3 |
| Mida | 32 KiB | 32 KiB | 1 MiB | 1,375 MiB |
| Associativitat | 8 | 8 | 16 | 11 |
| # de blocs | 64 | 64 | *Non inclusive* | *Non inclusive* |
| Mida de línia | 64 B | 64 B | 64 B | 64 B |
| Algorisme de reemplaçament |  | *Write-Back* | *Write-Back* | *Write-Back* |
| Cicles |  | 4 per punters simples  5 per adreces complexes | 14 de latència | 50-70 latència |
| *Load bandwidth* |  | 128 B/cicle |  |  |
| *Store bandwidth* |  | 64 B/cicle |  |  |
| *Bandwidth to L1* |  |  | 64 B/cicle |  |

<https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(server)#Memory_Hierarchy>

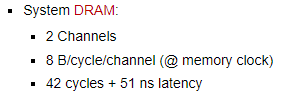
4. Los que determinan el ancho de banda y la latencia de la memoria principal.

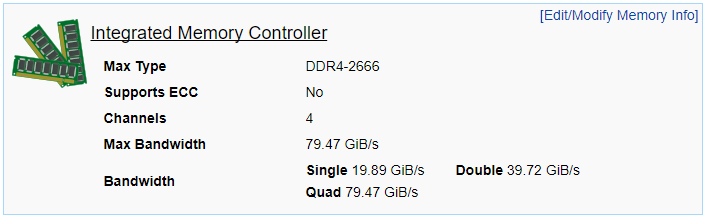
Accepta aquestes memòries principals:



La memòria principal té una latència de (12.75 - 15) en funció de la DDR4 usada, en el nostre cas usarem la DDR4-2666T amb un latència de 12,75 ns.

Tenint en compte que la freqüència del processador varia de 3,30 a 4,50 GHz (Treballarem amb 3,30GHz):





<https://en.wikichip.org/wiki/intel/core_i9/i9-7900x>

Treballarem amb un ample de banda de 19.89 GiB/s com indica en la imatge de dalt?

O considerem que l’ample de banda són (2 o 4?) canals de 8 B/cicle?

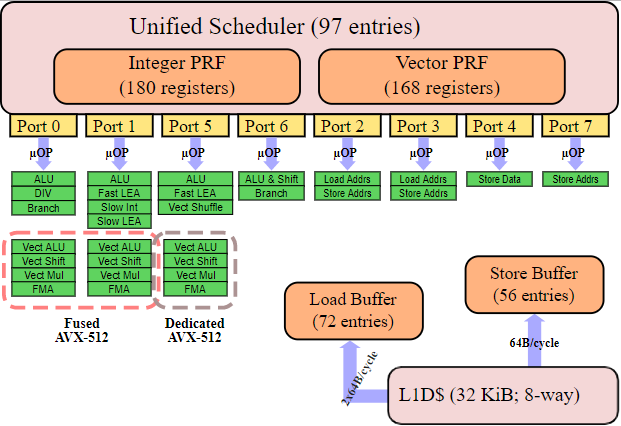
O és lo mateix?

5. Los que determinan los recursos a nivel de unidades funcionales: números de ALUs aritméticas y multiplicación de integers, ALUs aritméticas y multiplicación de coma flotante y el número de puertos de acceso a memoria.

|  |  |
| --- | --- |
| ALUs aritmètiques i multiplicació d’integers | 7 (dels quals 4 calculen adreces) |
| ALUs aritmètiques i multiplicació de coma flotant | 3 |
| Ports d’accés a memòria | 3 |

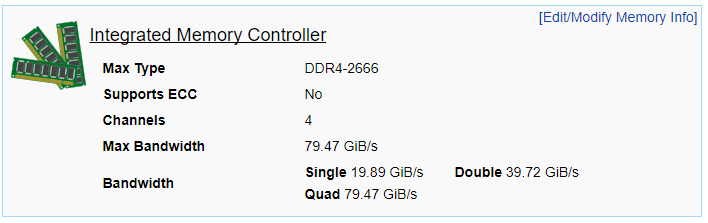
Com es pot observar en la imatge de baix, hi han 10 ALUs en la unitat d’execució, de els quals 4 són AGUs (Unitats generadores de direccions), 3 són ALUs aritmètiques i de multiplicació d’enters i 3 són ALUs aritmètiques i de multiplicació de coma flotant.

Cal remarcar que en els Ports 0 i 1 quan s’està executant una de les ALUs individuals no es pot executar la “Fused AVX-512”, de la mateixa foma que passa en el Port 5.

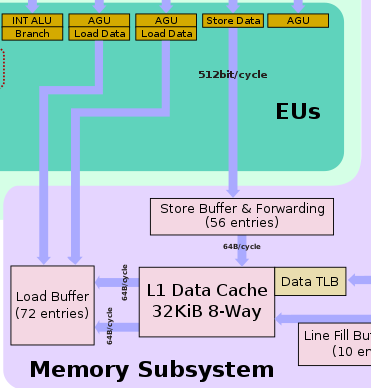


<https://en.wikichip.org/w/images/2/2b/skylake_scheduler_server.svg>

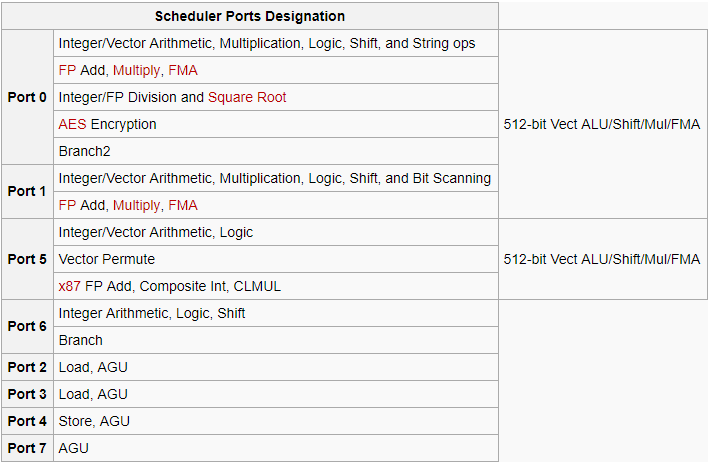
Pel que fa als ports d’accés a memòria és referiria a les 3 que hi ha indicats a la segona imatge de baix on n’hi han dos de lectura i un de escriptura o als 4 canals d’accés a memòria que indica la foto de baix?



<https://en.wikichip.org/wiki/intel/core_i9/i9-7900x>



<https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(server)#Memory_Hierarchy>



<https://en.wikichip.org/wiki/intel/microarchitectures/skylake_(client)#Execution_engine>