

## 目录

<b>1、I3C 介绍</b>	<b>2</b>
1.1 I3C 接口协议目的	2
1.2 I3C 接口关键特性	3
<b>2、术语</b>	<b>3</b>
2.1 使用特殊条款	3
2.2 定义	4
2.3 缩写	6
<b>3、技术概述</b>	<b>7</b>
3.1 I3C 总线基本原则	7
3.2 I3C 主设备和从设备	9
3.2.1 I3C 主设备	9
3.2.2 I3C 从设备	11
<b>4、I3C 总线协议</b>	<b>11</b>
4.1 SDR Mode	11
4.1.1 总线配置	12
4.1.2 总线数据传输	15
4.1.3 总线条件	27
4.1.4 总线初始化和动态地址分配	29
4.1.5 热插拔连接机制	31
4.1.6 带内中断	32
4.1.7 第二主机功能	34
4.1.8 时序控制	34
4.1.9 通用命令代码 (CCC)	34
4.1.10 SDR 错误检测和恢复方法	42
4.2 HDR Mode	42
4.2.1 HDR Exit Pattern and HDR Restart Pattern	43
4.2.2 HDR-DDR Mode	44
4.3 HDR-TSP and HDR-TSL	51
4.3.1 HDR 三进制信令和编码协议	52
4.3.1 HDR 三进制命令编码	57
4.3.2 HDR 三进制总线转换	59
<b>5、附录</b>	<b>60</b>

## 1、I3C 介绍

移动无线和受移动影响的产品中传感器的激增已经产生了重大的设计挑战。由于没有一致的物理传感器接口方法,设备和平台设计人员面临着数字接口碎片,包括 I2C, SPI 和 UART 等。

除了主接口之外,可能还需要其他信号,例如专用中断,芯片选择信号以及使能和睡眠信号。这增加了所需的主机 GPIO 数量,这反过来又增加了主机封装引脚和更多 PCB 层的系统成本。

随着时间的推移和传感器的数量增加,这种情况变得越来越难以支持和管理。

**MIPI I3C 接口的开发旨在通过为传感器提供快速,低成本,低功耗,双线数字接口来简化移动无线产品中的传感器系统设计架构。**

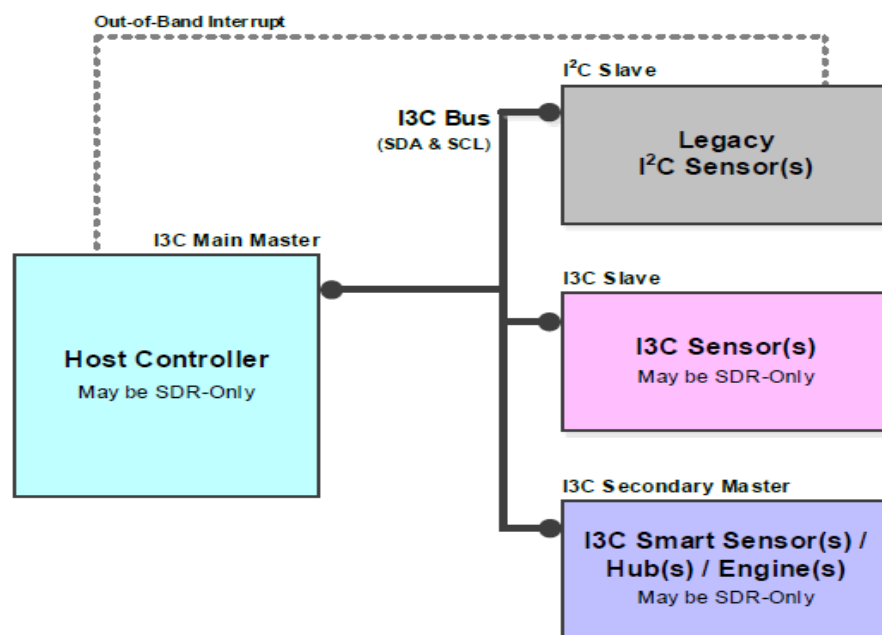


图 1 I3C 系统架构

### 1.1 I3C 接口协议目的

**I3C 接口旨在改进 I2C 接口的功能,保持向下兼容性。**本规范定义了主机处理器和外围传感器之间的标准多点接口。

实施 I3C 规范极大地提高了移动终端系统设计者系统设计的灵活性,降低成本,支持更多扩展传感器。

## 1.2 I3C 接口关键特性

对于 I3C 接口而言，两个主要问题是最重要的：在传输数据和控制时尽可能少地使用能量，同时减少接口使用的物理引脚数量。

因此，I3C 接口的特点是：

- 使用推挽式，最高 12.5 MHz 的双线串行接口
- 传统 I2C 设备在同一总线上共存（有一些限制）
- 动态寻址，同时支持传统 I2C 器件的静态寻址
- 传统的 I2C 消息传递
- 类似 I2C 的单数据速率消息（SDR）
- 可选的高数据速率消息模式（HDR）
- 多点连接功能
- 多主机功能
- 带内中断支持
- 热插入支持
- 同步定时支持和异步时间戳

I3C 接口提供总线功耗的主要效率，同时提供比 I2C 接口高 10 倍以上的传输速度。

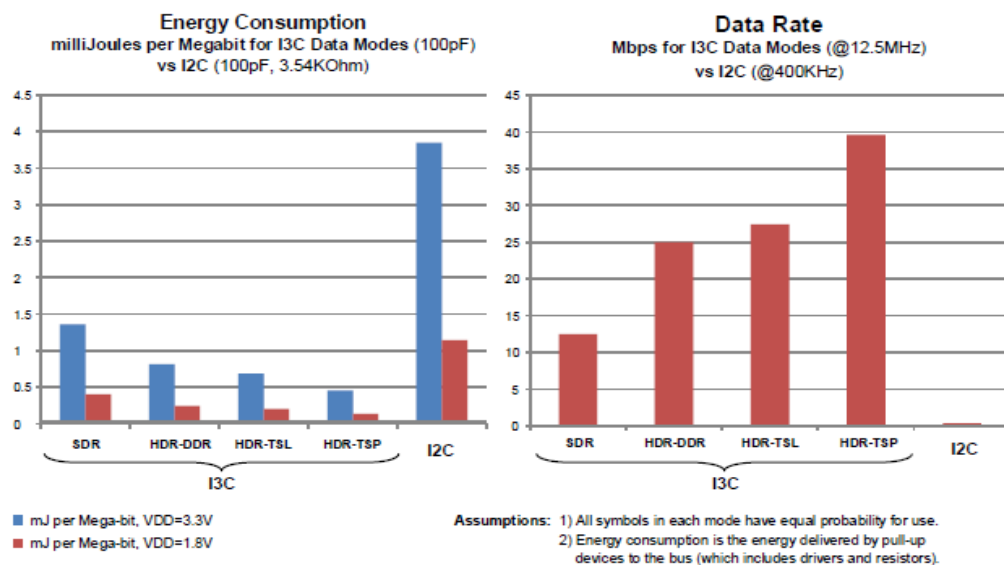


图 2

图 2 中的条形图显示了与 I2C 相比，不同 I3C 模式的给定数据量的能耗（单位为每兆位毫焦耳），而右侧是数据吞吐量。两者都显示出 I3C 的显著优势。

## 2、术语

### 2.1 使用特殊条款

- shall 表示严格遵守强制性要求，以符合规范，并且不允许偏差（应等于要求）
- should 表示在几种可能性中，建议特别适合，不提及或排除其他可能性；或者某种行动方案是首选但不一定是必需的；或者（以否定的形式）某种行为被弃用但不被禁止（应

该等于推荐。

- may 表示在规范范围内允许的行动方案（可以等于允许）
- can 表示可能性和能力的陈述，无论是物质，物理还是因果（可以等于）

## 2.2 定义

**ACK:** “确认”的缩写。另见 NACK。

**地址仲裁:** 确定仲裁地址以解决争用的过程。

**地址:** 指定设备或寄存器位置的一组位。

**可仲裁:** 取决于仲裁裁决。

**仲裁:** 如果两个设备同时开始传输，则需要仲裁来确定总线控制。如果主设备寻址多个从设备，则在从设备传输期间也可能需要仲裁。

**桥接器件:** I3C 总线上的器件，允许从本机 I3C 总线协议转换为另一种协议（如 SPI, UART 等）。

**广播:** 使用广播地址 7'h7E 为多个从设备发出的命令。

**总线:** SCL 和 SDA 线路的物理和逻辑实现。

**总线可用条件:** I3C 总线上的状态，其中 SCL 线和 SDA 线均为高电平至少为 tAVAL（参见表），并且器件能够在总线上启动事务。

**总线空闲条件:** 在 STOP 之后和 START 之前在 I3C 总线上时间间隔至少 tCAS（参见表 74）。

**Bus Idle Condition:** 在总线空闲条件时间内，表示设备可能尝试热连接 I3C 总线。

**总线周转:** 当发送设备发送命令，然后接收设备接管 I3C 总线以响应。

**特征:** 量化设备的可用特性和功能。

**时钟到数据周转时间:** 接收 SCL 边沿和开始驱动 SDA 之间的持续时间。见表 75 中的 tSCO。

**CRC5:** 具有五阶多项式长度的循环冗余校验。

**Current Master:** 当前主设备，当前具有 I3C 总线主控制功能的 I3C 设备。

**设备 ID:** 定义传感器系统中设备的特性或功能。

**动态地址:** 在总线初始化期间分配或分配的设备地址。上电后通常会发生。

**故障保护:** 如果 I3C 设备总线焊盘在未通电时泄漏不会增加，则认为它是故障安全的。由于设备未通电，因此其垫可以是无动力的，因为其 IO 轨道未通电或被夹紧，或两者兼而有之。故障保护仅适用于某些热连接设备。

**Frame:** 帧以 START 开始，然后是目标从站的地址，数据，最后是 STOP。

**高数据速率 (HDR):** 高数据速率模式，通过在两个时钟边沿传输数据来实现更高的速度。

**High-Keeper:** 当 SDA（有时是 SCL）相对于所有设备处于高阻态时使用的弱上拉型设备。

**Host:** 提供移动设备核心功能的硬件和软件。

**Hot-Join:** 在已经启动的情况下加入总线的从属服务器，无论是因为它们之前未被供电还是因为它们已被物理插入总线； Hot-Join 机制允许 Slave 通知 Master 它已准备好获得动态地址。

**In-Band Interrupt:** 带内中断 (IBI)；一种方法，通过该方法，从器件将其地址发送到 I3C 总线上的仲裁地址头，以通知主器件中断。

**I2C 器件:** 满足 I2C 规范要求的主器件或从器件

**I3C 设备:** 满足 I3C 规范要求的主设备或从设备。

**传统 I2C:** I3C 维护 I2C 的行业标准架构，并支持现有的 I2C 从器件。 I3C 不支持 I2C 总线主控器。

**Main Master:** 掌握 I3C 总线的总体控制权。包括对第二主机的控制和切换。

**Master:** 控制 I3C 总线的 I3C 设备。

**Mastership:** 控制 I3C 总线，担任主机角色。

**消息:** 设备之间的分组通信。

**Minimal Bus:** 具有一个主设备的 I3C 总线（可能具有减少的功能），以及一个具有固定和保留从设备地址值 7'h01 的有效从设备。其他只读从设备也可以选择存在于最小总线中，但不能有其他读写从设备。

**MIPI 制造商 ID:** MIPI 兼容设备供应商的双字节/16 位唯一标识符

**Mixed Fast Bus:** 混合快速总线，I3C 总线拓扑结构，I2C 和 I3C 器件都存在于 I3C 总线上，其中 I2C 器件在 SCL 线路上具有真正的 I2C 50ns 尖峰滤波器。

**Mixed Slow/Limited Bus:** 混合慢速限制总线，I3C 总线拓扑结构，I2C 和 I3C 器件都存在于 I3C 总线上，其中 I2C 器件在 SCL 线路上没有真正的 I2C 50 ns 尖峰滤波器。

**Mode:** 区分 I3C 中使用的不同数据传输方法，包括传统 I2C 模式，单数据速率模式 (SDR)，高数据速率模式 (HDR)，双数据速率模式 (HDR-DDR)，三进制传统模式 (HDR-TSL) 和纯总线模式的三进制 (HDR-TSP)。

**Multi-Drop:** 一条通过仲裁过程进行通信以确定哪个设备发送信息的总线。其他设备侦听它们要接收的数据。

**Multi-Master:** 总线上有多个总线主站。当总线上的多个节点需要启动传输时使用。

**NACK:** “不确认”的缩写，表示没有确认 ACK。另见 ACK。

**离线功能:** 离线功能设备能够断开与物理 I3C 总线的连接和能够忽略 I3C 总线上的 I3C 流量。设备的离线功能是其总线特性寄存器中反映的功能之一。

**开漏:** 高阻态，有效下拉。通常与无源上拉一起使用。

**驻留:** 在转换总线之前由主机（或从机读取）设置的逻辑电平高电平，允许另一个驱动逻辑电平为低电平（通过弱上拉保持高电平）。

**报头:** HDR-DDR 模式中数据字之前的位。

**Pull-Down:** 用于将总线拉至逻辑低状态的活动机制。

**上拉:** 用于将总线拉至逻辑高状态的机制。该机制可以是主动的也可以是被动的。

**纯总线:** 仅存在 I3C 器件的总线拓扑。Pure Bus 上不允许使用 I2C 设备。

**推挽:** 输出驱动器上的有源下拉和有源上拉。

**重复 START:** 连续 START 的两个或多个实例，没有干预 STOP。在主机希望继续在 I3C 总线上进行通信而无需先生成 STOP 的情况下，使用重复 START。在本说明书中，重复 START 缩写为“Sr”。这相当于在 I2C 中重复 START。

**SDR-Only:** 设备仅支持 SDR 模式，即不支持 HDR 模式。

**辅助主控制器:** 辅助控制器仅在获得主控制器的许可后才控制 I3C 总线。总线的控制是暂时的，并且总是以控制权返回主控制器结束。

**单数据速率 (SDR):** 单数据速率仅在时钟的一个边沿传输数据。

**Slave:** 从站设备只能响应主站的通用或单独命令。从设备无法生成时钟。

**尖峰滤波器:** 一种滤波器，用于消除持续时间短于 50 ns 的 SCL（和 SDA）尖峰。请参阅 I2C 规范中的输入滤波器（tSP 参数）。也称为毛刺滤波器。

**Stall:** I3C Master 在特定条件下保持 SCL 线低电平的行为。

**START:** START 是 SDA 线上从高电平到低电平转换的 I3C 总线条件，而 SCL 线保持高电平。在本规范中，START 缩写为“S”。

**START Request:** Slave 强制 Master 在空闲 I3C 总线上发出 START 的方法。

**静态地址:** 固定且无法更改的设备地址。

**STOP:** STOP 是 SDA 线上从低电平到高电平转换的 I3C 总线条件, 而 SCL 线保持高电平。  
在本规范中, STOP 缩写为 “P”。

**Symbol:** 在 I3C 三进制编码中, 符号是一种抽象, 可以具有三种状态中的任何一种。这些状态表示 (对于 I3C 总线上的给定时段) SCL 线是否改变状态, SDA 线是否改变状态, 或两条线是否改变状态。如果两行都没有更改状态, 则不会为该时段生成符号。

**T-Bit:** 转换位, 是 ACK/NACK 机制的替代方案。

**三态模式:** I3C HDR-TSP (纯母线的三进制) 模式或 HDR-TSL (三进制传统) 模式。

**时间戳:** 确定和分配事件发生时间的行为。

**定时控制:** 交换和控制系统定时信息的方法, 旨在同步和时间戳 I3C 总线设备和事件。

**Word:** 包含 16 个有效负载位和两个奇偶校验位的传输。

**Word Types:** 使用四种 World 类型: 命令字, 用户数据字, CRC 字和保留字。

## 2.3 缩写

ACK	Acknowledge
e.g.	For example (Latin: exempli gratia)
i.e.	That is (Latin: id est)
High-Z	设置为高阻抗模式的输出驱动器 (不能提供或吸收电流)
NACK	Not Acknowledge
P	STOP
PHY	Physical Layer
S	START
Sr	Repeated START
T	Transition Bit
BCR	总线特性寄存器
BER	误码率
BMB	总线管理块
CCC	通用命令代码
CRC	循环冗余校验
DAR	动态地址请求
DCR	设备特性寄存器
DDR	Double Data Rate, 双倍数据速率
ESD	Electro Static Discharge
FSM	Finite State Machine, 有限状态机
HDR	High Data Rate, 高数据速率
HDR-DDR	HDR Double Data Rate Mode, HDR双倍数据速率模式
IBI	In-Band Interrupt, 带内中断
ISTO	Industry Standards and Technology Organization, 行业标准与技术组织
LCR	Legacy Characteristics Register, 保留特征寄存器
LSb	最低有效位
MSb	最高有效位
NVMEM	Non-Volatile Memory, 非易失性存储器
OD	Open Drain, 开漏输出
PICS	Protocol Implementation Conformance Statement

PUR Pull-Up Resistor, 上拉电阻  
SDR Single Data Rate, 单数据速率

### 3、技术概述

本节概述了 I3C 总线, I3C 接口和 I3C 主设备和从设备。

I3C 是一款双线双向串行总线, 针对多个传感器从设备进行了优化, 并且一次只能由一个 I3C 主设备控制。I3C 向下兼容许多传统 I2C 设备, 但 I3C 设备还支持更高的速度, 新的通信模式和新的设备角色, 包括随时间更改设备角色的能力 (例如初始 Master 可以合作地将 Master 角色传递给支持该功能的辅助 master I3C 设备)。I3C 包括:

- 支持许多传统 I2C 从设备和消息
- **I3C 单数据速率 (SDR) 模式:** 新的 I3C 协议增强了 I2C 协议私信支持, 并添加两种标准内置消息:
  - 1)、广播消息: 发送给总线上的所有 I3C 从设备。
  - 2)、直接消息: 发送给特定的从设备。
- **I3C 高数据速率 (HDR) 模式:** 又分为 3 种模式, **HDR-DDR, HDR-TSL, HDR-TSP**.
  - 1)、**双数据速率 (HDR-DDR) 模式:** 使用与 SDR 模式相同的信令 (即与 I2C 协议没有显著差异), 但运行速度约为 SDR 速度的 2 倍。
  - 2)、**三进制传统 (HDR-TSL) 模式:** 对于混合使用 I2C 和 I3C 器件的总线, 具有高数据速率加上三进制编码。与 I2C 协议有很大不同。
  - 3)、**三进制纯总线 (HDR-TSP) 模式:** 对于仅具有 I3C 器件的总线, 具有更高的数据速率和三进制编码。与 I2C 协议有很大不同。

#### 3.1 I3C 总线基本原则

I3C 支持多种通信格式, 均共享双线接口。两条线指定为 SDA 和 SCL:

- SDA (串行数据) 是双向数据引脚
- 在某些 HDR 模式下, SCL (串行时钟) 可以是时钟引脚或双向数据引脚

I3C 总线支持各种混合类型的消息:

- 类似 I2C 的 SDR 消息, SCL 时钟速度高达 12.5MHz
- Broadcast CCC 和 Direct CCC 允许 Master 分别与 I3C 总线上的所有或一个 Slave 通信的消息。
- HDR 模式消息, 每个等效时钟周期实现更高的数据速率, 双边沿采集数据。
- Master 到传统 I2C Slave 的 I2C 消息。
- Slave 向 Master 发起的 START 请求, 例如发送带内中断或主控制权请求。



图 3 I3C 总线上数据传输示例

所有 I3C 通信都以帧的形式发生。帧以 START 开始, 然后是一个或多个传输, 以及 STOP。



对于 HDR 模式：首先，Master 使用专用广播 I3C 地址（7'h7E）发送给 I3C 总线上的所有从器件。然后发出一个进入 HDR 模式的通用命令代码（CCC），表示主机正在进入 HDR 模式。每种 HDR 模式都有自己的进入 HDR 模式的通用命令代码。接下来是一次或多次 HDR 传输。使用 HDR 退出模式协议结束 HDR 模式。

I3C 基于帧封装方法。帧包括数据有效载荷。数据有效载荷的传输协议是 SDR 或 HDR。帧类似于类似 I2C 的总线管理。I3C 帧始终至少包括 START, HEADER, DATA 和 STOP。

START 之后的 HEADER 用于总线仲裁。主设备使用 HEADER 来寻址从设备。从设备可以将 HEADER 仲裁用于多种目的：用于带内中断，热连接和主控制权请求功能。

进入 HDR 模式需要使用 Enter HDR CCC 命令。HDR 消息的 I3C 总线活动不遵循传统 I2C 格式。例如，HDR-TSP 有效载荷使用三进制进行编码，其中 SDA 线和 SCL 线都传输数据，其中时钟嵌入在数据传输协议中。

在某一时刻 I3C 只允许一个 Master 控制 I3C 总线。I3C 协议提供了将主设备从一个设备切换到另一个设备的机制。

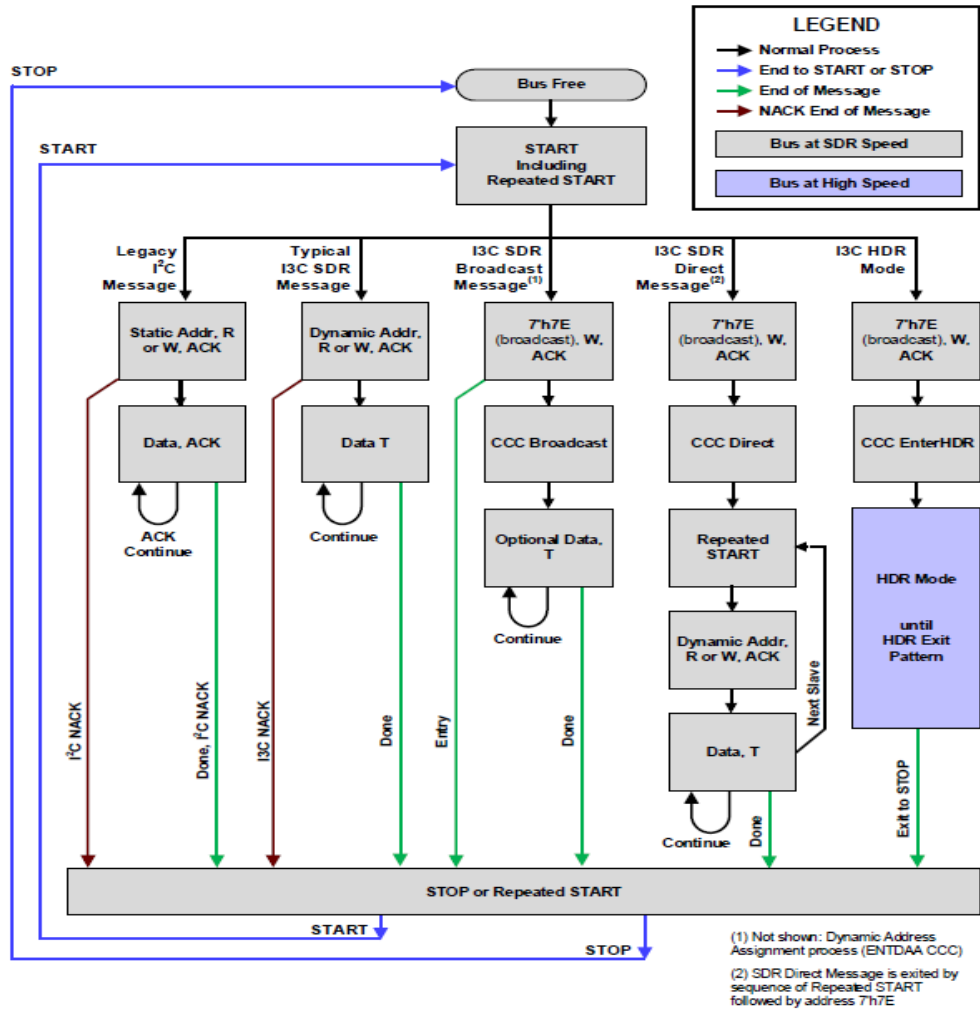


图 4 I3C 通信流程图



## 3.2 I3C 主设备和从设备

给定的 I3C 总线始终有一个主设备和一个或多个从设备。本节概述了 I3C 主设备和 I3C 从设备。

给定的 I3C 器件可以设计为仅作为 I3C 主器件，仅作为 I3C 从器件，或具有 I3C 主器件和 I3C 从器件功能属性。

**具有 I3C 主器件和 I3C 从器件功能的 I3C 设备**不能同时作为主设备和从设备运行，必须配置为 I3C 主设备或 I3C 从设备。这样的 I3C 设备可以在 I3C 总线上初始化配置时，作为 I3C 总线的主设备，或者作为 I3C 总线上的从设备。I3C 总线上有多个 I3C 设备，为了使 I3C 总线正常工作，在初始化配置时，仅有一个 I3C 设备允许配置为主设备。这个被配置为主设备的 I3C 设备将具有主设备角色的功能属性，并将成为总线上第一个用作当前主设备的 I3C 设备；I3C 总线上的所有其他 I3C 设备和传统 I2C 设备将初始化配置为从设备。

I3C 引入了当前主设备(Current Master)的概念，当前主设备被定义为 I3C 总线上的 I3C 主设备，在当前时间其作为主设备(即正在控制总线的设备)。在某一时刻，I3C 总线上只有一个 I3C 设备可以充当**当前主设备**。在初始总线配置之后，可以使用 CCC 命令将当前主器件功能从当前主设备协同传递到**任何一个具有 I3C 主器件功能 I3C 从设备**。

I3C 定义了几个主设备和从设备角色(参见表 1 和表 3)，以反映给定 I3C 主设备或从设备的功能。给定的 I3C 设备必须至少支持一个设备角色，并且可以设计为支持多个设备角色。每个 I3C 设备都通过其总线特性寄存器(BCR)公开它支持的器件角色。

设备类型	设备角色	描述
I3C Master	I3C Main Master	主设备，I3C 初始化时配置，支持HDR模式
	SDR-Only Main Master	主设备，I3C 初始化时配置，不支持HDR模式
	I3C Secondary Master	从设备，但具有主设备性能
	SDR-Only Secondary Master	从设备，但具有主设备性能，不支持HDR模式
I3C Slave	I3C Slave	普通I3C从设备，无主设备性能
	I2C Slave	无I3C主设备性能，也无I3C从设备性能
注意：		
1) 仅适用于限主设备。在多主机上下文中，主设备还可以实现加入以从属角色运行的总线的功能		
2) 仅适用于从属设备。在多主机上下文中，从设备还可以实现加入以主机角色运行的总线的功能		

表 1 I3C 设备角色

### 3.2.1 I3C 主设备

I3C 总线要求某一时刻只有一个 I3C 设备作为 I3C 主设备。在 I3C 术语中，此 I3C 主设备是当时的当前主设备(**Current Master**)。在典型应用中，Current Master 是总线上发送大多数 I3C 命令(CCC)如广播寻址或特定寻址命令的 I3C 设备。当前主设备也是总线上唯一允许发送 I2C 消息的 I3C 设备。

I3C 主设备除了发送 I3C 命令和 I2C 消息功能外，还有：

- 生成总线时钟功能(SDR 和 HDR-DDR 模式)
- 管理上拉结构
- 管理动态地址分配过程
- 管理总线上 I3C 从设备 START 请求和地址仲裁请求，带内中断，热连接，主控制权请求

- 支持 I2C 传统从设备
- 支持 I3C SDR 模式
- 支持 HDR 模式的任意组合

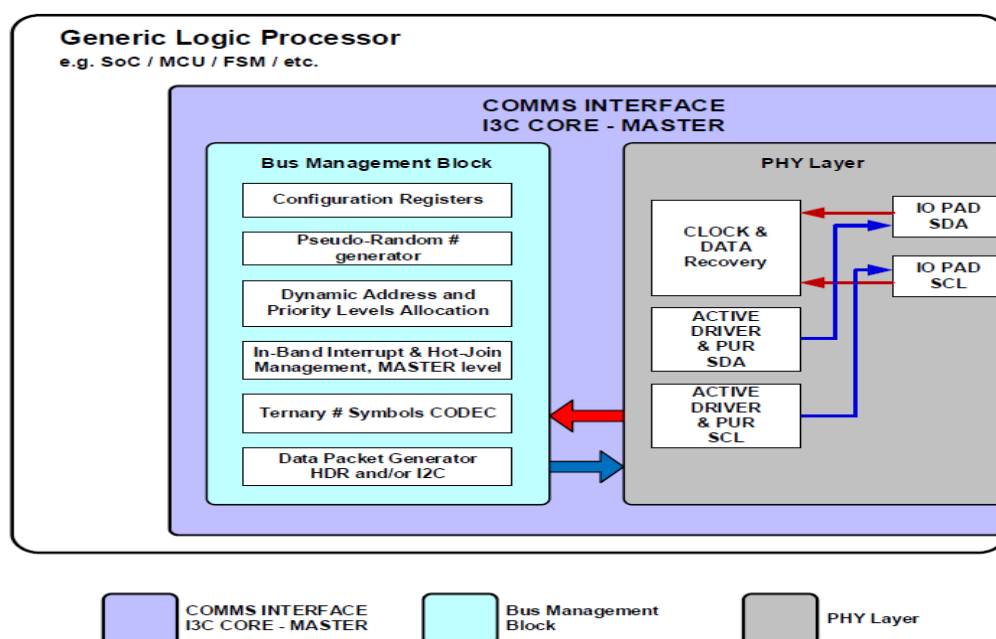


图 5 典型的通用 I3C 主设备的框图

### 3.2.1.1 I3C 主机设备角色

所有 I3C 主设备都支持 Main Master、SDR-Only Main Master 两种设备角色中的一种，并且还可能支持 Secondary Master、SDR-Only Secondary Master 两种第二主设备角色中的一种。

**Main Master 角色：**

- **Main Master:** I3C 总线上的 I3C 主设备，最初配置 I3C 总线并作为第一个当前主站。给定 I3C 总线上只有一个 I3C 设备可以担任主主机角色，即该角色不能传递给 I3C 总线上的任何其他 I3C 设备。支持 SDR 模式和 HDR 模式。
- **SDR-Only Main Master:** 仅支持 I3C SDR 模式的主机，即不支持任何 HDR 模式。

**辅助主设备角色：**

- **I3C Secondary Master:** I3C 总线上的任何具有 I3C 主站功能 I3C 设备，除了当前主站。I3C 总线上可以同时有多个辅助主站。根据定义，辅助主设备用作 I3C 从设备，除非它最终成为当前主设备。支持 SDR 模式和 HDR 模式。
- **SDR-Only I3C Secondary Master:** 仅支持 I3C SDR 模式的辅助主站，即不支持任何 HDR 模式。

**注意:** Current Master 未正式定义为 I3C 设备角色，未在 I3C 设备的总线特性寄存器(BCR)中公开。

### 3.2.2 I3C 从设备

I3C 总线最多支持 11 个 I3C 从器件，但器件的最大数量取决于走线长度，每个器件的容性负载以及总线上的器件类型 (I2C 与 I3C)，因为这些因素会影响时钟频率要求。

- I3C 从设备监听与相应 I3C CCC 命令，包括广播命令和设备支持的特定命令
- I3C 从设备始终支持 SDR 模式
- 带内中断请求 (选择性)
- 生成热连接请求 (选择性)
- 主控制权请求 (具有第二主设备功能的 I3C 从设备才有)
- 支持 I3C 定义的 HDR 模式的任意组合

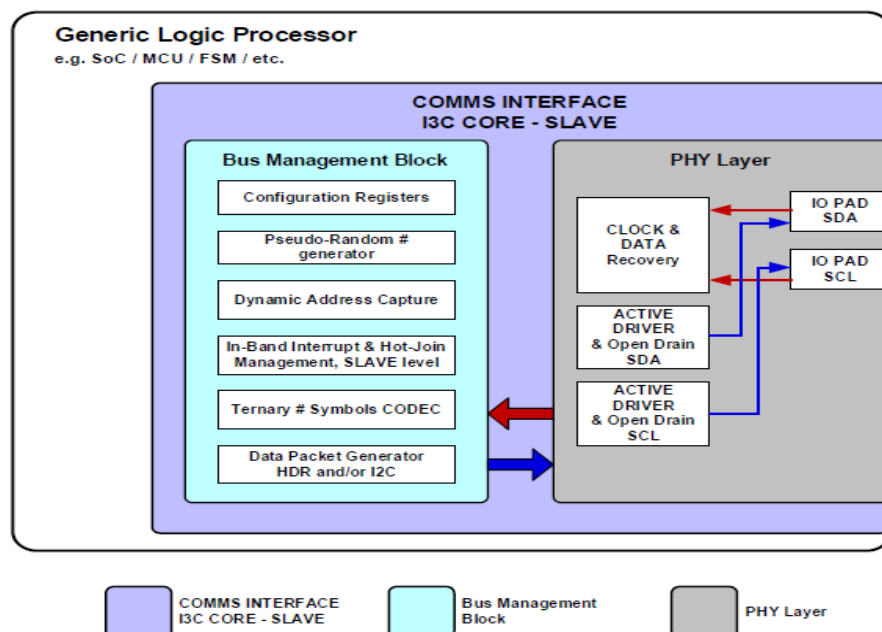


图 6 I3C 从设备框图

#### 3.2.2.1 I3C 从设备角色

所有 I3C 从设备都支持 **I3C Slave**、**SDR-Only I3C Slave** 两种角色中的一个：

- **I3C Slave**: 没有 Master 功能的普通 I3C Slave 设备。支持 SDR 模式和 HDR 模式。
- **SDR-Only I3C Slave**: 没有 Master 功能的 I3C Slave，仅支持 I3C 的 SDR 模式 (即不支持任何 HDR 模式)。

**注意：**为 I2C Slave 定义了一个额外的从设备角色，但这与 I3C 从设备无关。

## 4、I3C 总线协议

### 4.1 SDR Mode

SDR 模式是 I3C 总线的默认模式，主要用于从**当前主设备**到**从设备**的私人消息传递。SDR 模式还用于进入其他模式，子模式和状态；以及通过分配动态地址等内置功能，如通用

命令（CCC），带内中断以及通过动态地址分配从 I2C 到 I3C 的传输。

**I3C SDR 模式在程序和条件方面与 I2C 协议非常相似**，因此 I3C 器件和许多传统 I2C 从器件(但不是 I2C 主器件)可以在同一个 I3C 总线上共存。然而，SDR 模式还包括 I2C 中没有的许多新功能。对于 I3C 与 I2C 共享的过程和条件，SDR 模式严格遵循 I2C 规范中的定义。**所有 I3C 从器件都会忽略从 I3C 主器件到 I2C 从器件的 I2C 数据传输**，因为 I3C 协议的设计目的是允许 I2C 通信。大多数**传统 I2C 从设备都不会看到从 I3C 主设备到 I3C 从设备的 I3C 数据传输**，因为 I2C 尖峰滤波器对 I3C 更高的时钟速度是不透明的。

### 4.1.1 总线配置

I3C 设备可能具有多种 I3C 总线功能。根据 I3C 总线的系统设计，可能没有必要为任何特定的总线实例启用特定设备的所有功能。但是，每个 I3C 设备的启用功能都应在与其设备相关的特性寄存器中描述，如第 4.1.1.2 节所述。I3C 主机在上电之前应获得 I3C 总线上所有传统 I2C 器件的特性(例如，总线上每个传统 I2C 器件的固定地址)。

每次从断电状态启动时，主控制器应为总线上的每个设备(包括其自身)分配唯一的**动态地址**。动态地址分配过程在 4.1.4 节中描述。**动态地址创建设备带内中断的优先级排序**。I3C 总线上的所有第二主机都应通过 CCC 命令了解总线上每个 I3C 设备的动态地址和特性寄存器，如第 4.1.9 节所述。

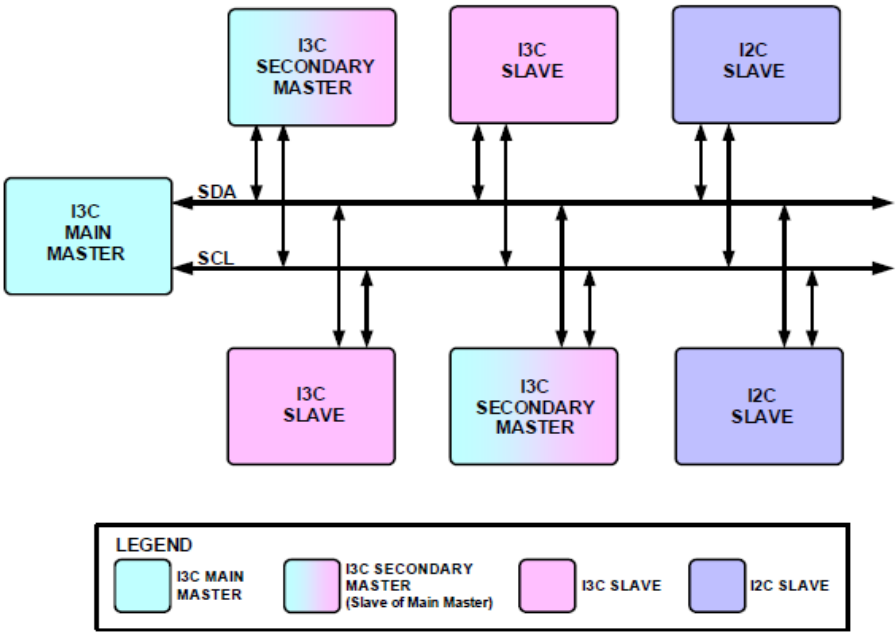


图 7 I3C 总线上 I2C 设备与 I3C 设备

#### 4.1.1.1 I3C 设备特性

I3C 总线的配置取决于要在 I3C 总线上激活的 I3C 器件的特性。因此，在给定的 I3C 总线实例中，展示给定角色的活动 I3C 设备应履行该角色的所有职责，如表 2 所示。

职责/特点	注释	角色					
		一级主设备	二级主设备	仅支持SDR的一级主设备	仅支持SDR的二级主设备	从设备	仅支持SDR的从设备
管理SDA仲裁	用于地址仲裁，带内中断，热连接，动态地址，视情况而定	Y	Y	Y	Y	N	N
动态地址分配	Master分配动态地址	Y	N	Y	N	N	N
热连接动态地址分配	Master可以在热连接后分配动态地址	Y	Optional	Y	Optional	N	N
自动动态地址分配	只有一级主设备可以自动分配动态地址	Y	N	Y	N	N	N
静态I2C地址	-	N/A	Optional	N/A	Optional	Optional	Optional
存储从设备地址和特征	保留寄存器	Y	Y	Y	Y	N	N
HDR从器件属性	支持访问至少一个HDR模式	Y	Y	N	N	Y	N
HDR主器件属性	支持访问至少一种HDR模式	Y	Y	N	N	N/A	N/A
HDR退出模式生成能力	能够在总线上生成HDR退出模式以进行错误恢复	Y	Y	Y	Y	N	N
HDR容错	识别HDR退出模式	Y	Y	Y	Y	Y	Y
1) 静态地址可用于更快地分配动态地址。见4.1.4节。							
2) 所有从站都需要HDR退出模式检测器，甚至是不支持HDR的从站。							

表 2

I3C 协议是支持 I2C Slave 功能的子集。例如，I3C 从器件可以具有静态地址，但也支持动态寻址。当在以全时钟速度运行的 I3C 总线中使用时，器件不应启用 50 ns 滤波器。表 3 总结了这些差异。在 I3C 系统中使用时，I3C 从器件应启用或禁用适当的 I2C 功能，如表 3 所示。

I <sup>2</sup> C Feature When Used on an I3C Bus	Required on I3C	Desirable on I3C	Not Used on I3C	Not Allowed on I3C	Note
Fm Speed	—	—	X	—	3
Fm+ Speed	X	—	—	—	—
HS Speed	—	—	X	—	3
UFm Speed	—	—	X	—	3
Static I <sup>2</sup> C Address	—	X	—	—	—
50ns Spike Filter	—	—	X	X (Shall disable)	3
Clock Stretch	—	—	—	X	—
20mA Open Drain Driver	—	—	X	—	1, 3
Matches I <sup>2</sup> C AC Timing	—	—	X	—	2, 3
I <sup>2</sup> C Extended Address (10 bit)	—	—	X	—	3
I3C Reserved Addresses	—	—	—	X	—
Note: 1) See <b>Table 71</b> and <b>Table 73</b> 2) I3C drive and timing requirements are different from I <sup>2</sup> C 3) If an I3C Slave has I <sup>2</sup> C features intended for use on an I <sup>2</sup> C Bus, then they will not be used on an I3C Bus. As stated in <b>Section 5.1.1.1</b> , once the Slave sees a 7'h7E, it will disable I <sup>2</sup> C features that are not used by I3C.					

表 3

- I3C 驱动和时序要求与 I2C 不同
- I3C 从器件具有用于 I2C 总线的 I2C 功能。如 4.1.1.1 节所述，一旦 I3C 从器件看到 7'h7E，它将禁用 I3C 未使用的 I2C 功能。

I3C 总线的性能在很大程度上取决于可能连接到该总线的 I2C 设备。因此，在任何 I3C 总线实例化时允许的 I2C 器件必须符合表 4 中列举类别之一。此外，如果 I3C 总线上不存在 I2C 或 I3C 器件，那么应具有一个固定的 I2C 地址，它匹配与错误类型 S0 相关的任何地址（见表 59）。

Index Specific	I2C-Only Devices Index 0	I2C-Only Devices Index 1	I2C-Only Devices Index 2
50ns IO Spike Filter	Y	N	N
Max SCL clock frequency tolerant	N/A	Y	N
注意： 1) 允许在SCL高周期tDIG_H_MIXED或更低时间内容忍HDR模式和SDR 2) 允许符合最大SDR SCL时钟频率（fSCL）			

表 4

### 4.1.1.2 I3C 特性寄存器

I3C 特性寄存器描述和定义了 I3C 设备在 I3C 总线上的功能，这个设备为给定系统提供服务。没有 I3C 特性寄存器的器件不应连接到 I3C 总线上。

有三种特征寄存器类型：

- 总线特性寄存器（BCR）
- 器件特性寄存器（DCR）
- 传统虚拟寄存器（LVR）

每个 I3C 设备都应具有相关的特性寄存器，具体取决于设备类型，如下所述：

- 每个符合 I3C 标准的器件应具有一个总线特性寄存器和一个器件特性寄存器。
- 连接到 I3C 总线的每个传统 I2C 器件都应具有一个关联的传统虚拟寄存器。由于这些是传统设备，因此可以理解该寄存器将虚拟存在，例如作为设备驱动程序的一部分。

#### 4.1.1.2.1 总线特性寄存器 (BCR)

连接到 I3C 总线的每个 I3C 器件都应具有相关的只读总线特性寄存器（BCR）。该只读寄存器描述了 I3C 设备在动态地址分配和通用命令代码使用时的角色和功能。BCR 中的位应符合表 4 中的描述。

BIT	Name	Description
BCR[7]	Device Role[1]	2'b00 – I3C Slave 2'b01 – I3C Master1
BCR[6]	Device Role[0]	2'b10 – Reserved for future definition by MIPI Sensor WG 2'b11 – Reserved for future definition by MIPI Sensor WG
BCR[5]	SDR Only / SDR and HDR Capable	0 – SDR only 1 – HDR Capable
BCR[4]	Bridge Identifier	0 – Not a Bridge Device 1 – Is a Bridge Device
BCR[3]	Offline Capable	0 – Device will always respond to I3C Bus commands 1 – Device will not always respond to I3C Bus commands
BCR[2]	IBI Payload	0 – No data byte follows the accepted IBI 1 – Mandatory one or more data bytes follow the accepted IBI. Data byte continuation is indicated by T-Bit, as described in Section 4.1.2.3.3
BCR[1]	IBI Request Capable	0 – Not Capable 1 – Capable
BCR[0]	Max Data Speed Limitation	0 – No Limitation 1 – Limitation
注释： 1) 对于充当I3C主机的I3C设备，BCR设备角色位将包含值2' b01。 2) 桥接器件必须符合I3C的MIPI规范。 3) 离线功能设备保留动态地址，并在2.2节中指定。 4) Master应使用GETMXDS CCC询问Slave以获得特定限制。		

表 5 总线特性寄存器表

#### 4.1.1.2.2 器件特性寄存器 (DCR)

连接到 I3C 总线的每个 I3C 器件都应具有相关的只读器件特性寄存器（DCR）。该只读寄存器描述了用于动态地址分配和通用命令代码的 I3C 设备类型（例如加速度计，陀螺仪



等)。DCR 中的位应符合表 5 中的描述。

BIT	Name	Description
DCR[7]	Device ID[7]	255个可用代码，用于描述传感器类型或设备。示例：加速度计，陀螺仪，复合设备。默认值为8'b0：通用设备
DCR[6]	Device ID[6]	
DCR[5]	Device ID[5]	
DCR[4]	Device ID[4]	
DCR[3]	Device ID[3]	
DCR[2]	Device ID[2]	
DCR[1]	Device ID[1]	
DCR[0]	Device ID[0]	

表 6 I3C 器件特性寄存器

4. 1. 1. 2. 3 传统虚拟寄存器 (LVR)

每个连接到 I3C 总线的传统 I2C 器件都应具有相关的只读传统虚拟寄存器 (LVR)，用于描述器件的重要功能。由于这些器件是传统 I2C 器件，因此可以理解该寄存器将虚拟存在作为器件驱动程序的一部分。当 I3C 总线上存在传统 I2C 器件时，LVR 数据决定允许的模式和最大 SCL 时钟频率。LVR 中的位应符合表 6 中的描述。

所有 LVR 应由控制 I3C 总线的上级实体建立，并在总线配置之前传送到 I3C 总线主机。所有 I2C 设备的 LVR 内容始终为主设备所知。可以使用 DEFSLVSCCCC 将 LVR 信息传输到第二主机参见第 4. 1. 9. 3. 7 节)。

BIT	Name	Description
LVR[7]	Legacy I2C only [2] (Indexed in Table 4)	3'b000 – Index 0 3'b001 – Index 1 3'b010 – Index 2
LVR[6]	Legacy I2C only [1] (Indexed in Table 4)	3'b011 – Index 3 (Reserved) 3'b100 – Index 4 (Reserved) 3'b101 – Index 5 (Reserved)
LVR[5]	Legacy I2C only [0] (Indexed in Table 4)	3'b110 – Index 6 (Reserved) 3'b111 – Index 7 (Reserved)
LVR[4]	I2C Mode Indicator	0 – I2C Fm+ 1 – I2C Fm
LVR[3]	Offline Capable	15个可用代码，用于描述传感器系统上的设备功能和功能
LVR[2]	MIPI Sensor WG Reserved	
LVR[1]	MIPI Sensor WG Reserved	
LVR[0]	MIPI Sensor WG Reserved	

表 7 传统 I2C 虚拟寄存器

4. 1. 2 总线数据传输

I3C 的主要协议和模式是 SDR 模式。SDR 协议基于 I2C 标准协议，有一些值得注意的变化：

- I3C START 和 STOP 与 I2C START 和 STOP 信令相同，但它们的时序与 I2C 不同。
- I3C 地址头和 I2C 地址头在位格式和信令上是相同的，但时序可能与 I2C 不同。
- 在数据字的位数上，与 I2C 相同都是 9bit，但第 9 位所代表意义不同。
- 在 I3C 中，SCL 线仅由 Master 驱动。这个驱动器通常是推挽式，但它也可以是开漏



式。

由于 I3C 与 I2C 的地址头和数据字位数相同，因此一条消息无论是 Direct 或 BroadCast 方式发送到该 I3C 从器件，I3C 从器件只需要知道消息是否是 I3C 消息(与 I2C 消息相对)。

**I3C 消息定义：**从初始 START(或重复 START)到下一个重复 START 或 STOP 的所有内容。

**判断 I3C 消息是 SDR 消息方法：**

- 地址头的地址为 7'h7E。所有 I3C 从设备都应匹配地址值 7'h7E。I2C 从器件不会匹配地址 7'h7E，因为该值在 I2C 中保留并未使用。
- 地址头的地址与从设备的动态地址进行匹配（由 I3C 主设备分配）。所有 I3C 从设备都应匹配自己的动态地址。（如果需要，允许 NACK the Header）

所有 I3C 从器件都应忽略地址不是 7'h7E 或 I3C 主器件分配的动态地址的消息，并等待重复 START 或 STOP。总线上的 I3C 从设备不应该响应不匹配的地址。

**注意：**

传统 I2C 从器件将忽略不是发送给它们的任何消息，并等待下一个 START 或 STOP。传统 I2C 从设备可能看不到部分或全部 I3C 消息，这取决于 SCL 信令的速度。

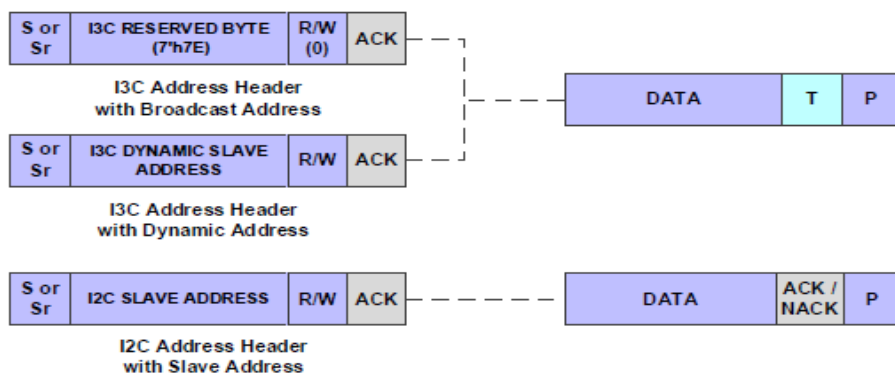


图 8 地址标题比较

### 4.1.2.1 I3C 从器件角色

I3C 从器件无需知道它是在传统 I2C 总线还是 I3C 总线上。如果 I3C 从器件具有传统 I2C 静态地址，那么它可以使用该静态地址参与传输，直到被分配动态地址。**一旦分配了动态地址，除非要求重置，否则它只能作为 I3C 从站运行。**

在分配动态地址之前，I3C 从设备应作为 I2C 设备运行，但具有以下附加功能特性：

- 如果在 START 条件后，I3C 从机应确认 I3C 广播地址(7'h7E)。
- I3C 从机应根据需要处理 ENTDA 和 SETDASA CCC 命令。
- I3C 从机应忽略所有 S0 类型错误。

**I3C 从器件角色的作用如下：**

- 在 START 或重复 START 之后，I3C 从机应在被分配动态地址后尝试将地址与 I3C 广播地址(7'h7E)或其自己的动态地址相匹配。如果找到匹配，则 I3C 从设备将该消息视为 I3C SDR 消息。

A、如果消息地址与从设备的动态地址匹配，则这个从设备可以应答或不应答地址标头。如果从设备 ACK 地址标头，则从设备应将该消息作为 I3C SDR 消息。

如果从设备 NACK 地址头，则该从设备可以忽略后续的任何位，直到下一次重复 START 或 STOP。

B、如果消息是通过 I3C 广播地址(7'h7E)写入，则从器件应至少通过数据的第一个字节处理该消息。

- 如果消息未通过 I3C 广播地址(7'h7E)或从机的动态地址传输，则 I3C 从机将等待重复 START 或 STOP。从机可以记录、监控这些位，但唯一的义务是等待重复 START 或 STOP。

**START 定义：**SCL 线为高电平时，SDA 线从高电平变为低电平。

**STOP 定义：**SCL 线为高电平时，SDA 线从低电平变为高电平。

## 4.1.2.2 I3C 协议地址头

I3C 地址头跟随 START 或重复 START 之后。格式与 I2C 相同：7 位地址，1 位 RnW 和 1 位 ACK/NACK。

START 后面的地址头是一个可仲裁地址头。**START 和第一个地址位和 ACK/NACK 位在 SDA 上需要使用开漏输出驱动**，类似于 I2C。但是，某些可仲裁地址头可以使用推挽和更高的速度在 SDA 上驱动（参见第 4.1.2.2.2 节）。**重复 START 后的地址头始终使用推挽在 SDA 上驱动，但 ACK/NACK 除外**（见第 4.1.2.2.4 节）。

I3C 从设备可以使用可仲裁地址头向 I3C 主设备发送以下三个请求中的任何一个。

- 带内中断请求。这相当于切换电线以引起主设备的注意。带内中断请求应使用**从设备的动态地址**进行，**RnW 位为 1**。
- 第二主机主控权请求。只有具有第二主机功能的 I3C 从设备，才可以发出主控制权请求。第二主机请求应使用**从机的动态地址**，**RnW 位为 0**。
- 热连接请求。I3C 从机只能在 I3C 总线初始化运行后才能提供此类请求。热连接请求应使用**特殊热连接地址 7'h02**进行。

I3C 从机只能在两种总线条件下向 I3C 主机发出这些请求：

- 在 Bus Available Condition 条件下，从机发出 START（但不是重复 START）。通过遵守 I3C 地址仲裁规则，从设备可以在 START 之后发送**其动态地址或热连接地址(7'h02)**。
- 在 Bus Available Condition 条件下，从机可以通过**拉低 SDA**来发出 START。如果从机将 SDA 拉低，则主器件应在最佳工作时间内拉低 SCL，主设备还应将 SDA 拉低，一旦主机将 SCL 拉低，从机将在开漏模式下控制 SDA 线（即拉低或释放高电平），然后从机可以正常方式发出其地址。

### 4.1.2.2.1 I3C 地址仲裁

**START（但不是重复 START）后的地址头受仲裁约束**，这意味着主设备和一个或多个从设备可能会尝试使用 SDA 将地址驱动到总线上。此类地址头定义为可仲裁地址头。仲裁模式下遵循 SDA 上**开漏输出驱动**。无论是主设备还是从设备发送地址都应遵循相同的规则：

- 如果要发送的**当前地址位为 0**，则器件应在 SCL 的下降沿后将 SDA 驱动为低电平，并保持低电平直到 SCL 的下一个下降沿。
- 如果要发送的**当前地址位是 1**，则器件不应驱动 SDA，而应在 SCL 的下降沿后使用

**High-Z** 设置 SDA。此外，器件应在 SCL 的上升沿监视 SDA，以判断其他器件是否已驱动 SDA 为低电平。如果其他器件已将 SDA 驱动为低电平，则该器件已“丢失”仲裁，不再参与此地址头传输。即该器件不再发送任何比特数据，直到等待 START 条件(但不是重复的 START 条件)。

## 4. 1. 2. 2. 2 I3C 地址仲裁优化

I3C 主设备为所有的 I3C 从设备分配 7 位动态地址，动态地址范围为 7'h03~7'h7B。因为 I3C Master **开漏方式** 驱动 SDA 发送整个 9 位可仲裁地址，因此无法检测主设备发送地址头期间从设备是否发送自己的地址。

请注意，对于 I3C 第二主机和 I3C 带内中断的从机，I3C 主机可以将分配此类从机的动态地址限制在可用范围的下半部分 7'h03~7'h3F，从而保留分配的动态地址中地址位 A6 值为 0。以这种方式限制动态地址后，I3C Master 可以选择优化可仲裁地址头，如下所示：

- 如果 I3C 主机正在发送 **1** 值(即开漏模式 SDA 上的高阻态)，就像发送 7'h7E 时那样，那么它可以在 SCL 上升沿监视 SDA，如果 SDA 线上具有值 1(即 SDA 没有被任何从设备驱动占用)，则 I3C 主设备可选择推挽模式发送剩余的地址报头，直到 ACK/NACK。参见图 10，上部波形。
- 如果 I3C 主机正在发送 **0** 值(即开漏模式驱动 SDA 为低电平)，因为这时 SDA 线也有可能被从机驱动为低电平，所以 I3C 主机应继续使用开漏模式发送剩余的地址头。参见图 10，中间波形。
- 如果 I3C Master 仅向 I3C 器件发送地址头(即不向任何 I2C 器件发送)，那么可选择将 SCL 高脉冲宽度保持在 50ns 以下，这样总线上的任何 I2C 从器件只能看到 SDA 地址头值为 0。这种较短的脉冲宽度产生较高的数据速率，因为对于开漏式仲裁，仅延长了低电平时间。见图 10，中间波形。
- 如果 I3C Master 打算发送到任何 I2C 设备，则它必须使用较慢的 I2C 时序。参见图 10，下部波形。

图 10 的上部波形说明了这种优化。如果之前确保分配给第二主机和带内中断的 I3C 从机的所有动态地址地址位 A6 值为 0，那么当 I3C 主机看到 SDA 线上地址位 A6 值为 1，I3C 主机就能够知道 SDA 线没有被任何这样的从机占用驱动。

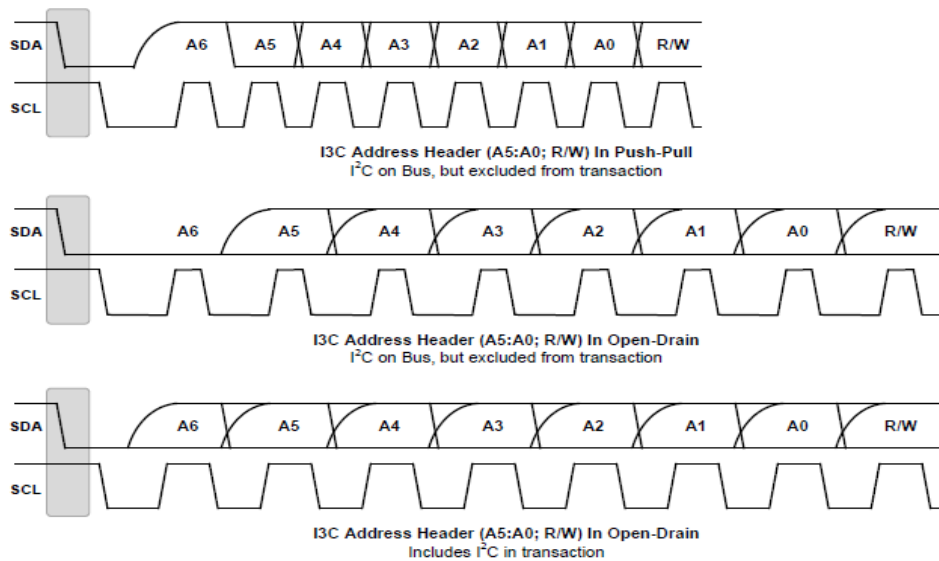


图 9 地址仲裁的地址头

#### 4. 1. 2. 2. 3 Master 使用 I3C 从机地址启动帧的后果

I3C 主机通常发送带 7'h7E 或者 I2C 静态地址的 Frame，在这两种情况下，地址都是可以进行仲裁的，主机可以监视查看带内中断请求、主控权请求或者热连接请求是否产生。如果这些请求没有产生，主机正常进行。如果产生了这些请求，主机可以 ACK 或 NACK 这些请求，然后继续进行。

如果主机发送带 I3C 动态地址的帧，则需要做特殊规定。因为相同地址的从机可能正在发送带内中断请求或主控权请求，可能发生下面三种情况之一：

- 地址匹配，但 RnW 读写位不同，主机正在写(即 RnW=0)，从机正在读(带内中断请求，RnW=1)，那么主机赢，并正常进行。
- 地址匹配，但 RnW 读写位不同，主机正在读(即 RnW=1)，从机正在写(主控权请求，RnW=0)，那么主机输，主机必须 ACK 或 NACK 从机的主控权请求。
- 地址匹配，RnW 读写位相同，无论主机还是从机都不会 ACK，因为双方都期待对方。根据这个条件，主机无法判断是否 NACK 从机请求，因为从机可能已经选择 NACK 主机。主机在 RESTART 后再次发送从机地址，这允许它决定在哪个条件发生避免死锁。

#### 4. 1. 2. 2. 4 重复 START 后的地址头是推挽式

I3C 主机在重复启动后发送的地址不会进行仲裁。也就是说，在重复 START 之后，I3C Slave 不会尝试发送自己的动态地址和热连接地址。

因此，重复 START 后，发送消息给 I3C 从器件时，地址头(即 7 位地址加上 RnW 位)应使用推挽模式在 SDA 上传输。RnW 位之后的 ACK/NACK 位始终为开漏，以允许主机判断从器件是 ACK 或被动 NACK 其地址。

## 4.1.2.2.5 I3C 从机地址限制

I3C 从机地址空间取决于主机的决策。也就是说，Master 可以从一组值中选择动态地址，观察可选和非可选限制，如下所示。这些限制也在表 8 中说明。

- I3C Master 不得使用 7'h00, 7'h01, 7'h02, 7'h7E, 7'h7F 中的任何一个。所有都保留给 I3C。
- I3C Master 不得使用 7'h3E, 7'h5E, 7'h6E, 7'h76, 7'h7A, 7'h7C, 7'h7F 中的任何一个。禁止全部检测广播地址（7'h7E）中的错误。
- I3C Master 可以选择不使用 7'h03，在 I2C 中标记为保留。
- 如果总线上存在支持 I2C “高速模式”的传统 I2C 器件，则 I3C 主机不应使用 7'h04, 7'h05, 7'h06, 7'h07。
- 如果总线上存在支持 I2C ID 模式的传统 I2C 器件，则 I3C 主机不得使用 7'h7C 或 7'h7D。
- 如果总线上存在支持 I2C 扩展地址模式且具有扩展地址或受扩展影响的传统 I2C 器件，则 I3C 主机不应使用 7'h78, 7'h79, 7'h7A, 7'h7B 地址机制。

从机动态地址		限制	描述
Binary	Hex		
000 0000	7' h00	不允许使用	I3C 保留
000 0001	7' h01	不允许使用	I3C 保留：用于特殊点对点通信中的 SETDASA CCC. 见 5.1.9.3.10 节。
000 0010	7' h02	不允许使用	I3C 保留：热接入地址
000 0011	7' h03	选择	由 I2C 标记为保留
000 0100	7' h04	条件	仅当总线上不存在支持 I2C “高速模式”的传统 I2C 器件时才可使用
000 0101	7' h05		
000 0110	7' h06		
000 0111	7' h07		
000 1000 011 1101	7' h08– 7' h3D	可供使用	54 个地址
011 1110	7' h3E	不允许使用	I3C 保留：广播地址单比特错误检测
011 1111 101 1101	7' h3F– 7' h5D	可供使用	31 个地址
101 1110	7' h5E	不允许使用	I3C 保留：广播地址单比特错误检测
101 111 110 1101	7' h5F– 7' h6D	可供使用	15 个地址
110 1110	7' h6E	不允许使用	I3C 保留：广播地址单比特错误检测
110 1111 111 0101	7' h6F– 7' h75	可供使用	7 个地址
111 0110	7' h76	不允许使用	I3C 保留：广播地址单比特错误检测
111 0111	7' h77	可供使用	1 个地址
111 1000 111 1001	7' h78 7' h79	条件	仅当总线上没有传统 I2C 设备时才可以使用，a) 支持 I2C “扩展地址模式”，b) 要么具有扩展地址，要么受扩展地址机制的影响
111 1010	7' h7A	不允许使用	I3C 保留：广播地址单比特错误检测



111 1011	7' h7B	条件	仅当总线上没有传统 I2C 设备时才可以使用，a) 支持 I2C “扩展地址模式”，b) 要么具有扩展地址，要么受扩展地址机制的影响
111 1100	7' h7C	不允许使用	I3C 保留：广播地址单比特错误检测（如果总线上存在支持 I2C “设备 ID 模式”的任何传统 I2C 设备，也无法使用。）
111 1101	7' h7D	条件	仅当总线上没有支持 I2C “器件 ID 模式”的传统 I2C 器件时才可使用
111 1110	7' h7E	不允许使用	I3C 保留：广播地址
111 1111	7' h7F	不允许使用	I3C 保留：广播地址单比特错误检测

表 9 I3C 从机地址限制

### 4. 1. 2. 3 I3C SDR 数据字

在 I3C SDR 模式中，与 I2C 数据字比较，仅在数据字长度上相同均为 9Bit。I3C SDR 数据字与 I2C 比较有 3 点不同。

- **从地址 ACK 到 SDR 主机开始写数据字切换：**执行 SDR 写操作时，从机 ACK 地址头到主机写第一个数据位的切换在 I3C 中是不同的，I2C 是开漏，I3C 从开漏切换为推挽输出。
- **SDR 主机写入数据的第 9 位作为奇偶校验：**在 I2C 中，主机写入数据字的第 9 数据位是从机的 ACK。相反，在 I3C 中，主机写入数据字的第 9 数据位是前 8 个数据位的奇偶校验位。因此，在 I3C 中，在主机写入 SDR 数据字时从机不允许驱动 SDA 线。在 SDR 术语中，写入数据字的第 9 位称为 T 位(用于“转换”)。
- **SDR 主机读取数据字(从机返回数据字)的第九位作为数据结束：**在 I2C 中，从机到主机的第 9 数据位是主机的 ACK。相比之下，在 I3C 中，该数据位允许从机结束被读取，并允许主机中止读取。在 SDR 术语中，读数据字的第 9 位数据位称为 T 位(用于“转换”)。

### 5. 1. 2. 3. 1 从地址 ACK 到 SDR 主机开始写数据切换

任何地址头的结束(无论是否仲裁)是一个或多个被寻址的从机的 ACK 或 NACK, ACK 或 NACK 在 SDA 上都使用开漏式驱动。

- 如果地址头地址是 7'h7E，则地址头的结束是总线上所有 I3C 从机的 ACK。
- 如果地址头地址是单个从机地址，那么地址头的结束是被寻址的从机的 ACK（或 NACK），或者如果总线上没有这样的从机，则为 NACK。

当地址头被从机 ACK 响应，并且消息是从主机 SDR 模式写入时，SDA 线必须从开漏到第一个数据位的推挽切换。为了安全地做到这一点，I3C SDR 指定了如何进行切换。这总结如下，如图 61 所示。

- 在 ACK 期间，SCL 为低电平时，I3C 从机应将 SDA 线保持为低电平。这是 SCL 一个开漏低电平周期。
- 在 I3C 从机看到 SCL 的上升沿后，它将 SDA 线释放到 High-Z。

- 在 ACK SCL 的上升沿后，I3C 主机应将 SDA 线驱动为低电平。因此，主机和从机都会将 SDA 线路驱动为低电平以进行短暂重叠（这是安全的）。
- 在 ACK SCL 的下降沿，I3C 主机应使用推挽式开始在 SDA 线上驱动数据，如图 10 所示。

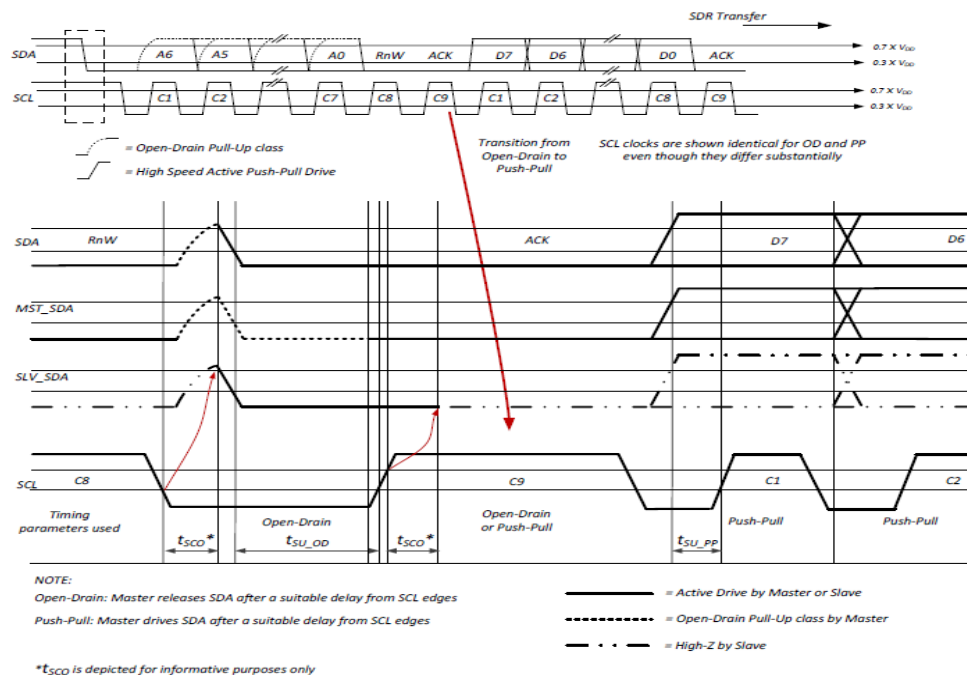


图 10 I3C 数据字传输-从机 ACK

#### 4.1.2.3.2 主机写数据字的第九位作为奇偶校验位

I3C 主机写入的每个 SDR 数据字的第九个数据位 (称为 T-Bit) 是奇偶校验位，使用奇校验来计算。奇偶校验可以帮助检测线路上的噪声引起的错误。该奇偶校验位的值应为 8 个数据位的 XOR，即 1，即：XOR (数据[7: 0], 1)。

#### 4.1.2.3.3 从机返回 SDR 数据的第九位作为结束位

在 I2C 中，主机从从机读取数据时，只有主机结束 Read 的问题，从机无法控制它返回的数据量。相反，在 I3C SDR 中，不仅允许 I3C 主机可以提前中止 Read，也允许从机控制它返回的数据字数。

该机制完全由 I3C 从机返回的每个 SDR 数据字的第九数据位 (T-Bit) 控制。每个 SDR 数据字的第九数据位由从机以下面三种方式之一返回，如下所述。

##### 1、I3C 从机将第 9 位返回 0 以结束消息：

- 从机应在 SCL 的下降沿将 SDA 设置为低电平。
- 在接下来的 SCL 上升沿，从机应将 SDA 设置为 High-Z。
- I3C 主机应在 SCL 的上升沿驱动 SDA 为低电平，从而与从机重叠。
- 然后，I3C 主机应发出 STOP 或 RESTART 信号。

##### 2、I3C 从机将第 9 位返回 1 以继续消息 (并允许主器件中止消息)：



- 从机应在 SCL 的下降沿将 SDA 设置为高电平。
- 在接下来的 SCL 上升沿，从机应将 SDA 设置为高阻态。
  - a、如果 I3C 主机想继续等待从机的回复，那么它什么都不做。SDA 上的弱上拉电阻将在 SCL 高电平期间保持 SDA 为高电平，如图 12 所示。
  - b、如果 I3C 主机想要中止消息，则它应在 SCL 的上升沿之后将 SDA 驱动为低电平，从而通过 RESTART 终止消息。然后，I3C Master 从 SCL 的下降沿开始控制总线。在驱动 SDA 为低电平之前，主机应在 SCL 上升后确保足够的延迟，以确保无争用。为了实现这种延迟，Master 可能必须延长 SCL High 周期。由于当 SCL 为高电平时 SDA 高电平变为低电平的转换是重复 START，因此主机可以开始一个新的地址（见图 13），或者它可能在下一个周期发出一个 STOP（见图 14）。但是，在混合总线中，主机应延长 SCL 低电平周期，以确保传统 I2C 设备的任何尖峰滤波器能够正常复位。

### 3、从机应在 SCL 的下降沿监控 SDA：

- 如果 SDA 为高电平，则从机应继续下一个数据值。
- 如果 SDA 为低电平(可能是重复启动)，则说明主机已终止读取消息，此后从机不应驱动 SDA。

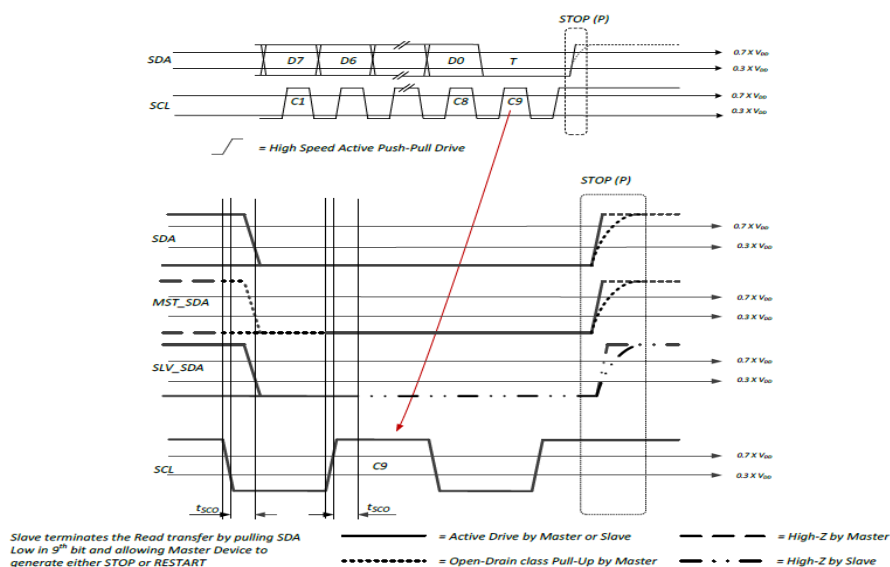


图 11 T-Bit When Slave Ends Read and Master Generates STOP

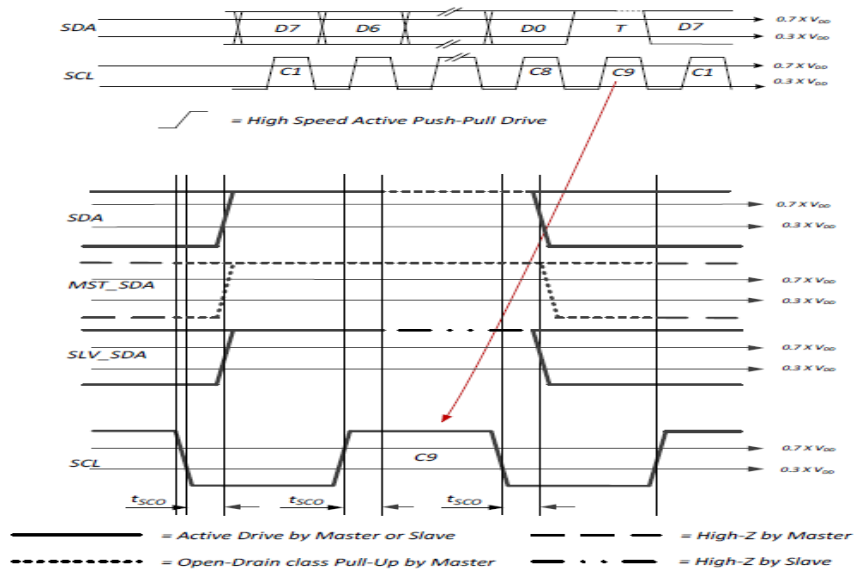


图 12 T-Bit When Slave and Master Agree to Continue Read Message

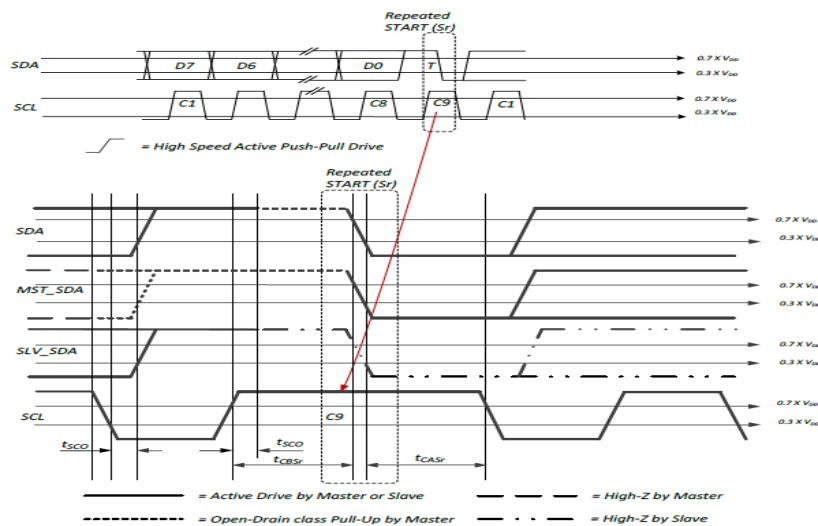


图 13 T-Bit When Master Ends Read via Repeated START and Further Transfer

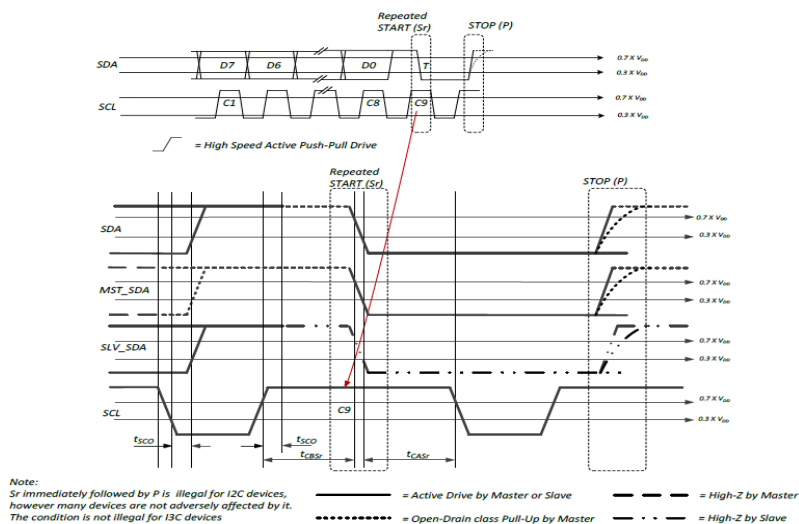


图 14 T-Bit When Master Ends Read with Repeated START and STOP

### 4.1.2.4 使用时钟速度防止传统 I2C 器件看到 I3C 传输

在 I3C 系统中，有三种可能的 I3C 总线配置：

- **纯总线：**总线上**只有 I3C 设备**。
- **混合快速总线：**总线上**存在 I3C 器件和传统 I2C 器件**，**SCL 上有 I2C 50 ns 尖峰滤波器**(即 SCL 高电平持续时间小于 50ns 时，I2C 器件无法识别 SCL 线为高电平)。
- **混合慢/有限总线：**总线上**存在 I3C 器件和传统 I2C 器件**，**SCL 上没有 I2C 50 ns 尖峰滤波器**(即 SCL 高电平持续时间大于 50ns)。

### 4.1.2.5 主时钟延迟

在 SDR 模式的**特定瞬态条件**下，I3C 主机可能会在 SCL 低电平期间停止 I3C 总线。  
主时钟延迟有 2 个原因：

- 需要**仔细控制**消息到特定从站或所有从站的**绝对或相对时序**。时钟延迟为 Master 提供了细粒度的数据时序控制。
- **I3C Master 需要在内部同步数据**。由于 Master 系统的某些部分唤醒准备数据，改变状态，交易过程需要时间。

请注意，**时钟延迟会影响总线性能**。例如，会降低总线容量并增加设备发送带内中断请求的延迟。

要使总线停止，总线处于以下四个条件之一时，I3C 主机应保持 SCL 为低电平。

- I3C/I2C 传输，**ACK/NACK 阶段**
- 写数据传输，**奇偶校验位**
- I3C 读传输，**转换位**
- 动态地址分配，**分配地址的第一位**

最大延迟时间（SCL 低电平时间）为 15 ms; 请注意，这是绝对最大值。根据表 11，主机应根据当前情况使用最短的延迟持续时间。

Condition	Section	Maximum Stall Time
I3C/I2C Transfer, ACK/NACK Phase	4.1.2.5.1	100us
Write Data Transfer, Parity Bit	4.1.2.5.2	100us
I3C Read Transfer, Transition Bit	4.1.2.5.3	100us
Dynamic Address Assignment, First Bit of Assigned Address	4.1.2.5.4	15ms

表 11 Master Clock Stall Times

在所有情况下，在延迟 SCL 低电平周期后，时钟的延续(即延长的低电平周期后的第一个 SCL 上升沿)应遵循 I3C SDR 或 I2C 的正常规则。包括上升时间，SCL 上升之前 SDA 的改变，下一位等。例如，I3C 主机可能选择在这个延迟位之后以 STOP 信号终止消息，在这种情况下，主机必须遵守 STOP 计时的要求。

**建议仅在必要并且不可避免时使用主时钟延迟。**在所有其他情况下，主机应避免主时钟延迟，因为它对总线性能有负面影响。为了帮助指导系统设计人员，I3C 主设备的数据表应包括适当详细的 SCL 延迟参数。

### 4.1.2.5.1 I3C/I2C 传输，ACK/NACK 阶段

在 I3C/I2C 传输的 ACK/NACK 阶段，主时钟进行延迟的作用：

- I3C/I2C 从机准备接收数据（主机写）或传输数据（主机读）
- 主机与传统 I2C 从机进行读写时发生欠载和溢出情况，主机进行时钟延迟。
- 主机延迟时钟来决定 ACK 或 NACK 带内中断请求。
- 如果从机未准备好要返回的 GET CCC 数据，主机延迟时钟等待从机准备好数据。

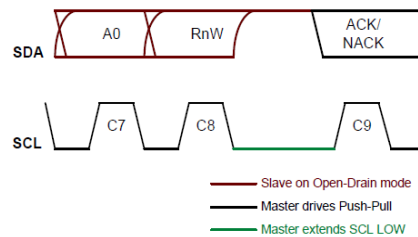


图 11 Master Clock Stalling in ACK Phase

### 4.1.2.5.2 写数据传输，奇偶校验位

如果主机在写数据传输的数据字节之间出现欠载情况，主机通过在奇偶校验位的低电平期间延迟时钟停止 SCL。见图 12。

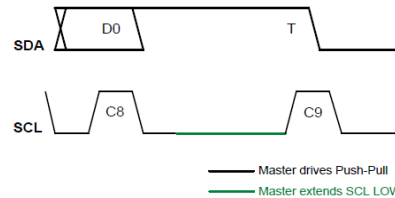


图 12 Master Clock Stalling in Write Parity Bit

### 4.1.2.5.3 I3C Read Transfer, Transition Bit

在读数据传输的数据字节之间或终止之前出现溢出情况，主机可以通过在转换位的低电平期间延迟时钟，停止 SCL。请参见图 13 至图 17。

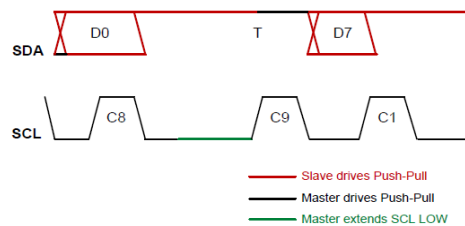


Figure 13 Master Clock Stalling in T-Bit Before Next Read Data

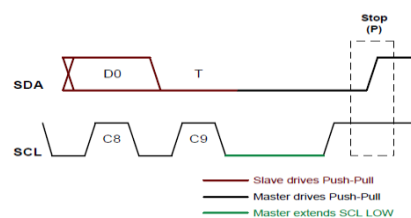


Figure 14 Master Clock Stalling in T-Bit Before STOP

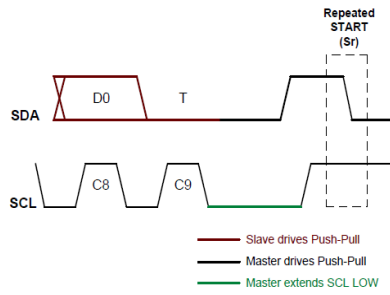


Figure 15 Master Clock Stalling in Low T-Bit Before Repeated Start

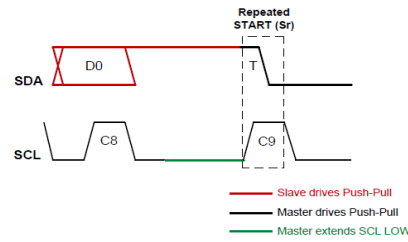


Figure 16 Master Clock Stalling in High T-Bit Before Repeated START

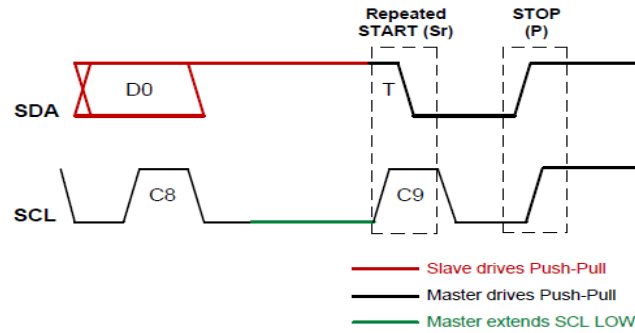


Figure 17 Master Clock Stalling in High T-Bit Before Repeated START and STOP

#### 4.1.2.5.4 动态地址分配，分配地址第一位

主机在动态地址分配读取 48bit 临时地址的 DCR[0]与发送动态地址第一位之间的低电平期间进行时钟延迟，例如主机通过时钟延迟获得足够时间来根据从设备的 BCR 和 DCR 寄存器进行动态地址，见图 18。

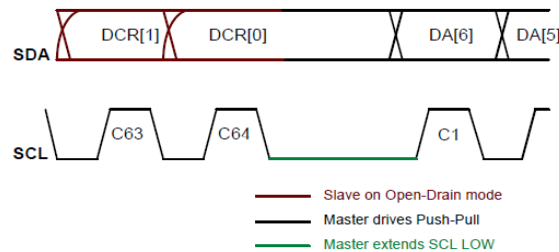


Figure 18 Master Clock Stalling in Dynamic Address First Bit

### 4.1.3 总线条件

#### 4.1.3.1 Bus Free Condition

**Bus Free Condition 定义：** 在 STOP 之后和 START 之前的持续时间段。对于纯总线持续时间至少为 **tCAS**，对于混合总线持续时间至少为 **tBUF**

4. 1. 3. 2 Bus Available Condition

Bus Available Condition 定义: Bus Free Condition 状态持续至少 tAVAL 的持续时间。在 Bus Available Condition 之后,从设备可发出 START 请求,例如,带内中断请求或主控制权请求。

4. 1. 3. 3 Bus Idle Condition

Bus Idle Condition 定义: Bus Available Condition 持续至少 tIDLE 的时间段。Bus Idle Condition 是为了帮助确保热连接事件期间的总线稳定性。

注意: I3C 总线上热连接设备与主机同时上电,如果主机已将 SCL 和 SDA 拉高并且不作用于 I3C 总线上,那么热连接设备会在 1ms 后拉低 SDA。

4. 1. 3. 4 Activity States

I3C 为 Master 提供了一种机制,告知 Slaves 有关 I3C 总线上预期即将到来的活动级别,以帮助 Slaves 更好地管理其内部状态。定义了从 0 到 3 的四个活动状态级别。

Table 12 Activity States

Activity State	Activity Interval	CCC
0	1 μ second	ENTAS0
1	100 μ second	ENTAS1
2	2 millisecond	ENTAS2
3	50 millisecond	ENTAS3

活动状态编号用作对从机的提示,提示从机主机还有多久时间才会对从机操作,主机响应从机拉低 SDA 延迟时间(即从机发送 START 信号,为生成带内中断请求或主控制权请求)。

主机使用 CCC 命令 ENTAS0, ENTAS1, ENTAS2 和 ENTAS3 将四个预期的总线活动状态传递给从机。每个 ENTASx CCC 都有广播和定向方式。Master 可以随时通过任意方式发送 ENTASx CCC 命令切换到不同的活动状态。

从机可以使用收到的活动状态提示来进行调整内部设置,例如省电, FIFO 触发级别,时间戳计数器和时钟速率,以及其他合适的操作参数。但是,从机没有要求一定支持活动状态 CCC (ENTASx),因此甚至可以完全忽略它们。

活动状态机制是主机和从机之间协议的基础,如从机可能会比通用时间因素更早发现任何接入。例如:如果主机发送 ENTAS2 CCC,意味着主机不会在发送 ENTAS2 CCC 之后的 2ms 内发出请求,那么从机对 1ms 后到达的请求可能会 NACK。因此,从机应在任何总线活动时或者在匹配 7'h7E 和它自己的动态地址时唤醒。

活动状态 CCC 还调整 I3C 总线时序参数 tCAS (START 后的时钟)的最大值,这是主机响应从机拉低 SDA 生成 SCL 时钟所需的最长时间。请注意, tCAS 只是最坏情况的数字;它不代表主机是否会 ACK 带内中断请求或主控制权请求。此外,所选择的活动状态不一定表示主机响应带内中断从从设备读取附加数据的时间;这是 Master 和 Slave 之间的私人合约。

不支持 ENTASn CCC 的从机应具有 50 毫秒的 tCAS 最大值 (ENTAS3 值)。

活动状态不是要取代更精确的电源模式,也不能替代主机和从机之间私有协议中可能支持的任何其他机制。例如,如果从机具有设备电源模式设置,则主机应使用该机制将从机置于所需状态。同样,如果从机可以提供 FIFO 触发等级设置,该设置与主机响应带内中断请求读取 FIFO 内容所需的时间量有关;如果是这样,那么 Master 应该使用该设置来匹配其内部延迟。

## 4.1.4 总线初始化和动态地址分配

如本节所述,主机负责执行动态地址分配过程,为连接到 I3C 总线上的每个设备提供唯一的动态地址。

主机应为一个从机提供动态地址: I3C 总线已经初始化完成,从机已连接到该 I3C 总线上。

一旦从机收到动态地址,该动态地址将用于该从机在 I3C 总线上所有后续事务,直到除非主机更改从该机的动态地址。主机更改设备动态地址的唯一方法是使用 RSTDA CCC 命令或 SETNEWDA CCC 命令。由于重新确定优先级,Master 可能会选择更改设备的动态地址。

主机控制动态地址分配过程。此过程包括类似于 I2C 的地址仲裁程序。**I3C 仲裁程序与 I2C 的不同之处在于使用 48 位临时 ID 和设备的 I3C 特性寄存器 (即 BCR 和 DCR) 的值进行串联。**具有最低级联值的 I3C 总线上的设备依次赢得每个仲裁轮次,并且主机为每个获胜设备分配唯一的动态地址。

### 4.1.4.1 设备动态地址分配请求

#### 4.1.4.1.1 唯一的身份标识

动态地址分配过程前,要求连接到 I3C 总线的每个 I3C 设备应以两种方式之一进行唯一标识。

为了支持动态地址分配,在 I3C 总线上的所有 I3C 器件需要具有唯一的身份证。有以下两种方法获得:

- 类似 I2C 静态地址 (必须被主机所知道)
- 48 bit 临时 ID(所有情况下都具有)

48bit 临时 ID 有 3 部分组成:

- Bits[47:33]: MIPI 制造商 ID(15bit)
- Bit[32]: 临时 ID 类型选择; Bits[32]值为 0: Bits[31:0]为供应商固定值, Bit[32]值为 1: Bits[31:0]为随机值
- Bits[31:0]:临时 ID 值,取决于 Bit[32]的值。Bit[32]值为 0 时  
Bits[31:16]: Part ID  
Bits[15:12]: Instance ID  
Bits[11:0]: 自定义,如更深器件特性包括器件特性寄存器值。



## 4.1.4.1.2 具有动态地址分配的总线初始化序列

动态地址仲裁使用 **OD** 模式，**RESTART** 信号和广播地址(7' h7E) 可用 **OD** 或是 **PP** 模式。

1、主机处于可配置状态，从非易失性存储器或 HOST 获得需要知道相应数据：

- 需要分配动态地址的 I3C 器件
- 拥有静态地址的 I3C 器件相关数据信息
- I2C 器件相关数据信息

2、主机用 CCC(SETDASD)为拥有静态地址的 I3C 器件分配动态地址

S	7'h7E/W/ACK	SETDASA CCC/T	Sr	Slaver Addr/W/ACK	7-bit Dynamic Address/W/T	Sr	7'h7E P
---	-------------	---------------	----	-------------------	---------------------------	----	------------

3、主机发送广播命令 CCC(ENTDAA) +校验位

4、接着发送 **RESTART + 广播地址 7'h7E/R**，总线上没有被分配动态地址的 I3C 设备(除了热连接设备)都对广播地址进行 ACK。

**注意：**使用 RnW 位为高（即读取）的 I3C 广播地址（7' h7E）特定于动态地址分配模式。

5、主机仅仅控制 SCL 线，释放 SDA 线成高阻态，这样允许从设备通过推挽输出驱动 SDA 为高电平。

6、每个 I3C 器件都会像 Step4 一样对会广播地址进行响应，在 SDA 上驱动传输各自的 48bit 临时 ID，直到失去仲裁。

**注意：**热连接设备只有发送地址 7' h02 和 Rnw=0 的带内中断请求后，才允许参与动态地址分配过程。

7、根据仲裁规则，如果设备拥有的临时 ID，BCR，DCR 值最小赢得地址仲裁。

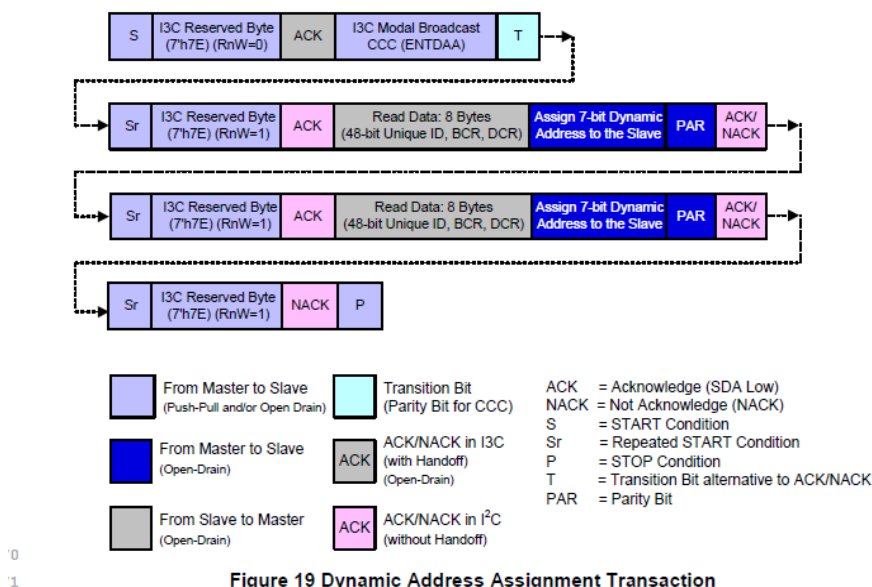
8、主机向赢得仲裁的从设备使用开漏方式发送 7bit 的动态地址。

- 主机应驱动 7 位动态地址，然后是奇偶校验位 (PAR)，计算为奇校验。奇校验是 7 位的 XOR 的倒数。因此  $\sim \text{XOR}(\text{dynamic\_address}[7:1])$  被置于位置 0。
- 如果奇偶校验有效，则从机应在下一个 SCL 时钟 ACK 成功接收到动态地址。如果奇偶校验无效，则从机将在下一个 SCL 上被动地 NACK。

9、如果第一主机没有收到总线上任何设备的 ACK，则需要重复 Step4 步骤。

10、动态地址分配过程允许被第一主机以 STOP 信号终止。

- 第一主机可以随时终止动态地址分配过程，甚至建立连接的 I3C 设备还未收到动态地址。
- 在 I3C 总线有用条件下，动态地址分配可以在任意时刻使用 CCC ENTDA命令再次启动。
- 如果给定的从设备未确认其分配的动态地址，则要求主机从步骤 4 重复继续。这个从设备将使用相同的 48 位临时 ID 参与地址仲裁。如果从设备第二次仍旧没有 ACK 动态地址，则主机应退出动态地址分配过程并执行 I3C 总线设计者提供的错误管理程序。



11、动态地址分配过程完成后，第一主机知道 I3C 总线上的哪个设备是第二主机。然后，第一主机通过 CCC 命令 DEFSLVS 寻址第二主机，并且为总线上所有传统 I2C 器件传输数据。为保持 I3C 总线受控制，可以通过每次发出 RESTART 来继续通信，没有中间 STOP 信号。

### 4.1.4.3 临时 ID 冲突与检测

动态地址分配过程中，如果有多个 I3C 设备为第一主机提供相同的 48 位临时 ID 和相同的设备特征寄存器值，则它们将接收相同的动态地址。虽然这种巧合的可能性很小，但确实存在潜力，并且在这种情况下 I3C 总线将无法正常运行。因此，在 I3C 总线上的 I3C 设备可以安全地一起使用之前，主机必须测试此冲突条件，并在必要时进行解决。

I3C 第一主机知道需要动态地址分配的 I3C 总线上驻留的设备数量，可以检测冲突错误。完成动态地址分配程序后，第一主机应将此预期编号与实际分配的静态地址和动态地址的最终计数进行比较。如果分配的动态地址数少于预期，则说明多个设备必须已收到相同的动态地址，即发生了冲突。

如果检测到此冲突条件，则第一主机应使用以下任一方法解决此问题：

- 第一主机使用**直接指向命令 RSTDAA** 最有可能重复的动态地址并重置该动态地址。
- 第一主机通过使用**广播命令代码 RSTDAA** 重置动态地址分配过程，然后从 4.1.4.2 中的 step3 开始到 step8，直到更早：
  - 1)、发现了预期数量的 I3C 设备
  - 2)、设定的最大尝试次数失败。如果达到此限制，则应将系统错误消息发送给主机。为避免冻结整个系统，建议尝试限制三次。

### 4.1.5 热插拔连接机制

I3C 协议支持热连接机制，允许从机在 I3C 总线配置后加入总线。需要注意：在配置 I3C 总线之前，hot-join 不允许从机加入 I3C 总线。

热连接从机可以是任何有效的从机类型，包括第二主机。在热连接之后，当前主机应使用 DEFSLVS CCC，为了确保任何第二主机都知道所有可用的从机，如果第一主机发现任

何以前加入的从机不再存在于总线上，则第一主机应立即通知 I3C 总线（例如，由于不响应或在总线外）。

由于 Master 对新加入 I3C 总线的从设备并不了解，因此 Hot-Join 机制提供了以下过程来通知 Master 有关新 Slave 的信息：

- 从设备需要等待 Bus Available Condition
- 在 Slave 检测到总线空闲后，Slaver 可以发出 START，或者等待 START。（要发出 START，请将 SDA 线拉低并保持低电平，直到 SCL 线变为低电平）

**注释：**热连接设备可以与第一主机同时加电（例如，当向系统供电时可以连接到 I3C 总线）。在这种情况下，如果 SCL 和 SDA 被拉高，主机可能会在 I3C 总线启动之前拉低 SDA。如果第一主机需要 1 ms 或更长时间才能开始作用于 I3C 总线，那么第一主机应调整 SDA 拉低电平的位置，或者延迟将 SDA 拉高和 SCL 拉高，直到准备就绪。

支持热连接的设备应该实现一些方法，允许系统设计人员阻止未用作热连接的设备尝试热连接。例如：使用 NVMEM，或者当器件焊接到电路板上并使用 I3C 总线的其余部分供电时，可以使用引脚带。

- 从设备在 START 后发出 7'h02/W 的从设备地址作为 IBI，请求动态地址分配过程。
- 主机应执行以下 3 项动作之一：
  - a、NACK 从机请求。从机将在下一个 START 再次尝试。
  - b、ACK 从机请求，然后广播命令以禁用热连接，主要是通过设置 **启用/禁用从事件命令 (ENEC/DISEC)** 中 DISHJ 位。如果在第一主机准备好为从设备分配动态地址之前，另一个设备尝试热连接，则第一主机可能需要重复此过程。
  - c、ACK 从机请求，然后发出广播 ENTDAACCC 以启动动态地址分配过程。由于只要没有分配到动态地址的 Slave 参与动态地址分配，这允许新加入的 Slave 接收其动态地址。
- 如果第一主机广播发出 ENTDAACCC，则从机应按照正常机制发送其 48bit 临时地址。

如果热接入的从机需要每次加入时接收分配相同的动态地址可以使用固定值 ID。

如果一个 Slave 由于分离或被掉电而掉落 I3C 总线，那么主机可能不会意识到这一点。主机可以通过使用响应命令代码（例如获取设备状态 (GETSTATUS)）重复尝试联系从设备来确定此情况。如果主机确定从设备不再是 I3C 总线的一部分，那么它应该回收该从设备的动态地址，或者保留该从设备的动态地址，以防从设备稍后重新加入总线。

## 4.1.6 带内中断

### 4.1.6.1 优先级

在 I3C 总线协议中，**优先级是控制带内中断请求或第二主机主控请求的顺序**。I3C 总线实例化中**每个从设备的优先级在其从设备地址中编码，较低的地址具有较高的优先级**。也就是说，主机处理较低值地址从设备和更高值地址从设备的带内中断和主控制权请求时，优先处理较低地址从设备的请求。此优先级排序是第 4.1.2.2.1 节中指定的 I3C 地址仲裁行为的自然结果，其中值为 0 的地址位比值为 1 的地址位更有优势。

因此，在每个动态地址分配操作期间（参见第 4.1.4 节），**第一主机应为较高优先级带内**

中断请求分配较低的地址到从机。

### 4.1.6.2 I3C 从设备中断请求

为了请求中断，I3C 从设备必须在 START 之后将其地址发送到仲裁的地址头中（但不是在重复 START 之后）。如果 **Bus Available Condition** 下没有 START，则 I3C 从设备可以通过将 SDA 线拉低来发出 START 请求。作为响应，主机应将 SCL 时钟线设置为低电平，从而完成 START 条件。根据第 4.1.6.1 节，第一主机应按优先级顺序处理中断请求。然后，从设备驱动 SDA 发送自己的地址，RnW 位置为 1。

此时，当前的主机应该做以下三件事之一：

1、通过 ACK 来接受从机的 IBI。主机接下来的操作取决于从机的 BCR [2]位 IBI Payload 的值。

- 如果 I3C 从设备的 BCR [2]位设置为 1，那么当前主机应以从设备允许的任何“读取”速度读取 IBI 请求之后的数据载荷。**请注意**，当前主机无法避免接收数据载荷，因为它是在推挽模式上传输的。

当前主机在读取数据载荷后，可以采取任何其他有效的 I3C 操作。例如，当前主机可以发出 STOP，或发出重复 START，或者它可以继续从从机读取额外的数据。

该序列的一个概念时间图如下图 20 所示：

Open Drain	Open Drain	Open Drain	Hand Off	Push-Pull	Drive High or Low, and then High-Z	Push-Pull
S	Slave_addr_as_IBI/R	Master_ACK	SCL High	Slave_byte	T	Sr

Figure 20 IBI Sequence with Mandatory Data Byte

- 如果 I3C 从机的 BCR [2]位设置为 0，那么当前主机可以采取任何其他有效的 I3C 操作。例如，当前主机可以发出 STOP，或发出重复 START，或者它可以以任何允许的“读取”时钟速度继续从从机读取额外的数据字节。

2、在不禁用中断的情况下拒绝 IBI。要做到这一点，当前主机只是被动地 NACK 否认 IBI。

3、拒绝 IBI 请求并且禁用中断。为此，当前主机 NACK 拒绝 IBI 请求，然后发送重复 START，最后将命令代码 DISEC 中的 DISINT 位设置为 1，如第 5.1.9.3.1 节所述。（当前主机可以在以后的命令代码 ENEC 中设置 ENINT 位。）

在新 IBI 请求的事务完成之前，主机可能抢先处理 I3C 总线上更高优先级事务。主机可以 NACK 从机 IBI 中断请求或者驱动更高优先级设备地址，取代发送 IBI 请求的设备地址。主机将 SCL 线保持为低电平，直到预期的高优先级事务开始。

在地址评估期间发生总线争用。如果有多个 I3C 设备同时尝试赢得总线，那么除了一个之外的所有设备都将失去仲裁。这些失去仲裁设备将有机会在下一个 Bus Available Condition 下重复尝试。请注意，从设备可以选择不再尝试。

### 4.1.7 第二主机功能

### 4.1.8 时序控制

### 4.1.9 通用命令代码(CCC)

通用命令代码(CCC)是全局支持的命令，可以直接传输到特定的 I3C 从设备，也可以同时传输到所有 I3C 从设备。本节规定了如何在 I3C 总线上传输 CCC，每个 CCC 如何工作以及哪些 CCC 需要支持哪些 CCC。

#### 4.1.9.1 通用命令代码格式

CCC 命令协议仅在 I3C SDR 模式时格式化使用，并始终以 I3C 广播地址(7'h7E)开头。也就是说，在 START 或重复 START 之后，CCC 命令的地址应始终为 7'h7E，RnW 位应始终为 0(Write)。

一旦主机给所有 I3C 从机分配动态地址后，所有从机都应识别 7'h7E 广播地址和它们自己的动态地址。I3C 主机可能会在分配 I3C 动态地址之前和之后都发出 CCC 命令。

**注意：**由于 I2C 规范保留地址值 7'h7E，因此传统 I2C 从设备将无法匹配 I3C 广播地址。

CCC 命令分为三类：广播写入，直接写，直接读

- **广播写入：**所有 I3C 从机都可以看到广播写入 CCC。即使从设备忽略广播命令，所有从设备也应检查每个接收到的广播命令。

每个广播写入 CCC 命令都以重复 START 或 STOP 结束，但 ENTDAAs 除外，它始终以 STOP 结束。

**注意：**如果是进入一个模式的 CCC 命令，则新模式根据其自己的规则结束。

- **直接写入：**直接写入 CCC 指向由动态地址选择的一个或多个特定 I3C 从机。每个直接写入 CCC 命令以 STOP 或重复 START 结束，然后是 I3C 广播地址(7'h7E)。
- **直接读取：**直接读取 CCC 是主机从由动态地址选择一个或多个特定的 I3C 从机读取数据。

每个直接读取 CCC 命令以 STOP 或重复 START 结束，然后是 I3C 广播地址(7'h7E)。

S	7'h7E	Command Code	Data (Optional)	Sr
Sr	/W/ACK	/T	(Broadcast CCC only)	P
			/T	

图 33 CCC 通用格式

所有 CCC 命令共享相同的通用帧格式，如图 33 所示，但 ENTDAAs CCC 除外，它始终以 STOP 结束。每个 CCC 命令都有一个唯一的命令代码。表格中详细列出了此帧格式的字段。



领域	定义	
S or Sr	CCC始终以START或重复START开始	
7'h7E / W / ACK	这块有3部分组成：	
	7'h7E	CCC帧以全局广播地址开始，因此总线上的所有I3C从器件都将看到随后的CCC代码。
	W	写位清零（值1'b0），表示主机正在向从机写入消息。 此消息始终包含CCC代码，并且可以选择包括其他数据，具体取决于CCC代码的值。
	ACK	集合ACK（SDA驱动为低电平）由1个或更多I3C从器件组成。
命令码/T位	一个8位值，表示正在发送哪个命令，后跟一个T-Bit。所有已定义的命令代码值在第4.1.9.3节中指定	
数据/T位	该字段仅用于广播CCC消息，后跟一个T-Bit。对于每个定义的CCC代码，第4.1.9.3节规定了此处显示了多少数据（如果有）	
Sr or P	CCC帧始终以重复Start或者Stop结束	

表 14 CCC 帧领域定义

## 4.1.9.2 广播命令和直接命令的比较

命令代码分为**广播命令**和**直接命令**：

- **广播命令**是命令代码 0x00 到 0x7F，**bit7 值为 0**。
- **直接命令**是从 0x80 到 0xFE 的命令代码，**bit7 值为 1**。
- 命令代码 0xFF 保留。

因此，通过检查(MSB)命令代码的 bit7，从站可以轻松确定接收到的命令是否正在向 I3C 总线上的所有从机广播(bit7 值为 0)，或者是仅用于特定从机的直接命令(bit7 值为 1)。

### 4.1.9.2.1 CCC 命令结束

CCC 命令应以下面三种 I3C 总线条件之一来进行结束：

- 命令或数据后的 **STOP 信号**
- 对于**广播命令**，**重复 START**（对于任何地址值）
- 对于**直接命令**，**重复 START 后跟 7'h7E**（可能是新 CCC 的开始，或者可能后面是重复 START）

如果命令是进入一种模式的 CCC 命令，则模式根据其自己的规则来结束。

7'h7E 可以在重复 START 后面作为直接命令结束，也可以作为启动另一个 CCC 命令的开始。Master 可以在不寻址任何从机的情况下终止直接 CCC 命令。

如果主机过早的终止与 CCC 命令相关的数据，那么从机应尽最大努力处理终止并确定正确的行动方案。也就是说，从机可以选择忽略该事件而不起作用，或者从机可以处理来自不完整数据的部分影响。

## 4.1.9.2.2 直接 CCC 命令的帧模型

在**直接 CCC 命令**中，帧首先包含命令代码，然后是一个或多个重复启动，然后是目标从设备的地址，后跟数据，最后是 STOP，或重复 START 和 7'h7E。

单个直接 CCC 命令也可以选择性地寻址多个从设备。为此，在最后的 7'h7E 之前插入一个附加块，用于每个额外的所需从设备（参见图 34）。每个这样的块包括重复 START，附加所需从设备的动态地址，以及要发送到该从设备的数据。

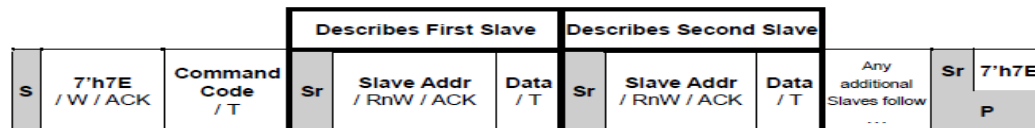


图 34 直接 CCC 命令帧模型

每个被寻址的从设备可以对直接 CCC 命令进行 ACK 或 NACK。对于读取请求，从设备然后根据 SDR 标准读取模型返回所请求的数据。

从设备可以终止 I3C 总线上的数据读取，Direct CCC 定义可以扩展为包括额外的数据字节，超出此版本的 I3C 规范中指定的数据字节。

## 4.1.9.2.3 Direct GET CCC 命令的重试模式

I3C 接口协议要求 Direct GET CCC 命令有**单次重试**模式。

Direct GET CCC 命令首先使用**广播地址 7'h7E**向所有从机发送**整体 GET 命令**，然后**发送目标从设备的地址以刺激每个从设备做出响应**。这要求从机处于允许立即响应的状态，如果从机地址被发送，从机能够立即做出响应，但也要准备好其地址不被发送，从机不必做实际响应。对于从机硬件支持的 Direct GET CCC 命令，例如那些处理从机本地已知信息的命令（如 GETBCR），从机做出立即响应这个要求通常不会出现问题。但是对于从机系统支持的 Direct GET CCC，或从机中软件支持的那些，从机可能无法及时响应 Direct GET CCC。

出现从机无法及时提供对 Direct GET CCC 命令的响应情况，才会使用单重试模式处理，**该模式仅适用于 Direct GET CCC 命令**。

- 从机 NACK 其地址。
- 主机将发送 **RESTART**，然后是从机地址。  
请注意，**这是从机地址的第二次传输**。这为 Slave 提供了额外的时间来准备它的响应。作为让 Slave 有更多时间准备其响应的进一步措施，Master 可以选择在 Slave 的 NACK 之后和 Master 的重复 START 之前使用时钟延迟。
- **从机准备好响应数据后**，使用 ACK 响应步骤 2 中的重试尝试，然后发送直接 GET CCC 请求的结果。
- 如果第二次尝试，从机仍未准备好响应数据，则从机被动 NACK 主机，主机也不会再尝试，因为重试模式仅限于单次重试。

**注意**，仅当从机 NACK Direct GET CCC 请求时才会发生第 2 步。



### 4.1.9.3 CCC 命令定义

#### 4.1.9.3.1 启用/禁用从器件事件命令 (ENEC/DISEC)

这四个直接(表 16)或广播(表 17)CCC 允许主机控制从机在 I3C 总线上传输的使能。这些命令控制着 Slave 是否产生中断(ENINT/DISINT)请求, 主控权(ENMR/DISMR)请求或表示热连接事件(ENHJ/DISHJ)请求。

S	7'h7E /W/ACK	Direct ENEC/DISEC CCC /T	Sr	Slave Addr /W/ACK	En/Dis Slave Event Byte /T	Sr	7'h7E P
---	-----------------	--------------------------------	----	----------------------	----------------------------------	----	------------

表 16 ENEC/DISEC 格式 1:直接

S	7'h7E /W/ACK	Broadcast ENEC/DISEC CCC /T	Enable/Disable Slave Event Byte /T	Sr	7'h7E P
---	-----------------	-----------------------------------	--	----	------------

表 17 ENEC/DISEC 格式 2:广播

表 18 和表 19 显示了在 Slave Event Byte 中设置的位, 分别用于启用和禁用四种支持的 I3C Slave/Secondary Master 事件类型。保留位用于将来的 MIPI 使用。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved				ENHJ	Reserved	ENMR	ENINT

表 18 Enable Slave Events Command Byte Format

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Reserved				DISHJ	Reserved	DISMR	DISINT

表 19 Disable Slave Events Command Byte Format

支持的 I3C Slave/Secondary Master 事件类型包括:

- 中断请求: 启用(ENINT)/禁用(DISINT)  
主机通过设置这些位的值来控制从机中断请求是允许还是禁止。
- 主控权请求: 启用(ENMR)/禁用(DISMR)  
主机通过设置这些位的值来控制第二主机主控制权请求是允许还是禁止。
- 热连接事件: 启用(ENHJ)/禁用(DISHJ)  
主机通过设置这些位的值来控制从机热连接请求是允许还是禁止。主机未准备好为热连接设备提供服务时, 主机可以通过广播 DISHJ 命令来禁止所有从设备发出热连接请求进行动态地址分配。

#### 4.1.9.3.2 输入活动状态 0-3 (ENTAS0-ENTAS3)

这四个直接和四个广播 CCC 允许主机通知一个或所有从机大约一段时间内主机不会在 I3C 总线上传输, 在此期间从机就可以使用低功率状态。每个活动状态有一个直接 CCC 和一个广播 CCC。所有 I3C 从机都应在所有活动状态中保持 I3C 通信能力。

S	7'h7E /W/ACK	Direct ENTASx CCC /T	Sr	Slave Addr /W/ACK	Sr	7'h7E P
---	-----------------	----------------------------	----	----------------------	----	------------

表 20 ENTASx 格式 1: 直接

S	7'h7E /W / ACK	Broadcast ENTASx CCC /T	Sr	7'h7E
Sr				P

表 21 ENTASx 格式 2: 广播

下面的表 22 给出了每个活动状态的期望的最小总线活动间隔。

CCC	Activity State	Minimum Bus Activity Interval
ENTAS0	Activity State 0	1 μSec: Latency-free operation
ENTAS1	Activity State 1	100 μSec
ENTAS2	Activity State 2	2 mSec
ENTAS3	Activity State 3	50 mSec: Lowest-activity operation

表 22 输入活动状态 CCC(ENTASx)

### 4.1.9.3.3 重置动态地址分配 (RSTDAA)

此直接或广播 CCC 是主机要求一个或所有 I3C 从机清除/重置主机分配的动态地址。从机清除动态地址后，从机已准备好参与动态地址分配过程。

S	7'h7E /W / ACK	Direct RSTDAA CCC /T	Sr	Slave Addr /W / ACK	Sr	7'h7E
						P

表 23 RSTDAA 格式 1: 直接

S	7'h7E /W / ACK	Broadcast RSTDAA CCC /T	Sr	7'h7E
Sr				P

表 24 RSTDAA 格式 2: 广播

### 4.1.9.3.4 enter dynamic address assignment (ENTDAA)

Table 25 ENTDA Format

S	7'h7E /W / ACK	ENTDAA CCC /T	P
Sr			

广播命令：主机要求所有 I3C 从机进入动态地址分配程序，已经拥有动态地址的从机不需要对此命令做响应。退出 ENTDA 模式，master 需要发送 STOP 信号，不能是 RESTART 信号。

### 4.1.9.3.5 Set/Get Max Write Length (SETMWL)

这些直接和广播 CCC 允许 I3C 主机设置或获取一个从设备的最大数据写入长度（以字节为单位）。此最大写入长度不会影响广播 CCC 的数据写入长度。Set / Get Max Write Length 值在两个字节上传输，最高有效字节（MSb）首先传输。Max Write Length 可设置的最小值为 8。

只有当从设备要实现限制 private write message 或 extend write CCC 支持每个消息的最大数据字节数时，此 CCC 才是必需的，并且此限制为大于 8 个字节。这允许从机限制主机发送的字节数。如果没有这种可设置限制的从设备，协议可以选择是否支持该 CCC，但预计不会这样做。

### Table 26 Direct SETMWL/GETMWL Format

S	7'h7E / W / ACK	SETMWL or GETMWL CCC / T	Sr	Slave Addr / RnW / ACK	MWL MSb / T	MWL LSb / T	Sr	7'h7E P
---	--------------------	--------------------------------	----	---------------------------	----------------	----------------	----	------------

### Table 27 Broadcast SETMWL Format

S	7'h7E /W/ACK	SETMWL CCC /T	MWL MSb /T	MWL LSb /T	Sr	7'h7E
					P	

#### 4. 1. 9. 3. 6 Set/Get Max Read Length (SETMRL)

这些直接和广播 CCC 命令允许 I3C 主设备设置或获得数据读取的最大长度，以及 IBI 最大有效载荷(可选项)。Max Read length 最小值可设为 16Bytes。

对于 BCR 寄存器的 bit2 值为 1 的从设备，将 IBI 有效载荷大小值作为第三字节，0 代表无限制有效载荷大小。

此 CCC 对于 Slave 是可选的，但有两个例外：

- 如果任何 **private read** 请求消息或从机支持的任何扩展 CCC 读取请求消息需要对从机可能返回的最大数据字节数进行限制，则需要此 CCC。每条消息长度限制大于 16 个字节。
- 如果从机支持 IBI 有效载荷(**BCR[2]==1**)，并且将传输多于一个字节的专用有效载荷，则需要此 CCC。

### Table 28 Direct SETMRL/GETMRL Format

S	7'h7E / W / ACK	SETMRL or GETMRL CCC / T	Sr	Slave Addr / RnW / ACK	MRL MSb / T	MRL LSb / T	IBI Payload Size / T	Sr	7'h7E  P
---	--------------------	--------------------------------	----	---------------------------	----------------	----------------	----------------------------	----	----------------

### Table 29 Broadcast SETMRL Format

S	7'h7E /W /ACK	SETMRL CCC /T	MRL MSb /T	MRL LSb /T	IBI Payload Size /T	Sr	7'h7E
						P	

#### 4. 1. 9. 3. 7 Define List of Slaves (DEFSLVS)

此广播 CCC 仅与第二主机相关，第二主机可以独立选择响应此 CCC，或忽略它。第一主机发送此 CCC 命令，该 CCC 通过每个从设备连续四个字节数据信息可以告诉第二主机 I3C 总线上存在哪些从设备。首先，Current Master 通过第一组四个字节数据信息来识别自身，这个 4 个字节数据包含了主机 BCR、DCR、静态地址信息，使用值 7'h7E 作为静态地址。而 I3C 总线的每个从器件由另外一组四个字节数据表示。

### Table 30 DEFSLVS Format

[illegible]

4. 1. 9. 3. 8 Enter Test Mode(ENTTM)

Table 31 ENTTM Format

S	7'h7E /W /ACK	ENTTM CCC /T	Test Mode Byte /T	Sr	7'h7E
				P	

Table 32 ENTTM Test Mode Byte Values

Byte Value	I3C Test Mode	Description
0x00	Exit Test Mode	This value removes all I3C Devices from Test Mode
0x01	Vendor Test Mode	This value indicates that I3C Devices shall return a random 32-bit value in the Provisional ID during the Dynamic Address Assignment procedure
0x02 – 0xFF	MIPI Reserved	Reserved for future use by the MIPI Alliance

4. 1. 9. 3. 9 Enter HDR Mode 0–7(ENTHDR0–ENTHDR7)

Table 33 Enter HDR Mode CCCs (ENTHDRx)

CCC	Enter HDR Mode	Mode Name	See Section
ENTHDR0	HDR Mode 0	HDR-DDR	Section 5.2.2
ENTHDR1	HDR Mode 1	HDR-TSP	Section 5.2.3
ENTHDR2	HDR Mode 2	HDR-TSL	Section 5.2.3
ENTHDR3 to ENTHDR7	HDR Modes 3-7	Reserved for future definition by MIPI Alliance	

4. 1. 9. 3. 10 Set Dynamic Address from Staic Address(SETDASA)

Table 34 SETDASA Format 1: Primary

S	7'h7E /W /ACK	SETDASA CCC /T	Sr	Slave Addr /W /ACK	7-bit Dynamic Address / 0 /T	Sr	7'h7E
						P	

该 CCC 命令允许第一主机利用从设备的静态地址给从设备分配一个动态地址。这个需要在 ENTDA 动态地址分配程序之前做。

注意：

SETDASA 命令代码很不寻常，因为它通过 I2C 静态地址而不是动态地址来寻址所需的 I3C 设备。因此，此 CCC 只能发送到具有 I2C 静态地址的从器件。

新分配的地址在表 34 所示的动态地址字节中传输，其中 7 个最高有效位(bit[7: 1])包含 7 位动态地址，最低有效位 bit[0]是填充值 1'b0。

4. 1. 9. 3. 11 Set New Dynamic Address (SETNWDA)

Table 36 SETNEWDA Format

S	7'h7E /W/ACK	SETNEWDA CCC /T	Sr	Slave Addr /W/ACK	7-bit Dynamic Address / 0 /T	Sr	7'h7E
						P	

该 Direct CCC 允许主机给一个从机重新分配一个动态地址，这个动态地址高 7 位包含 7bit 动态地址，最低位填充 0 值。

4. 1. 9. 3. 12 Get Provisional ID(GETPID)

Table 37 GETPID Format

S	7'h7E /W/ACK	GETPID CCC /T	Sr	Slave Addr /R/ACK	GETPID Byte 5 /T	GETPID Byte 4 /T	GETPID Byte 3 /T	GETPID Byte 2 /T	GETPID Byte 1 /T	GETPID Byte 0 /T	Sr	7'h7E
											P	

该 Direct CCC 命令是主机获得一个从机的 48bit Provisional ID，这 48bit 作为 6bytes 进行传输，先传输高字节。

4. 1. 9. 3. 13 Get Bus Characteristics Regster(GETBCR)

Table 38 GETBCR Format

S	7'h7E /W/ACK	GETBCR CCC /T	Sr	Slave Addr /R/ACK	GETBCR Byte /T	Sr	7'h7E
						P	

4. 1. 9. 3. 14 Get Device Characteristics Register(GETDCR)

Table 39 GETDCR Format

S	7'h7E /W/ACK	GETDCR CCC /T	Sr	Slave Addr /R/ACK	GETDCR Byte /T	Sr	7'h7E
						P	

### 4. 1. 9. 3. 15 Get Device Status (GETSTATUS)

Table 40 GETSTATUS Format

S	7'h7E /W /ACK	GETSTATUS CCC /T	Sr	Slave Addr /R /ACK	GETSTATUS MSb /T	GETSTATUS LSb /T	Sr	7'h7E
								P

Table 41 GETSTATUS MSb-LSb Format

Bits	Field	Description
15:8	Vendor Reserved	Reserved for vendor-specific meaning.
7:6	Activity Mode	Contains the two-bit ID of the Slave Device's current Activity Mode (readiness to support data read of sensor or related information).
5	Protocol Error	If set to 1'b1, then the Slave detected a protocol error since the last Status read. The Slave might or might not be able to check for such errors. Note that this value self-clears upon every successful completion of a Master read of the Slave's Status.
4	Reserved	Reserved for future definition by the MIPI Sensor WG.
3:0	Pending Interrupt	Contains the interrupt number of any pending interrupt, or 0 if no interrupts are pending. This encoding allows for up to 15 numbered interrupts. If more than one interrupt is set, then the highest priority interrupt shall be returned.

### 4. 1. 10 SDR 错误检测和恢复方法

#### 4. 1. 10. 1 Error Type S0

如果错误发生在广播地址/W 或动态地址/RW 传输期间，则从设备将无法区分传输是 CCC 传输还是专用 RnW 传输。例如，在 ENTHDR CCC 传输的情况下，从设备无法知道 I3C 总线已更改为 HDR 模式。如果没有检测到并处理这种情况，可能会发生潜在的致命情况，因为如图 35 所示，Slave 可能会因看到许多 START 和 STOP 而感到困惑，并且可能会尝试解释 HDR 传输，就好像 I3C 总线仍在 SDR 中一样模式。

为了避免这种情况，Master 不应使用任何可能的错误情况地址：7'h7F, 7'h7C, 7'h7A, 7'h76, 7'h6E, 7'h5E 和 7'h3E。除了在动态地址仲裁程序期间，从设备应考虑接收任何这些受限的地址或接收 7'h7E/R 作为错误，然后忽略信号的其余部分，直到检测到 HDR EXIT 模式。

### 4. 2 HDR Mode

本节规定了三种定义的 I3C 高数据速率（HDR）模式的通信协议。这些 HDR 模式旨在以相同的总线频率传输更多数据。

- HDR 三进制纯总线模式---HDR-TSP
- HDR 三进制包含传统 I2C 器件的总线模式---HDR-TSL
- HDR 双倍数据速率模式---HDR-DDR

每种 HDR 模式都与所有其他 HDR 模式分开：

- I3C Slaves 可以选择支持任何所需的 HDR 模式组合，包括无 HDR 模式。如果 I3C

总线进入 I3C 从机不支持的 HDR 模式，则该从机可以等待 HDR 退出模式。

- **I3C Masters** 可以选择支持任何所需的 HDR 模式组合，包括无 HDR 模式。但是，通常鼓励制造商支持所有 HDR 模式。

HDR 模式具有总线带宽的效果。也就是说，整个 I3C 总线可以进入给定的 HDR 模式，一旦进入，HDR 模式将保持有效直到该事务结束。

I3C 总线上的 HDR 模式时段包括五个步骤：

- 主机广播 **ENTHDR1-ENTHDR8 CCC**，指示**所有从机总线将要进入特定 HDR 模式**。
- I3C 总线切换到请求的 HDR 模式。
- 主机发出 HDR 命令，然后是主机或从机发送的 HDR 数据。
- 主机发送 HDR 重启模式或 HDR 退出模式。  
如果是 HDR 重新启动模式，则发送新的 HDR 命令。
- I3C STOP，以 Bus Free Condition 结束。

## 4.2.1 HDR Exit Pattern and HDR Restart Pattern

一旦进入一种 HDR 模式后，HDR 退出模式将用于离开，始终退回 SDR 模式。相同的 HDR 退出模式可用于退出所有 HDR 协议；HDR 退出模式不会出现在任何 HDR 协议的正常数据或命令流中。**无论从设备是否在任何支持的 HDR 模式中，所有 I3C 从设备都将检测并响应 HDR 退出模式。**

HDR 重启模式也可作为 HDR 退出模式的替代方案。**HDR 重新启动模式允许在 HDR 模式下发送多个消息，而不会强制中断退出到 SDR 模式。**即：当 I3C 总线处于给定的 HDR 模式时，HDR 命令可以发送到从设备或从从设备发送，然后 HDR 重启模式可用于立即向从设备发送另一个 HDR 命令（或不同的 Slave），无需在 HDR 命令之间退出当前的 HDR 模式。在从设备支持的任何 HDR 模式下操作时，所有 I3C 从设备都应检测并响应 HDR 重启模式。请注意，**与 HDR 退出模式不同，HDR 重启模式仅由支持当前 HDR 模式的 I3C 从设备检测到。**

### 4.2.1.1 HDR Exit Pattern

HDR 退出模式定义如下：

- SDA 开始为高电平，SCL 开始为低电平
- SDA 下降（从高到低）4 次，而 SCL 保持低（整个时间）
- 每个 SDA 转换间隔至少为 tDIG\_H 的时间间隔（参见第 5.2 节）
- 在 HDR 退出模式结束时，首先 SCL 上升然后 SDA 上升。这是正常的 I3C STOP。

图 36 示出了上图中的 HDR 退出模式（具有将 SCL 和 SDA 设置为正确状态的边缘），以及在下图中具有附加的 I3C STOP 的 HDR 退出模式（当 SDA 上升时 SCL 为高）。



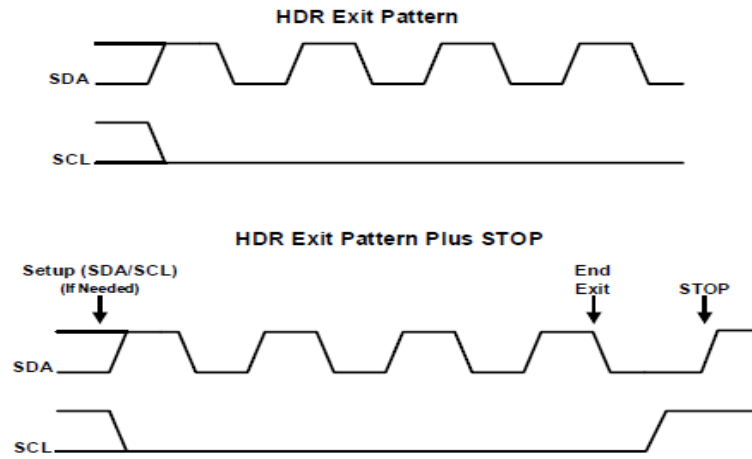


Figure 36 HDR Exit Pattern and Exit Plus STOP

#### 4.2.1.2 HDR Restart Pattern

HDR 重新启动模式是基于 HDR 退出模式的子集。它定义如下：

- SDA 开始高电平，SCL 开始低电平(与 HDR 退出模式相同)
- SDA 切换 4 次(下降,上升,下降,上升),而 SCL 保持低电平(整个时间)
- 下一个边沿是 SCL 上升。随着 SCL 上升, SDA 可能会发生变化,但 SCL 会上升。

图 37 示出了 HDR 重启模式(具有将 SCL 和 SDA 设置为正确状态的边沿)以及必要的 SCL 结束边沿。“2” 标签代表 HDR 三进制编码。

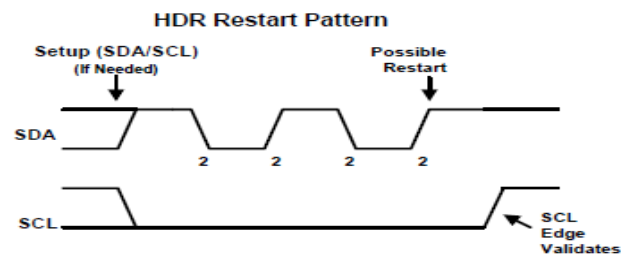


Figure 37 HDR Restart with Next Edge

#### 4.2.1.3 HDR Exit Pattern Detector

所有 I3C 从设备都应包括 HDR 退出模式检测器。只有在进入 HDR 模式后才能启用 HDR 退出模式检测器，并且在检测到 HDR 退出模式后应禁用 HDR 退出模式检测器。HDR 退出模式检测器可以用数字逻辑实现，也可以用软件实现(bit bitged)。

#### 4.2.2 HDR-DDR Mode

与 SDR 模式一样，HDR-DDR 模式使用 SCL 作为时钟;然而，与 SDR 不同，数据和命令会在两个 SCL 边沿（高电平和低电平时）改变 SDA(采样)，从而有效地使数据速率加倍。相反，在 SDR 模式下，SDA 仅在 SCL 为低电平时改变。由于 SDR 模式时将 SDA 在 SCL

保持高电平时电平改变定义为 SDA 的 **START 或 STOP**, 因此 HDR-DDR 模式被归类为 HDR 模式以防止混淆。

HDR-DDR 按**字**移动数据。**字**通常包含 **16 个有效负载位**, 作为字节流中的两个字节, 以及**两个奇偶校验位**。定义了**四种 HDR-DDR 字类型**: **命令字, 用户数据, CRC 字和保留字**。

HDR-DDR 协议在**每个 18 位字之前具有 2 位前导码**, **每个字总共 20 位**。

**前导码:**

- ◆ 表示后面的数据类型: **命令, 数据或 CRC**
- ◆ 允许主机终止读取数据, 并决定从机是否响应读取。这是受控制的, 使得第一位置于高位, 而另一侧可以选择驱动低电平或保持高电平。

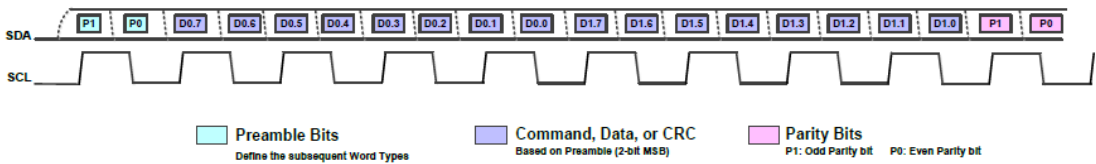


Figure 44 HDR-DDR Format

前导码位解释取决于上下文, 如表 61 所示。上下文控制主机和从机的角色, 这样对于数据, 从机或主机在另一个 I3C 设备具有驻留高电平后驱动第二个前导码位。请注意, 不要使用前导码值 b00, 并保留供将来使用。

Table 61 HDR-DDR Preamble Values

Context	Preamble Value and Interpretation			
	2'b00	2'b01	2'b10	2'b11
After EnterHDR	Reserved for Future Use	Command Word follows	-	-
After Read CMD		-	Slave ACK, Data follows	Slave NACK, Aborted
After Read DATA		CRC Word follows	Master Aborts, Slave yields. Master drives second 0.	Data follows. Master does not drive second bit.
After Write CMD		-	Data follows	-
After Write DATA		CRC Word follows	-	Data follows

HDR-DDR Mode 4 类数据定义:

- **Command Word:** **命令字**之前的前导码的值应为 **2'b01**。命令字的长度应为 18 位 (2Bytes 命令字和 2 个奇偶校验位), HDR-DDR 模式命令代码分别允许最多 128 个写或读命令
- **Data Word:** **数据字**之前的前导码应包含值 **2'b01, 2'b10 或 2'b11**。普通数据字的长度应为 18 位 (2Bytes 数据字, 2 个奇偶校验位)。
- **CRC Word:** **CRC 字**之前的前导码的值应为 **2'b01**。CRC 字的长度应为 **11** 个时钟位 (**4 位 4'hC 令牌, 5 位 CRC5 值, 1 位设置位**, 为后续 HDR 退出或 HDR 复位准备总线, 以及 **1 个时钟由从器件设置为 High-Z**)。CRC 字的高半字节 (前导码后的前 4 位) 的值应为 4'hC。CRC5 算法在第 4.2.2.5 节中规定。**CRC 字没有奇偶校验**。在传输 CRC 字之后, I3C 设备应设置 SCL 和 SDA 以允许 HDR 重启模式或 HDR 退出模式。
- **Reserved Word:** **保留字**之前的前导码值应为 **2'b01**。保留字的长度应为 18 位 (2Bytes 保留字和 2 个奇偶校验位)。保留字的高半字节 (前导码后的前 4 位) 的值应为 **4'hD, 4'hE 或 4'hF**。I3C 设备应将接收到的保留字视为错误, 并且不会使用所有收到的保留字。

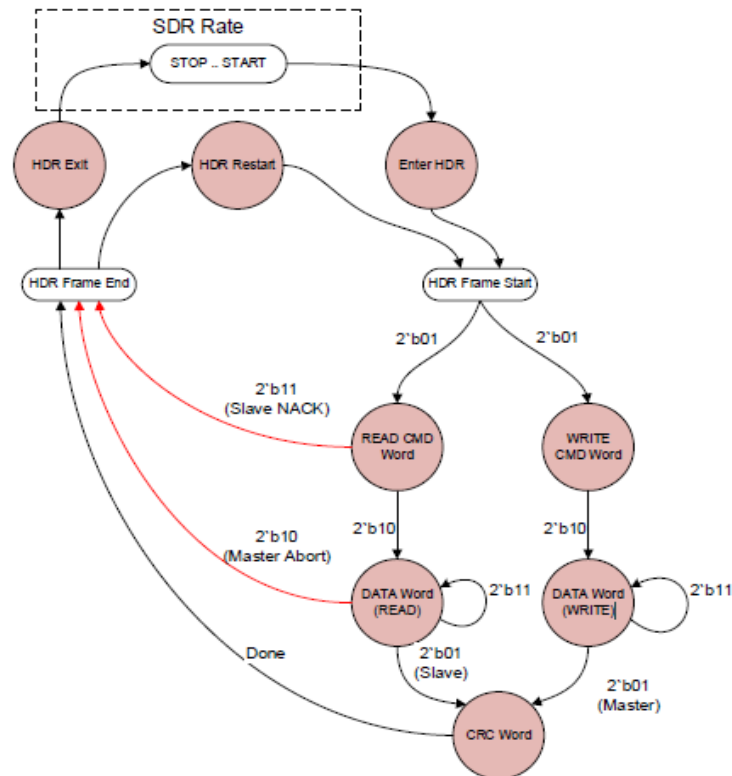


Figure 45 DDR Preamble Bits State Diagram

#### 4.2.2.1 HDR-DDR 综述

HDR-DDR 协议使用与 SDR 相同的信令，但在每个 SCL 边沿之后 SDA 发生变化。

- HDR-DDR 读取请求应由来自主设备的命令字，来自从设备的一个或多个数据字，来自从设备的一个 CRC 字组成。
- HDR-DDR 写请求应由命令字，零个或多个数据字，一个 CRC 组成，全部来自主设备。
- **NACKed HDR-DDR 读取请求** 应由一个命令字，从设备在前导位的第二个位驱动 SDA 为高电平，然后是第一个数据字。

每个命令字和数据字的长度为 20 位(20 个时钟边沿)，包括两位前导码。在 10MHz 时，原始比特率为 20Mbps;在 12.5 MHz 时，原始比特率为 25 Mbps。因为每个字包含两个前导码位和两个奇偶校验位，所以实际数据速率(仅考虑每个字 16 个有效载荷位中的两个字节)是原始速率乘以 16/20，或 10MHz 时为 16Mbps(12.5 MHz 时为 20Mbps)，这是衡量 16 位数据速率的指标。

HDR-DDR 命令字指示数据移动的方向，写入（主机到从机）或读取（从机到主机）。在命令字之后，主机或从机发送零个或多个数据字（除非 NACK）直到完成，然后是 CRC 字（除非 NACKed）。最后，Master 发出 HDR 重启模式或 HDR 退出模式命令。根据第 4.2.2.3.2 节，Master 也可以提前终止 Read，但这不是 Read 的正常结束，应该谨慎使用。

在 HDR-DDR 模式下，与 SDR 模式一样，只有 I3C 总线主控器会驱动 SCL 线。对于命令，SDA 线由 Master 驱动。对于 Data，SDA 线由 Slave 或 Master 驱动，具体取决于 Command

方向。表 62 中说明了 HDR-DDR 命令字，数据字和保留字使用的通用格式。

Table 62 HDR-DDR Word Format: Command, Data, Reserved

Preamble	Payload	Parity (not the CRC)	
2 bits	16 bits	1 bit	1 bit
2'b00: Not used 2'b01: Command or CRC 2'b10, 2'b11: Data or Abort	Command Code or Data Values	XOR of Odd index Payload bits	XOR of 1 and Even index Payload bits

- P1 = Parity of the odd index Payload bits:  
 $D[15] \wedge D[13] \wedge D[11] \wedge D[9] \wedge D[7] \wedge D[5] \wedge D[3] \wedge D[1]$
- P0 = Parity of the even index Payload bits and 1:  
 $D[14] \wedge D[12] \wedge D[10] \wedge D[8] \wedge D[6] \wedge D[4] \wedge D[2] \wedge D[0] \wedge 1$

Table 63 HDR-DDR Word Formats

Word Type	Preamble	Payload	Parity		Notes
	2 bits	16 bits	1b	1b	
Command	2'b01	15:8 Command Code (8 bits)	P1	P0	Command may follow only EnterHDR or HDR Restart. Command Codes: Write: 8'h00 to 8'h7F Read: 8'h80 to 8'hFF
		7:1 Slave Address (7 bits)			
		0 Reserved (1 bit)			
Data	2'b10 2'b11	15:8 First Data Byte (8 bits)	P1	P0	0 or more Data words may follow Command. Only CRC may follow Data.
		7:0 Second Data Byte (8 bits)			
CRC	2'b01	15:12 4'hC (token value) (4 bits)	Not Used		CRC value ends at bit 6, but bit 5 allows High-Z, then HDR Restart or HDR Exit begins with no clocks. Parity is not used. Setup bit puts SDA High in preparation for HDR Exit/Restart
		11:7 CRC5 value (5 bits)			
		6:5 (2 bits) Setup bits to prepare for HDR Restart or HDR Exit. Slave parks SDA High.			
		4:0 Reserved (5 bits), No clocks			
Reserved	2'b01	15:12 4'hD to 4'hF (4 bits)	P1	P0	Reserved for future use
		11:0 Reserved (12 bits)			
-	2'b00	Do not use Preamble value 2'b00			

HDR-DDR 模式需要以一种标准方式进入。发送 ENTER HDR CCC 命令及其第 9 位(T-bit)后，HDR 模式以 SCL 下降沿作为开始。第一个 HDR-DDR 位在下一个 SCL 上升沿开始，也就是说，当 SCL 为低电平时，主器件驱动 SDA，而从器件在 SCL 上升沿对 SDA 进行采样。这允许进入 HDR-DDR 模式，如图 46 所示。

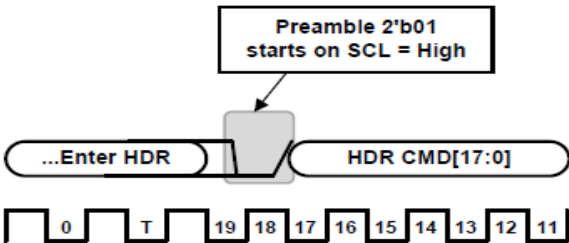


Figure 46 Unused Bit Before Preamble of First HDR-DDR Command

一旦进入 HDR-DDR 模式，主机发出命令字，然后发出零个或多个数据字。在 HDR-DDR 模式下，命令字只能由 Master 发出。数据字可以由主设备或从设备发出，具体取决于特定的命令(写入或读取)。

图 47 显示了具有两个 HDR 命令及其相关数据的典型 HDR-DDR 模式帧：

- I3C START
- I3C CCC 进入 HDR-DDR 模式
- 进入 HDR-DDR 模式后，有一个 HDR-DDR Command Word，后跟一个 HDR-DDR Data Word，然后是 HDR-DDR CRC Word
- 然后是 HDR 重启模式
- 然后是另一个 HDR-DDR 命令字，HDR-DDR 数据字和 HDR-DDR CRC 字
- 最后通过 HDR 退出模式结束 HDR 模式
- 然后是 I3C STOP

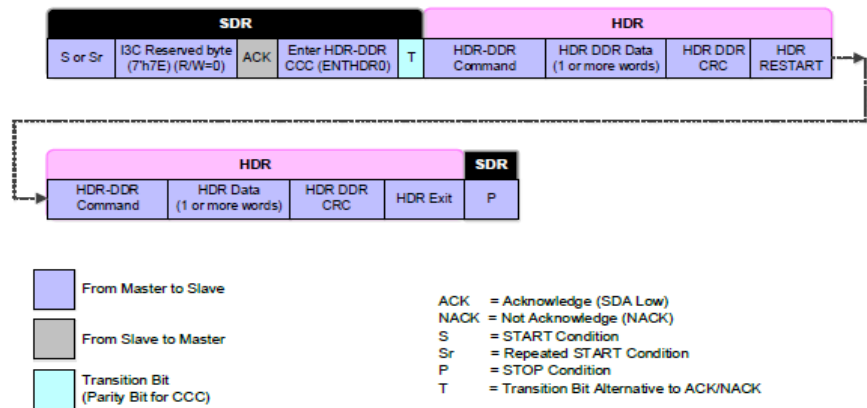


Figure 47 Typical HDR-DDR Mode Frame

#### 4.2.2.2 HDR-DDR Command Code

在 HDR-DDR 模式下，命令字总是跟随初始的 Enter HDR CCC 命令以及任何 HDR ReStart 之后。此命令字使用普通的 18 位模型。表 64 说明了 HDR-DDR 模式的命令字格式。

Table 64 HDR-DDR Command Word Format

Bits	Field	Size (bits)	Notes
15	Read/Write	1	1=Read (Slave to Master) 0=Write (Master to Slave)
14:8	Command Code	7	128 possible Write commands 128 possible Read commands
7:1	Slave Address	7	Same Dynamic Address as used in I3C SDR Protocol
0	Write Reserved Read Parity Adjustment	1	For Read, ensures that P0 contains 1, which allows for easier handoff <sup>1</sup>
<b>Note:</b> 1) Because P0 is the XOR of the even index Payload bits and 1, it is equal to: XOR_outer( 1, this bit, XOR_inner( 2, 4, 6, 8, 10, 12, 14 ) ) As a result, this bit should be set to the result of XOR_inner().			

关于位 15: 8，表 65 中示出了用于 HDR-DDR 模式中的读命令和写命令的可能命令代码空间。

Table 65 Read and Write Command Spaces for HDR-DDR Mode

Command Codes	Command Functions	
0x00 – 0x7F	Write Commands (128 possible)	0x00 – 0x1F: Reserved for I3C Definition – 32 Commands
		0x20 – 0x7F: Reserved for Vendor Definition – 96 Commands
0x80 – 0xFF	Read Commands (128 possible)	0x80 – 0x9F: Reserved for I3C Definition – 32 Commands
		0xA0 – 0xFF: Reserved for Vendor Definition – 96 Commands

启动 HDR-DDR 命令代码的信号图如图 48 和图 49 所示。图 48 显示了 **ENTHDR0** 之后的 HDR-DDR 命令代码，图 49 显示了 **HDR 重复启动模式**后的 HDR-DDR 命令代码。

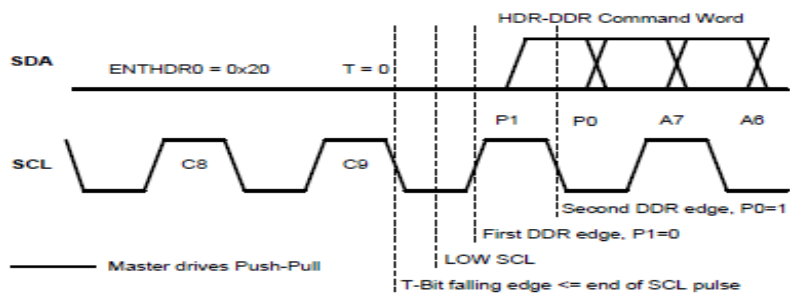
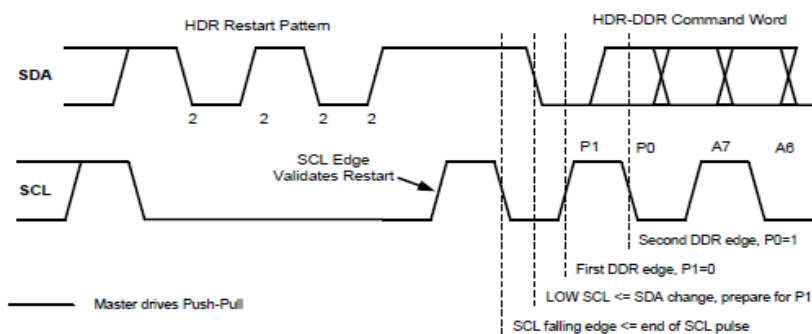


Figure 48 HDR-DDR Command Code After ENTHDR0

如图 48 所示:

- 首先，SCL 时钟脉冲以其下降沿作为一个时钟脉冲的结束(对于从器件的逻辑设计是必需的)。
- 然后在随后的 SCL 为低电平时，主器件根据需要设置 SDA 电平（即将 SDA 置为高电平或低电平）位置，使用推挽输出定时控制，以便从器件能够在第一个 SCL 上升沿进行采样读取。



**Figure 49 HDR-DDR Command Code After HDR Repeated Start Pattern**

如图 49 所示:

- 在用于验证 HDR 重复启动模式的 SCL 上升沿之后，提供 SCL 下降沿。生成一个 SCL 时钟脉冲，与 T-Bit 的 SCL 时钟脉冲相同(见图 48)。
- 忽略 SDA 上的任何电平变化，直到随后的 SCL 时钟上升沿(标记为“第一个 DDR 边沿”)。
- 在 HDR 重复启动模式后的 SCL 为低电平时，主器件根据需要推挽时序设置 SDA 电平(即将 SDA 设置为高电平或低电平)位置，以便从器件能够在第一个 SCL 上升沿进行采样读取。
- 后面的波形与图 48 中的相同段相同。

#### 4.2.2.3 HDR-DDR 总线转换

HDR-DDR 模式在主机和从机之间有三个总线周转点:

- 在主机发送完读命令后，从机应驱动 SDA 指示从机将计划返回数据
- 从机返回最后一个读数据后，主机将再次驱动 SDA
- 在从机返回数据字之前有一个可选的总线周转时间，这个时间段允许主机提前终止读取



### 4.2.2.3.1 Command to Read Data from Slave

在 HDR-DDR 模式，主机发送读命令字，从机返回一个或者多个数据字，或者忽略这条读命令字作为响应。如果主机发送的命令要求从机返回一个或多个数据字，那么 I3C 总线将在数据字之前的前导码 2b'01 发生转换。

为避免出现问题，HDR-DDR 模式允许主机检测从机不存在或没有响应。为此，主机在读命令的最后一位将 SDA 线保持为高电平，读命令的最后一位成为奇偶校验调整位。这可以通过奇偶校验调整位来确保奇偶校验位(P0 命令字的最后一位)的值为 1(高电平)，主机在前导码的第一位(SCL 为低电平时)将 SDA 线置为高电平，由于弱上拉电阻而保持高电平(开漏输出)。

- 如果在前导码的第二位 SCL 高电平时段结束时 SDA 线不为低电平，则主机应假定从机没有响应，并驱动 HDR 重启模式或 HDR 退出模式。
- 如果从机将 SDA 线驱动为低(0)作为所需前导码的第二位，指示数据，然后从机传输经过 CRC 计算的数据字。

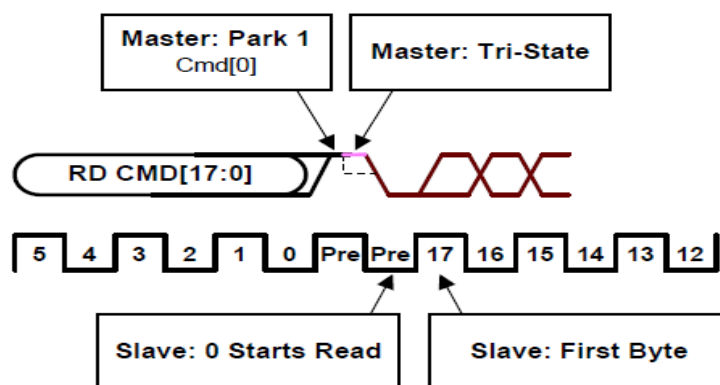


Figure 50 Start of HDR-DDR

### 4.2.2.3.2 End of a Read Command Message

与命令关联的数据字的数量在很多情况下是主机和从机之间的约定;也就是说，它取决于特定的命令代码。但是，HDR-DDR 协议支持(读取)从机返回可变长度的数据，(写入)主机传输可变长度数据。另外，主机可以终止 Read。

对于写入(主机到从机)，从机应知道在检测到 CRC 字后跟 HDR 重启模式或 HDR 退出模式时完成数据传输。

对于读取(从机到主机)，从机应在数据传输结束时发出 CRC 字，然后在 CRC 5 位值后的第一位将 SDA 线置为高电平，然后将 SDA 置为三态线。主机应该看到 CRC 字，然后期望看到 1(停放)。然后，主设备应确保 SCL 线为低电平，然后在从设备具有高电平 SDA 线后发送 HDR 重启模式或 HDR 退出模式。

### 4.2.2.3.3 Master Termination of a Read Command Message

对于 HDR-DDR 模式，正常模型是从机返回 CRC 字结束读取，然后将 I3C 总线控制交



给主机。HDR-DDR 模式还允许主机在必要时提前终止读取（例如，如果意外需要重新获得总线）。使用从机在每个数据字之前发送的两个前导码位完成提前终止。根据表 63，在数据字之间发送的前导码，在 SCL 线为高电平时，以 SDA 线高电平为开始。然后，当 SCL 线变为低电平时，从机将 SDA 线设置为 High-Z。

为了使数据字传输能够正常继续，Master 无需执行任何操作，如图 51 所示。

为了终止数据字，主机保持 SCL 高电平周期并将 SDA 线驱动为低电平，如图 52 所示。当从机看到 SDA 线为低电平时，它将释放 SDA 控制权并认为读操作已终止。然后，主机应发出 HDR 重启模式或 HDR 退出模式。

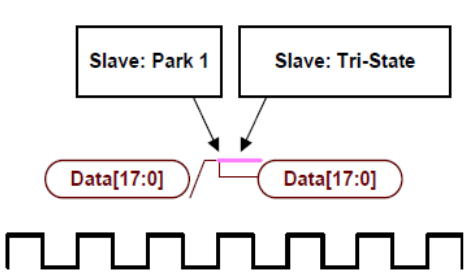


Figure 51 Master Allows Normal Read

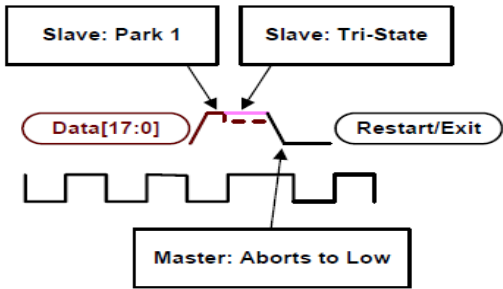


Figure 52 Master Terminates Read

### 4.3 HDR-TSP and HDR-TSL

I3C 定义了两使用三进制编码的 HDR 模式：

- HDR-TSP：纯总线的三进制模式（无 I2C 器件）
- HDR-TSL：包含传统 I2C 器件的三进制编码模式

这些 HDR 三进制编码模式需要以标准方式进入，紧接着是命令，然后是零个或多个数据字。在 HDR 三进制编码模式中，命令只能由主机发出。数据字可以由 Master 或 Slave 发出，具体取决于特定的命令（写入或读取）。

图 53 显示了具有两个 HDR 命令及其相关数据的典型 HDR 三进制编码模式帧：

- I3C START
- I3C CCC 进入 HDR 三进制编码模式
- 进入 HDR 三进制编码模式后，有一个 HDR 命令后跟 HDR 数据
- 然后是 HDR 重启模式
- 然后是另一个 HDR 命令和 HDR 数据
- 最后通过 HDR 退出模式结束 HDR 模式
- 然后是 I3C STOP

I3C			Msg1			Msg2			I3C
START	Brdcst	EnterHDRx	HDR Cmd	HDR Data	HDR Restart Pattern	HDR Cmd	HDR Data	HDR Exit Pattern	STOP

Figure 53 Typical HDR Ternary Mode Frame

## 4.3.1 HDR 三进制信令和编码协议

HDR-TSP 和 HDR-TSL 模式使用不同信令和编码协议，依赖于“三元”态转换模型在双线上实现更高的信息密度。

### 4.3.1.1 HDR 三进制信令

HDR 模式 HDR-TSP 和 HDR-TSL 在两条线路上使用三进制信令。三进制信令可以每次事件有效地传输 1.5 个数据比特，比非三进制 I3C 信令多 50%。

HDR-TSP 和 HDR-TSL 模式，将 SCL、SDA 两条线用作数据可以实现更高的有效数据速率。相比之下，I3C 中的 I2C 和非三进制模式将 SCL 线仅用作时钟，而 SDA 线仅用作数据。在三进制信令中，只要任一条线（或两条线同时）发生电平变化，时钟信号就是隐含的。

“三元”这个名称来自这样一个事实：在每一条线状态变化时，有三种可能的线转换状态，然后将每种可能转变的状态用作三元的系数。

三种可能的线转换是：

- 只有 SCL 线路发生变化
- 只有 SDA 线路发生变化
- SCL 和 SDA 都发生了变化

每个这样的转换被捕获为一个三进制符号，这个三进制符号值可能为：0，1，2。我们使用术语“符号”而不是“数据”，因为给定符号表示的编码数据会根据先前的符号而变化。

HDR-TSP 和 HDR-TSL 两种模式允许不同的从机类型出现在 I3C 总线上：

- 当 I3C 总线上**仅存在 I3C 从机**时，使用 HDR-TSP。因此，总线上的所有从机都应保证有 HDR 退出模式检测器，尽管并非所有从机都必须支持 HDR-TSP 模式。
- 当 I3C 总线上**存在至少一个传统 I2C 从机以及 I3C 从机**时，使用 HDR-TSL 模式。**用于 HDR-TSL 模式的合格传统 I2C 从机应具有真正的 50ns 尖峰滤波器，以及能够忽略 SCL 上小于 50ns 高电平信号。**如果 I3C 总线上有不符合这些标准的传统 I2C 从机，那么该 I3C 总线将无法在 HDR-TSL 模式下成功运行。

HDR-TSP 模式和 HDR-TSL 模式的工作方式类似，但有两点不同之处：

- HDR-TSL 的工作速度应高于 10MHz。正常速度为 12MHz 或 12.5MHz，因此边缘相距约 40ns。
- 在 HDR-TSL SCL 期间，不允许保持高于~40ns 的高电平。因此，具有真正 50ns 滤波器的传统 I2C 从机仅将 SCL 视为低电平。

### 4.3.1.1 HDR 三进制编码协议

HDR 三元模式使用三进制编码协议。三进制编码协议一次处理**两个字节（以 16 位打包）**，添加**两个奇偶校验位**，并将得到的**18 位二进制数据**编码为一组**十二个三进制符号**。每个符号作为 SCL 线的电平转换，SDA 线的电平转换或两条线上的同时电平转换进行传输。此方法使用两条线作为数据，而不是一条时钟线和一条数据线。

在接收器端，SCL，SDA 或两者上的**每个电平变化都被转换为一个三进制符号**。这些符号被分组，然后**解码为 18 位二进制数**；在奇偶校验之后，原始的 16 个数据位已被恢复并

可用作原始的两个数据字节。

对于 HDR-TSP 模式，每个数据字(16 个数据位加上两个奇偶校验位)作为 12 个三进制符号运行在 I3C 总线上传输，使用两条线路进行数据传输。图 54 显示了这些 12-Symbol 运行的 I3C 总线传输。

对于 HDR-TSL 模式，波形是相同的，除了符号数和帧持续时间都增加。

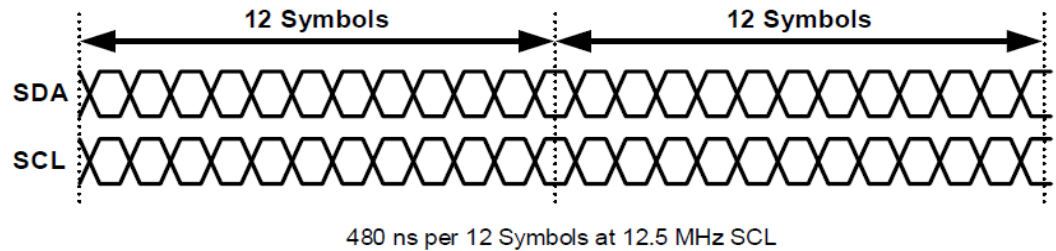


Figure 54 Twelve Symbols Per Data Word

每个 12 符号运行被视为六个符号对，首先使用最重要的符号对进行传输。在每个符号对中，首先发送最重要的符号。两个数据字节按以下顺序传输：

- 第一个数据字节，从 MSb 开始，一直向下到 LSb
- 第二个数据字节，从 MSb 开始，然后向下进入 LSb
- 两个奇偶校验位，P1 和 P0。

16 个数据位的编码分为七个阶段：

1、计算 16 个数据位(两个字节)中的两个奇偶校验位，如表 66 所示：

P1 应包含所有奇数索引数据位的 XOR

P0 应包含所有偶数索引数据位的 XOR

Table 66 Parity Bits

Parity Bit	Works with Data Bits	Notes
P1	15, 13, 11, 9, 7, 5, 3, 1	P1 bit is XOR of all the odd index data bits
P0	14, 12, 10, 8, 6, 4, 2, 0	P0 bit is XOR of all the even index data bits

2、16 位数据的 LSb 侧附加两个奇偶校验位来形成 18 位字符串。

3、将 18 位字符串解析为 6 个三元组。

4、确定每个三元组的符号对。使用表 67 或以下公式：

$$B2 * 2^2 + B1 * 2^1 + B0 * 2^0 = T1 * 3^1 + T0 * 3^0$$

- B2, B1 和 B0 分别是三元组的高，中，低位的值(0 或 1)
- T1 和 T0 分别是结果符号对中第一个和第二个符号的值(0,1 或 2)

Table 67 Converting 3-bit Binary Triplet Value to Ternary Symbol Pair

Binary Triplet Value				Equivalent Symbol Pair		
B2	B1	B0	Decimal	First Symbol (T1)	Second Symbol (T0)	Symbol Pair
0	0	0	0	0	0	0,0
0	0	1	1	0	1	0,1
0	1	0	2	0	2	0,2
0	1	1	3	1	0	1,0
1	0	0	4	1	1	1,1
1	0	1	5	1	2	1,2
1	1	0	6	2	0	2,0
1	1	1	7	2	1	2,1
(not applicable)			Special: 8 is an error	2	2	2,2

### 符号对编码示例

- 方法 1: 使用表 67
  - 要编码的三元组: 3'b 101 或十进制数 5
  - 产生的符号对: 2T 12, 即 T1 = 1 且 T0 = 2

- 方法 2: 使用公式

- 从公式开始:

$$B2 * 2^2 + B1 * 2^1 + B0 * 2^0 = T1 * 3^1 + T0 * 3^0$$

替换 B2, B1 和 B0 的三元态位值, 并确定等式的值:

$$1 * 2^2 + 0 * 2^1 + 1 * 2^0 = ?$$

$$1 * 4 + 0 * 2 + 1 * 1 = ?$$

$$4 + 0 + 1 = 5$$

- 确定符号对中 **T1** 和 **T0** 两个符号的必要值:

$$5 = T1 * 3^1 + T0 * 3^0$$

$$5 = T1 * 3 + T0 * 1$$

$$5 = 1 * 3 + 2 * 1$$

$$T1 = 1, T0 = 2$$

- 每个三进制符号的值用 2 位二进制表示。表 68 示出了在一段时间内必须改变哪一行或多行以便发送给定符号。一个符号值由两位二进制数组成, 高位的值由 SCL 线的电平变化表示, 低位的值由 SDA 线电平变化表示。如果符号值的高位(Bit1)为 0, 则 SCL 线必须改变电平。如果符号值的低位(Bit0)为 0, 则 SDA 线必须改变电平。图 55 显示了转换。

Table 68 Converting Ternary Symbol Value to SCL and SDA Level Changes

Ternary Symbol Value (Ternary Coefficient)		SCL and SDA Level Changes		
Ternary	Binary	SCL,SDA	SCL Change	SDA Change
1'T 0	2'b00	0,0	Yes	Yes
1'T 1	2'b01	0,1	Yes	No
1'T 2	2'b10	1,0	No	Yes
Note: The Symbol Value 2'b11 (which is equal to decimal 3) is not used, because that would indicate that neither SCL nor SDA changed level. In Ternary Signaling, at least one line must change level in order to clock the transmission.				

5、对于每个三进制符号, 使用以下公式确定在该时期期间 SCL 和 SDA 线的电平变化:

符号的 Bit1 = (SCL 电平) XNOR (上一个 SCL 电平)

符号的 Bit0 = (SDA 电平) XNOR (以前的 SDA 电平)

**注意：**XNOR 是逻辑独有 NOR 功能。如果当前状态和先前状态之间没有变化，则返回“TRUE”或“1”，否则返回“FALSE”或“0”。

#### 6、按正确的顺序连接每个三元组的结果。

对于 HDR-TSP, SCL 和 SDA 线路电平变化的结果串应直接应用于 SCL 和 SDA 线路。

#### 7、对于 HDR-TSL, 应采用附加编码步骤。

如果对 SCL 行的更改导致高状态, 并且紧接着的三进制符号值不是 1'T0(2'b00), 则编码器应插入值为 1'T1(2'b01) 的附加“虚拟”符号(即发送器应将 SCL 线拉低, 同时保持 SDA 线不变)。解码器应忽略这个“虚拟”符号。

图 55 是说明四种可能状态(SCL 和 SDA 上的高电平和低电平的组合)以及三个可能的三进制符号(0,1 和 2)的接收如何导致从一个状态到下一个状态的转换的状态图。

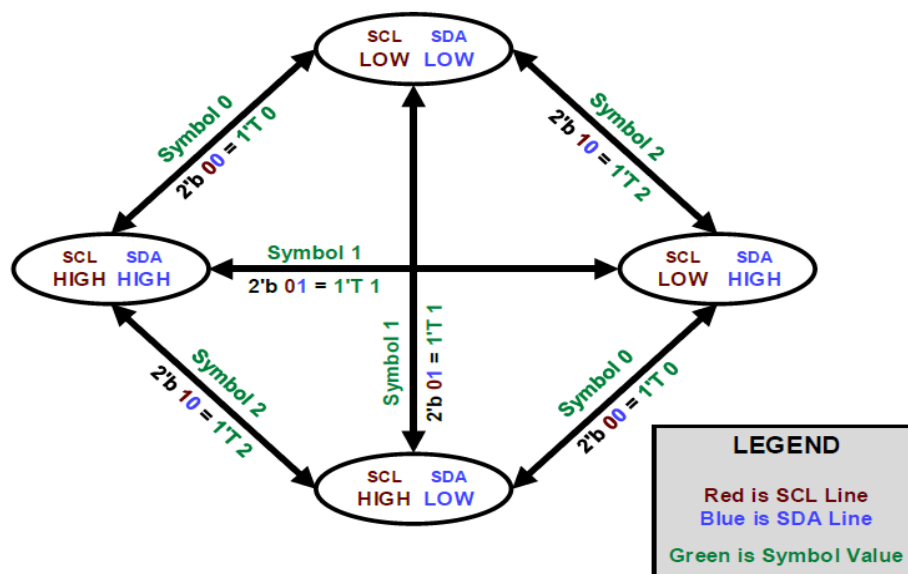


Figure 55 SCL and SDA State Transitions and Their Symbolic Coding

#### 16 位数据三进制编码示例

假设要编码的 16 位值是: 0x852B 或 16'b 1000 0101 0010 1011。

- 确定奇偶校验位 P1 和 P0 的值: 1'b0 和 1'b1
- 通过将 P1 和 P0 附加到 16 位数值形成一个 18 位字符串: 18'b 1000 0101 0010 1011 01
- 将 18 位视为 6 个三元组: 18'b 100 001 010 010 101 101
- 确定每个三元组的三进制符号对:
  - 3'b100→2'T11
  - 3'b001→2'T01
  - 3'b010→2'T02
  - 3'b010→2'T02
  - 3'b101→2'T12
  - 3'b101→2'T12
- 对六个三进制符号对进行分组, 我们有: 12'T 11 01 02 02 12 12

要传输的三进制符号以及要传输的 SCL 和 SDA 转换状态取决于正在使用的 HDR 三元模式(参见图 56):

对于 **HDR-TSP**, 将传输 12 个三进制符号。SCL 和 SDA 状态将是:

01 01 00 01 00 10 00 10 01 10 01 10

对于 **HDR-TSL**, 将传输 16 个三进制符号。SCL 和 SDA 状态将是:

01 01 01 00 01 00 10 00 01 10 01 01 10 01 01 10

仅对于 HDR-TSL, 才插入附加“虚拟”符号。

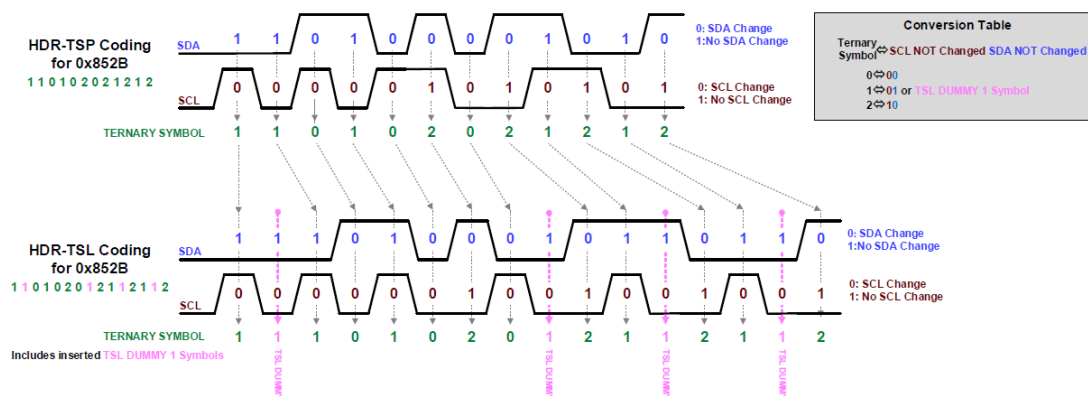


Figure 56 HDR-TSP and HDR-TSL Waveforms

## 三进制解码

在解码器端, 使用五步过程将接收到的三进制符号解码为 18 位字符串 (16 个数据位和两个奇偶校验位):

- 收到十二个三进制符号。按照编码过程的相反, 将每个接收到的三进制符号视为 2 位二进制符号。根据表 68, 根据 SCL 和 SDA 线路上的电平变化并恢复三进制符号:

- 符号的 Bit1 = (SCL 级) XNOR (上一级 SCL 级)
- 符号的 Bit0 = (SDA 电平) XNOR (上一个 SDA 电平)

此过程不同, 具体取决于使用的是哪种 HDR 三元模式:

- 对于 **HDR-TSP** 模式, 恢复 12 个三进制符号集 (6 个三进制符号对) 并全部使用它们。
- 对于 **HDR-TSL** 模式, 需要额外的解码步骤: 如果 SCL 线为低, 则丢弃每个 2'b01 符号。

解码器继续此过程, 直到恢复 12 个合法三进制符号 (6 个三进制符号对)。

- 相邻的三进制符号被视为三进制符号对, 总共六个三进制符号对。每个三进制符号对可以被视为两个三进制数 T1 和 T0。
- 使用表 67 或以下公式将每个三进制符号对的值转换为一个 3 位三元组 (即 2 个三进制符号转换为 3 个二进制符号):

$$T1 * 3^1 + T0 * 3^0 = B2 * 2^2 + B1 * 2^1 + B0 * 2^0$$

其中 T1 和 T0 是符号对中两个三进制数的值 (0, 1 或 2), B2, B1 和 B0 是得到的三元组中高、中、低位的值 (0 或 1)。

- 六个三元组连接成一个 18 位值。这包括原始的 16 位数据字节对和两个奇偶校验位 P0 和 P1。
- 验证两个奇偶校验位然后丢弃。此时, 原始字节对已恢复。

## 16 位数据的三进制解码示例

假设恢复的三进制符号是 12'T 110102021212

- 被视为三进制符号对，它们是：12'T 11 01 02 02 12 12
- 每个三进制符号对转换为二进制三元组：
  - 2'T11→3'b100
  - 2'T01→3'b001
  - 2'T02→3'b010
  - 2'T02→3'b010
  - 2'T12→3'b101
  - 2'T12→3'b101
- 将所有三元组连接成一个二进制数：18'b 100 001 010 010 101 101
- 被视为 16 位数加上两个尾随奇偶校验位，这是：18'b 1000 0101 0010 1011 01
- 丢弃奇偶校验位（在检查它们之后），完全解码的数据是 16'b 1000 0101 0010 1011，或 0x85 和 0x2B。

### 4.3.1 HDR 三进制命令编码

在 HDR 三进制模式中，命令字跟随初始 Enter HDR CCC 以及任何 HDR Restart 后面。此命令字使用普通的 18 位模型。

表 69 说明了 HDR 三进制模式的命令字格式。

Table 69 HDR Ternary Command Word Format

Bits	Field	Size (bits)	Notes
15	Read / Write	1	1=Read (Slave to Master) 0=Write (Master to Slave)
14:8	Command Code	7	128 possible Write Commands, 128 possible Read Commands
7:1	Slave Address	7	Same Dynamic Address as used in I3C SDR Protocol
0	Reserved	1	Reserved for future use

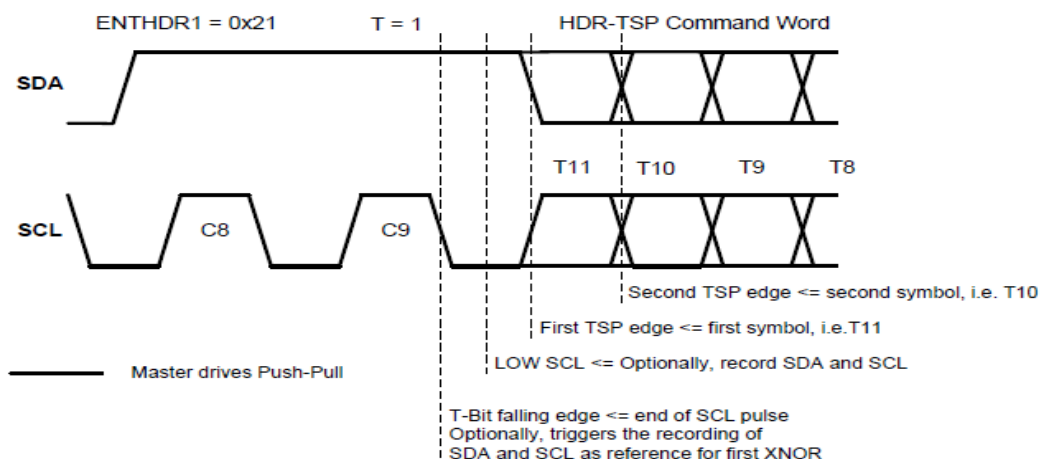
关于位 15: 8，表 70 中示出了用于 HDR 三进制模式中的读命令和写命令的可能命令代码空间。

Table 70 Read and Write Command Spaces for HDR Ternary Modes

Command Codes	Command Functions
0x00 – 0x7F	128 possible Write Commands
0x80 – 0xFF	128 possible Read Commands

图 57 是进入 HDR-TSP 模式后启动 HDR-TSP 命令代码的信号图。HDR-TSL 模式类似。





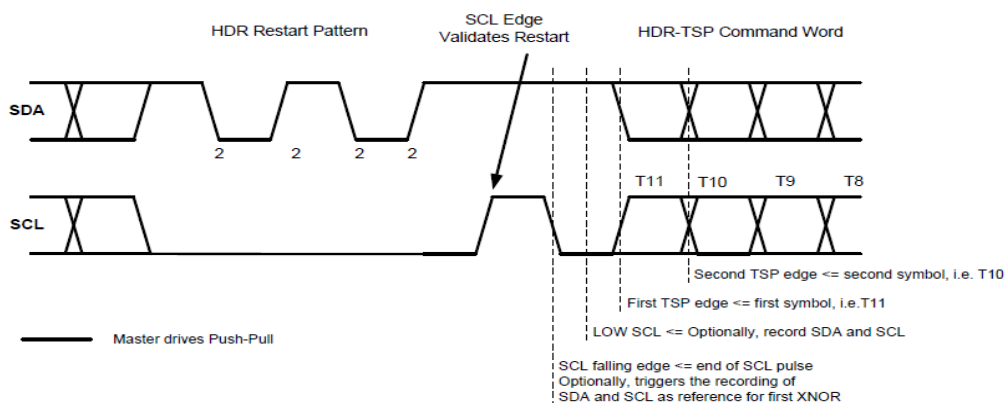
**Figure 57 HDR-TSP Command Code After ENTHDR1**

如图 57 所示：

- 1、只有在 SCL 脉冲下降沿（即半个时钟周期）之后经过一个符号持续时间后，才能进行第一次 SDA 或 SCL 变化。根据表 75，此时间  $t_{DIG\_L}$  必须至少为 32ns。
- 2、SDA，SCL 或两者的第一个电平变化表示第一个三进制符号，即 T11。
- 3、为了确定 T11 的值，从机计算当前和之前的 SDA 和 SCL 电平之间的 XNOR。从机可以通过两种方式获得所需的先前 SDA 和 SCL 电平。

- 保持水平（SDA = 1 和 SCL = 0），如 ENTHDR1 程序
- 当由 T-Bit SCL 脉冲的下降沿触发时，以与正常 HDR-TSP 模式相同的方式采样 SDA 和 SCL 的值，并将值存储作为第一个 XNOR 的参考值。

图 58 是在 HDR 重复启动模式之后启动 HDR-TSP 命令代码的信号图。HDR-TSL 模式类似。



**Figure 58 HDR-TSP Command Code After HDR Repeated Start Pattern**

如图 58 所示：

- 1、在 SCL 上升沿（验证 HDR 重复模式）之后，提供 SCL 下降沿。产生的 SCL 脉冲与 T-Bit 的 SCL 脉冲相同（见图 57）。
- 2、只有在 SCL 脉冲下降沿之后经过一个符号持续时间（即半个时钟周期）之后，才能进行第一次 SDA 或 SCL 变化。根据表 75，此时间必须至少为 32 ns。
- 3、SDA，SCL 或两者的第一级变化表示第一个三元符号，即 T11。
- 4、为了确定 T11 的值，从机计算当前和先前 SDA 和 SCL 电平之间的 XNOR。从机可以通过两种方式获得所需的先前 SDA 和 SCL 电平。

- 保留最终预期的电平（SDA = 1 和 SCL = 0），并在验证 SCL 脉冲的下降沿之后立即记录。
- 由验证 SCL 脉冲的下降沿触发时，以与正常 HDR-TSP 模式相同的方式对 SDA 和 SCL 进行采样，并将这些值存储作为第一个 XNOR 的参考值。

### 4.3.2 HDR 三进制总线转换

当主机在 HDR-TSP 或 HDR-TSL 模式发送读命令时，I3C 总线应进行转换以允许 HDR 从机发送其三进制符号。同样，当 HDR 从机完成发送其数据时，I3C 总线应转换以允许 HDR 主机重新获得总线控制。

读取命令后从机发出的第一个数据字由主机在一个边沿停止 I3C 总线高电平（SCL 高电平和 SDA 高电平）完成，然后进行三态控制。然后从机在下一个边缘驱动总线。如果需要，从机可能需要几百纳秒才能启动。

如果从机希望 NACK 读取，那么它仍然会接收该线路电平变化，但它应立即发送 HDR 重启或 HDR 退出模式，不发出数据字，就像发送正常数据之后一样发送 HDR 重启或 HDR 退出模式。

从机终止被读取由从机发送 HDR 重启模式和 HDR 退出模式信令。该信令只能在完成的数据字之后或者不发送任何字（NACKed）执行。此信令通过以下步骤完成：

- 从机发送非数据符号，将 SCL 设置为低电平，SDA 设置为高电平。如果 SCL 已处于低状态，并且 SDA 从最后一个数据的末尾开始处于高状态，则跳过此步骤。
- 从机连续三次传输符号 2。第一个符号 2 驱动 SDA 为低，SCL 保持低电平，然后第二个符号 2 驱动 SDA 为高电平，SCL 保持低电平，然后第三个符号 2 再次驱动 SDA 为低电平，SCL 保持低电平。由于连续三个符号 2 不是合法数据编码，因此主机应将其识别为在第三个符号 2 末尾的切换。
- 然后从机将 SCL 和 SDA 释放到 High-Z。此版本应使用正常的释放时间；即，释放的持续时间应远低于第 6 节中规定的最小值（见表 76）。
- 在这种情况下（即在连续三个符号 2 之后，SCL 和 SDA 都保持低电平），一旦主机看到 SDA 变为低电平，主机将开始断言 SCL 低和 SDA 低。该断言应使用 Master 的正常低电平断言时序。

注意：在一段时间内，主机和从机都将驱动 SCL 低电平，同时也驱动 SDA 低电平。这既有效又安全。

- 然后，主设备应至少等待第 6 节中定义的最小 tEdge 的时间段（参见表 76），然后最终完成 HDR 重启模式或 HDR 退出模式。

## 5、附录

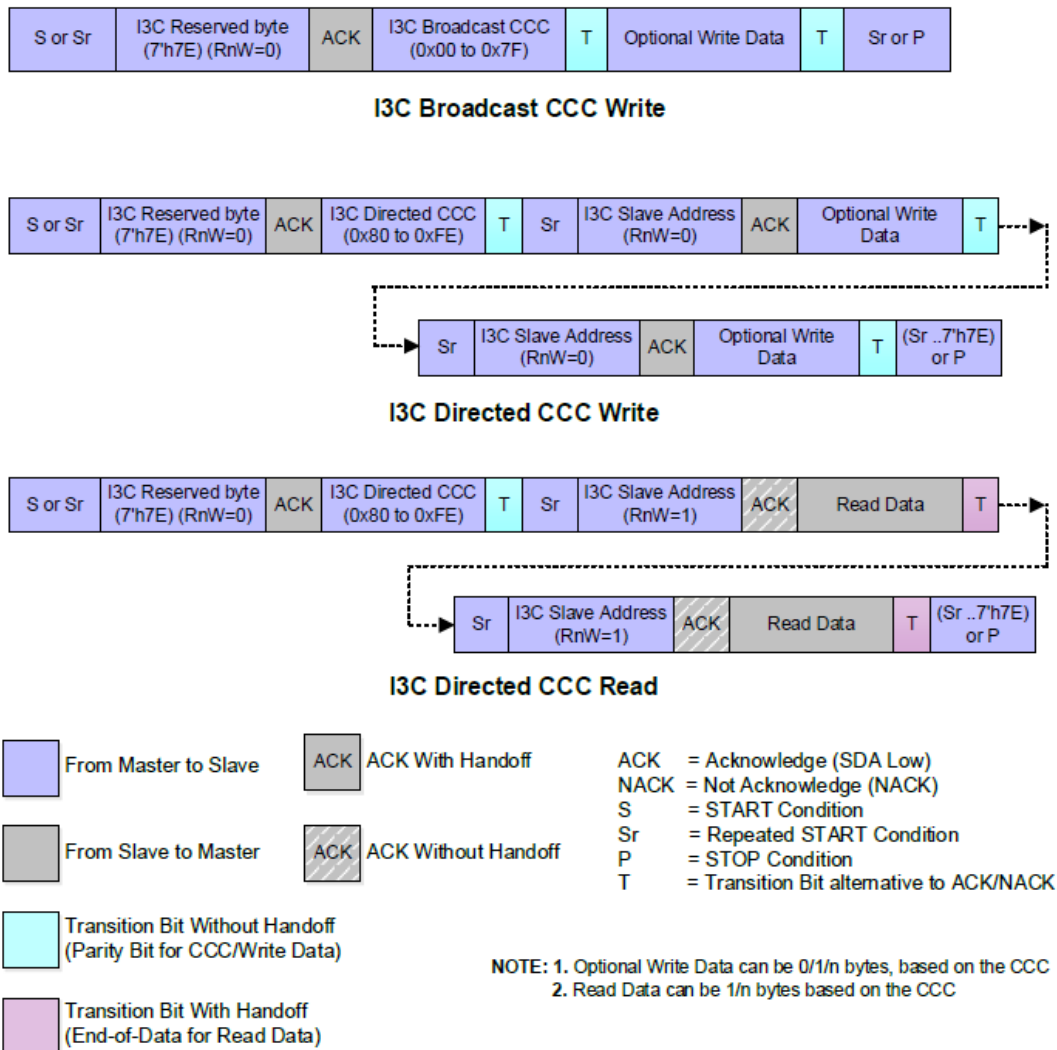
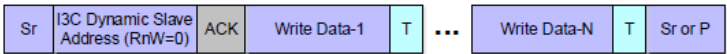


Figure 77 I3C CCC Transfers

A.2 I3C Private Write and Read Transfers



I3C Private Write Transfer Initiated with START Condition



I3C Private Write Transfer Initiated with Repeated START Condition



I3C Private Read Transfer Initiated with START Condition



I3C Private Read Transfer Initiated with Repeated START Condition

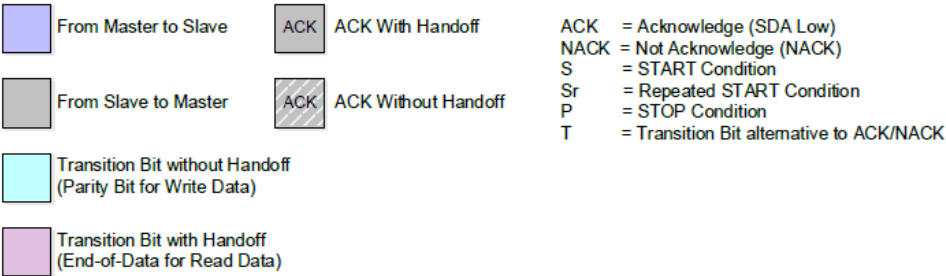
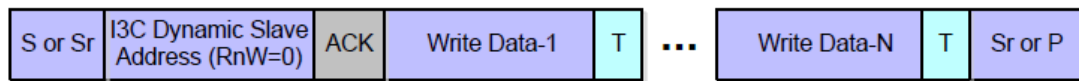
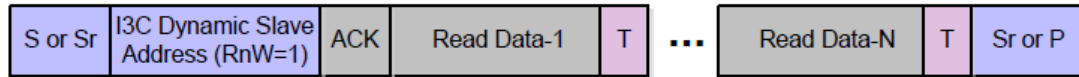


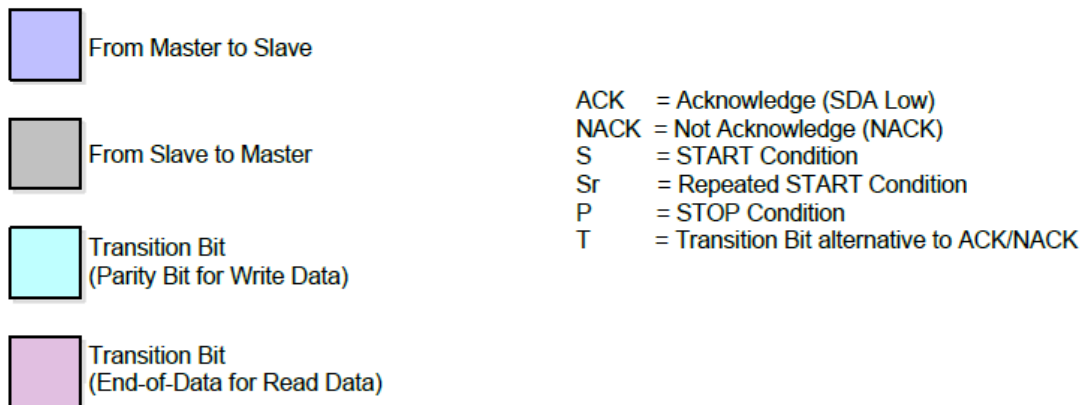
Figure 78 I3C Private Write and Read Transfers with 7'h7E Address



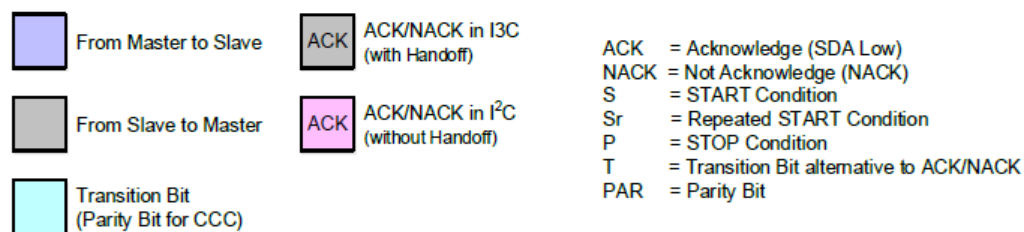
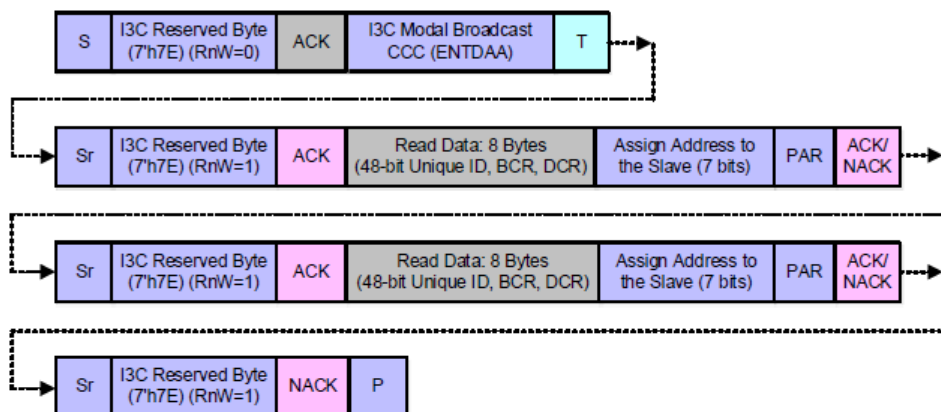
**I3C Private Write Transfer**



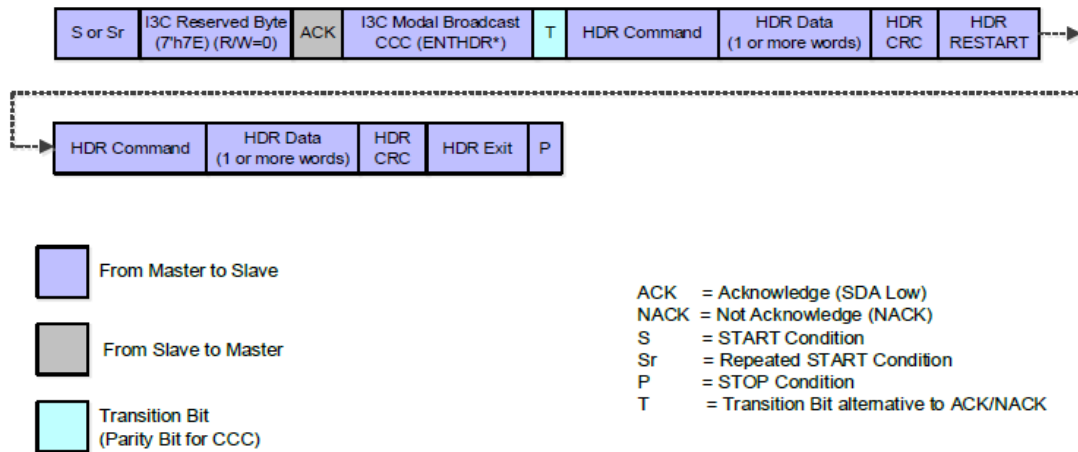
**I3C Private Read Transfer Initiated with Repeated START Condition**



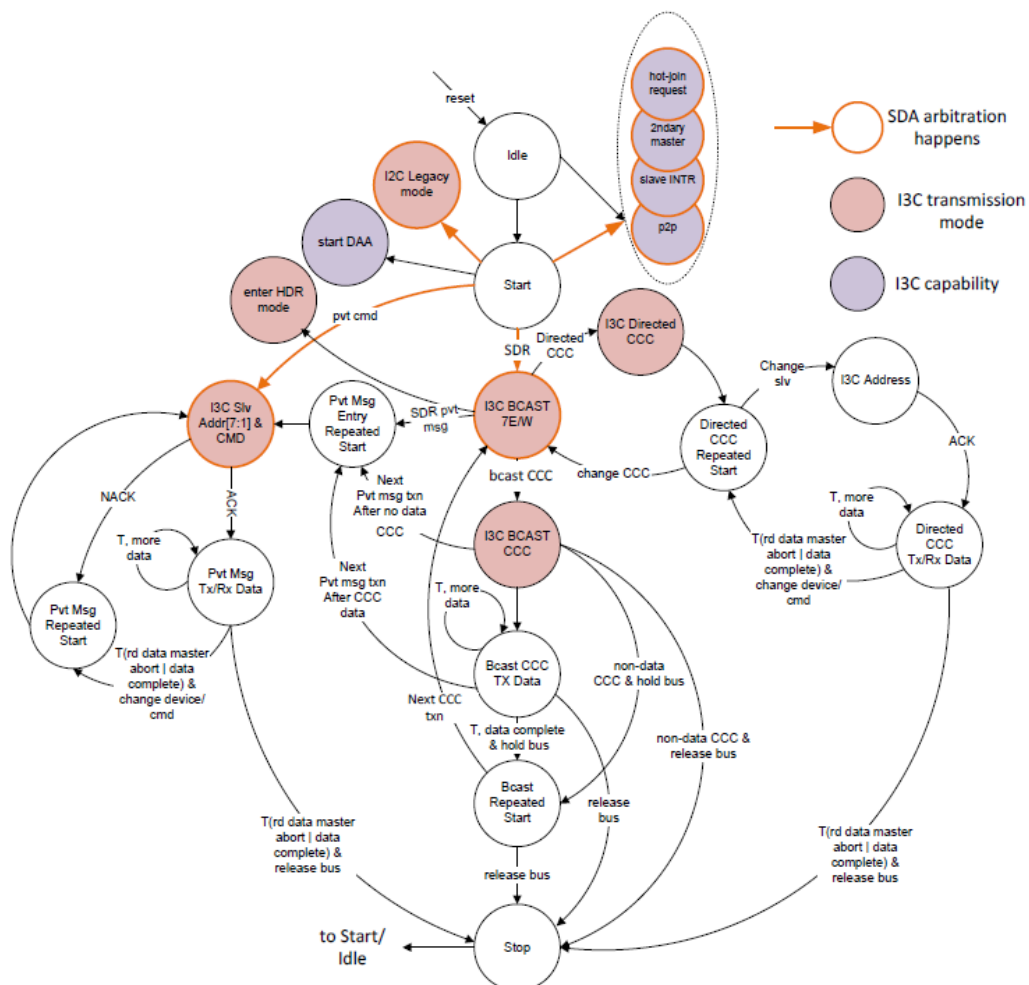
**Figure 79 I3C Private Write and Read Transfers without 7'h7E Address**



**Figure 82 Dynamic Address Allocation ENTDAA CCC Bus Modal**

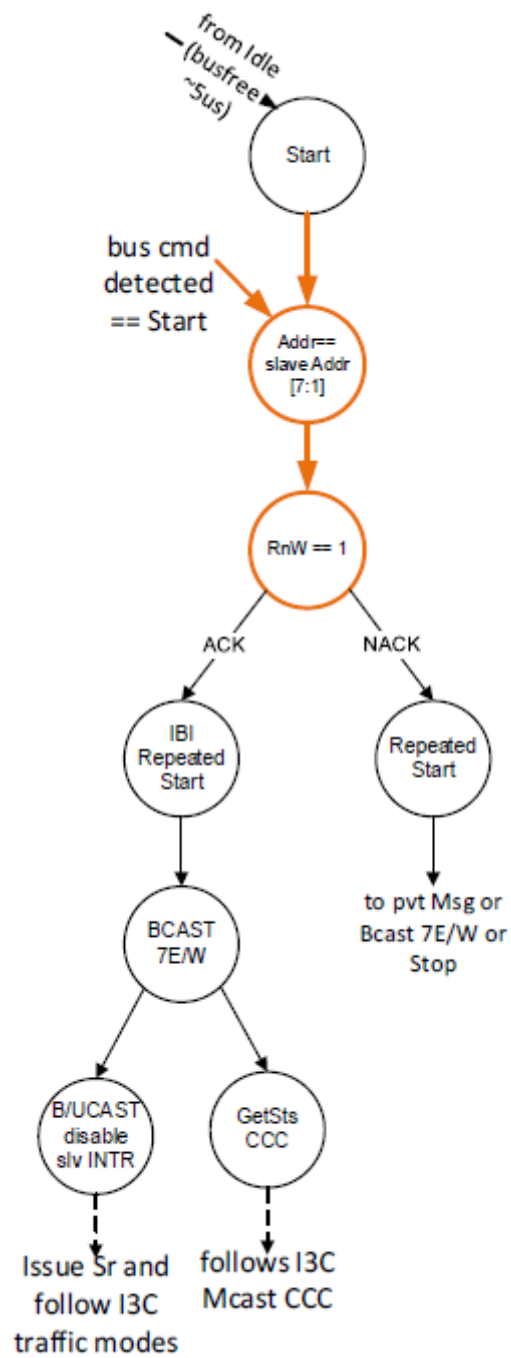


**Figure 83 Enter HDR Mode CCC Bus Modal**

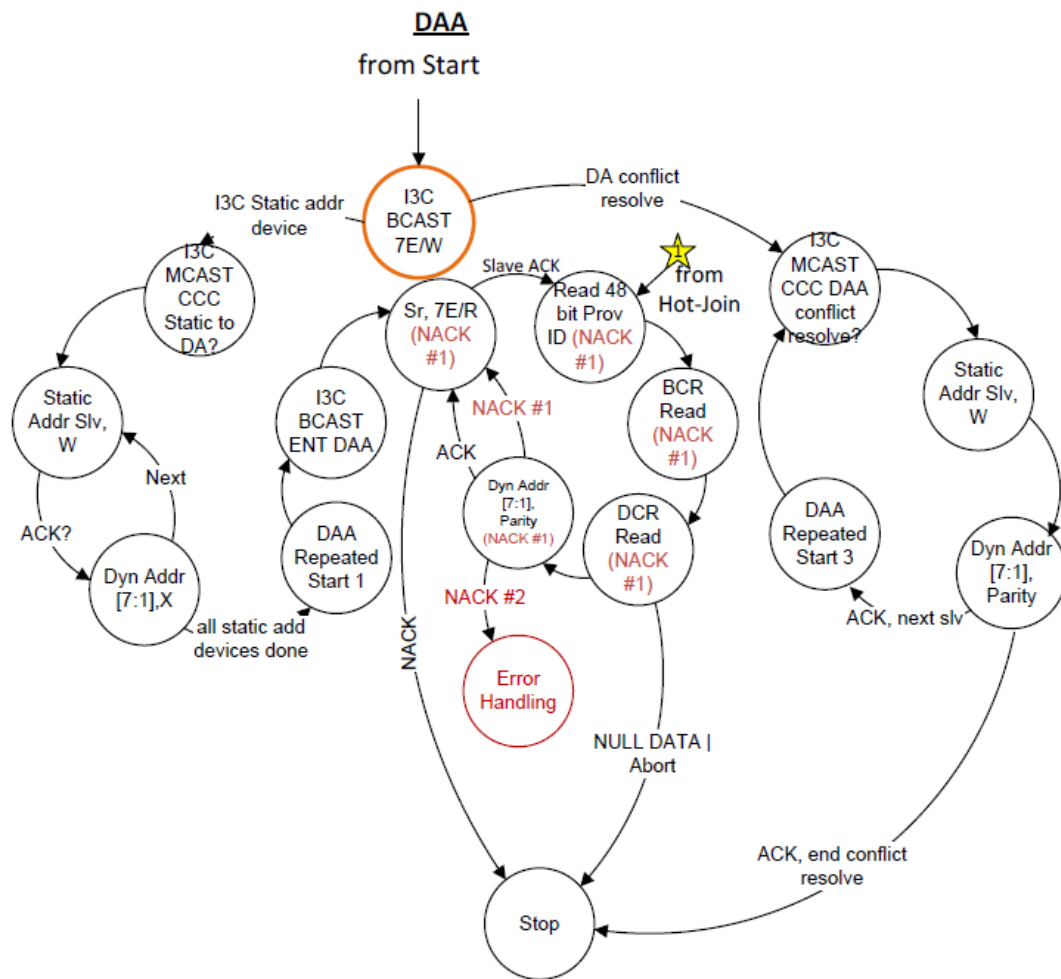


**Figure 88 I3C Main Master FSM**

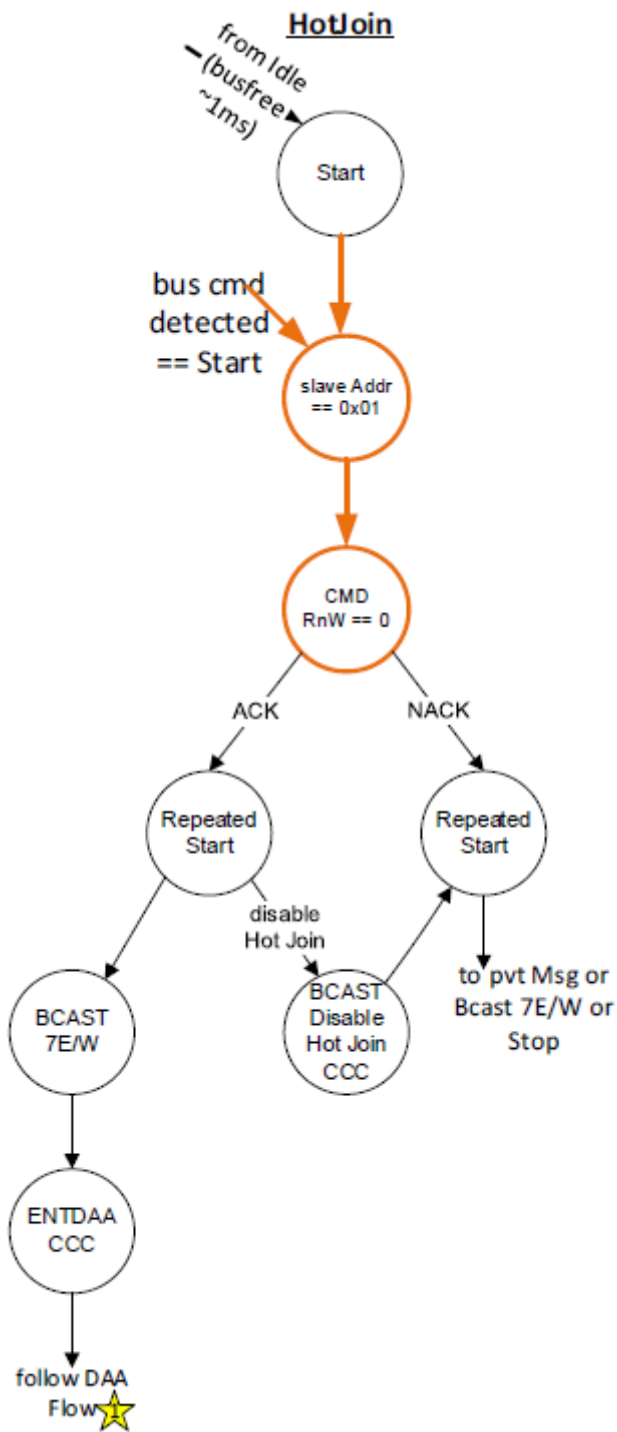




**Figure 89 Slave Interrupt Request FSM**



**Figure 90 Dynamic Address Assignment FSM**



**Figure 91 Hot-Join FSM**

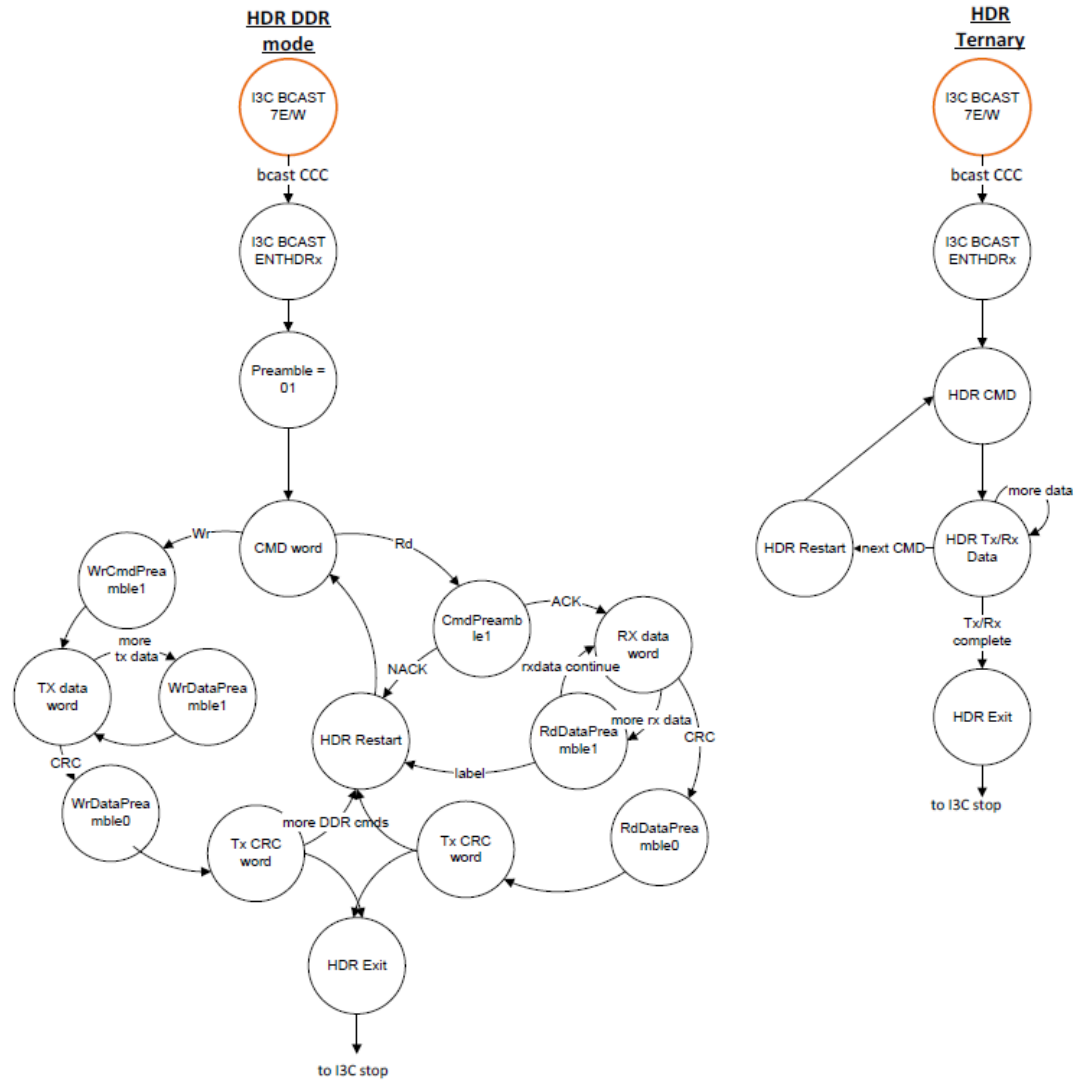


Figure 94 HDR Ternary and HDR-DDR Mode FSMs