

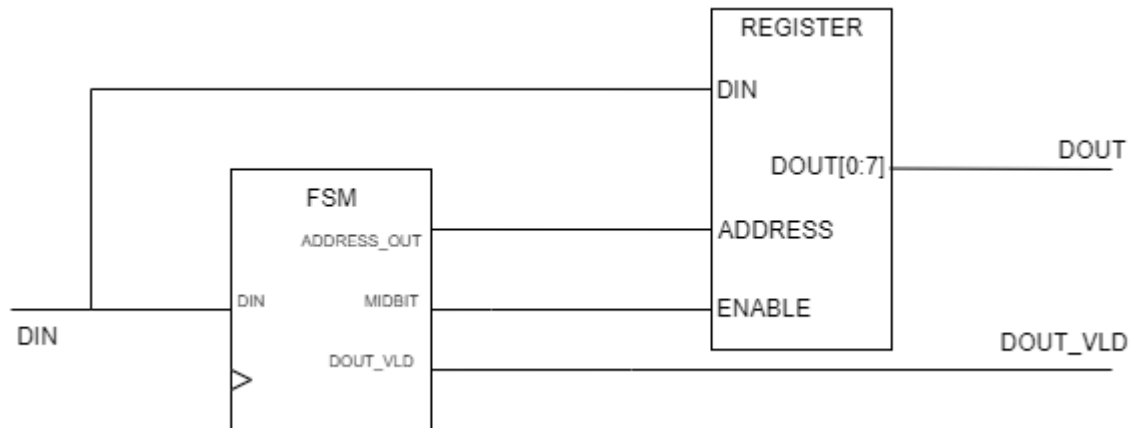
Výstupní zpráva

Jméno: Tomáš Sitarčík

Login: xsitar06

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



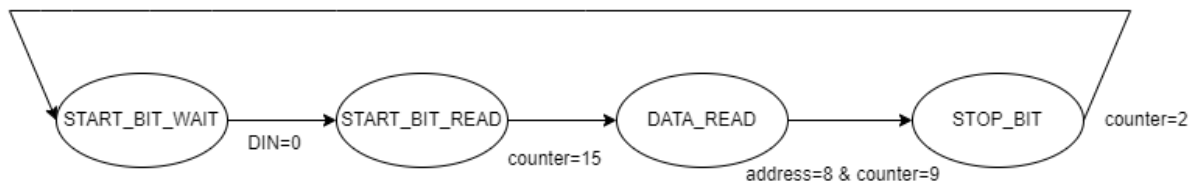
Popis funkce

FSM čeká ve stavu START_BIT_WAIT na to až se DIN změní na hodnotu 0. Po detekci 0 na DIN ihned přejde do stavu START_BIT_READ a počká 15 taktů CLK, než přejde do stavu DATA_READ. Ve stavu DATA_READ se za každých 16 taktů CLK provede:

- na každém taktu který není 8., se nastavuje MIDBIT na 0, aby se zabránilo dostání nesprávné hodnoty do registru
- na 8. taktu se nastaví MIDBIT na 1, aby se hodnota vprostřed bit z DIN uložila do registru
- na 16. taktu se zvýší hodnota adresy, aby se při dalším nastavení MIDBIT na 1 zapsala hodnota z DIN na správnou adresu v registru
- nakonec po přečtení všech 8 bitů z DIN se přesune do stavu STOP_BIT

Ve stavu STOP_BIT se signál DOUT_VLD nastaví na 1, a pak se přejde zpět do START_BIT_WAIT a přijímač je připraven na další signál.

Návrh automatu



Popis funkce

Výchozí stav je START_BIT_WAI. Pokud na DIN přijde 0, přejde do STAR_BIT_READ, který zůstane pouze po 15 taktů CLK a přejde do DATA_READ. V DATA_READ čeká, než se přečtou všechny data a pak přejde do STOP_BIT. Ve stop BIT se vyšle DOUT_VLD po dobu 1 taktu CLK a přejde do výchozího stavu START_BIT_WAIT.

