

Microcontroladores

Interfaces Seriais e RTC

Prof. Guilherme Peron

Prof. Ronnier Rohrich

Prof. Rubão

Interfaces seriais

Motivação: paralelo x serial

- Interfaces paralelas consomem muitos recursos:
 - Barramentos
 - Maior número de pinos físicos
 - Maior área de PCI
- Interfaces seriais
 - Grande evolução tecnológica
 - Altas velocidades de comunicação
 - Padronização de protocolos de HW e SW
 - As mais utilizadas: I2C, SPI, 1-wire

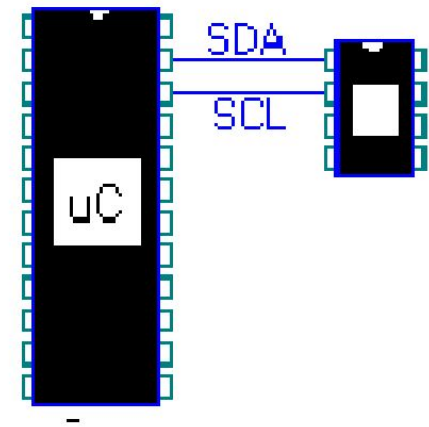
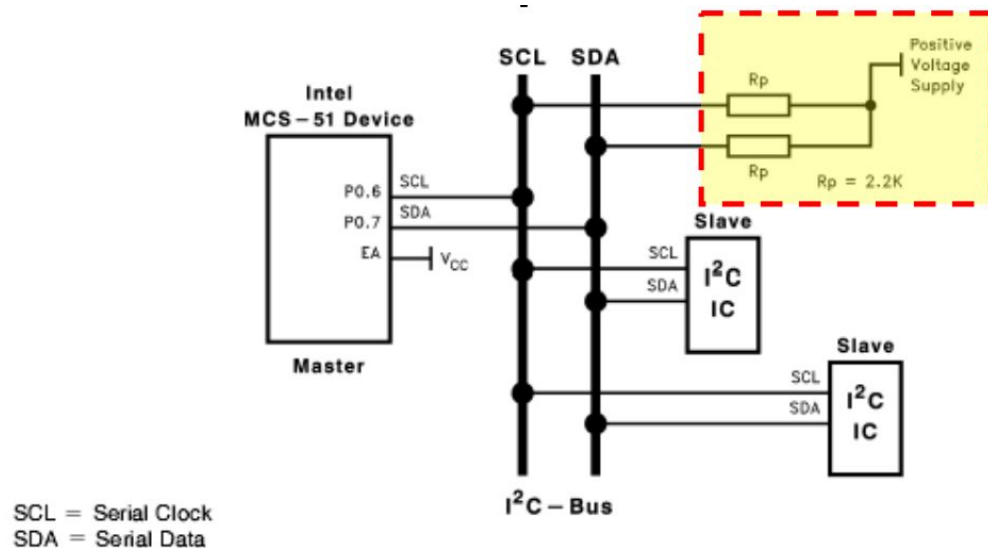
Barramento I²C

- I²C (**Inter-Integrated Circuit**) é um barramento de comunicação que foi desenvolvido pela Philips em 1980
- Velocidades de operação:
 - *Low-speed mode*: DC-10 kbps
 - *Standard*: 100 kbps
 - *Fast mode*: 400 kbps
 - *Fast mode plus*: 1 Mbps
 - *High-speed mode*: 3,4 Mbps
- O I²C utiliza apenas **dois** fios (saídas com coletor aberto)



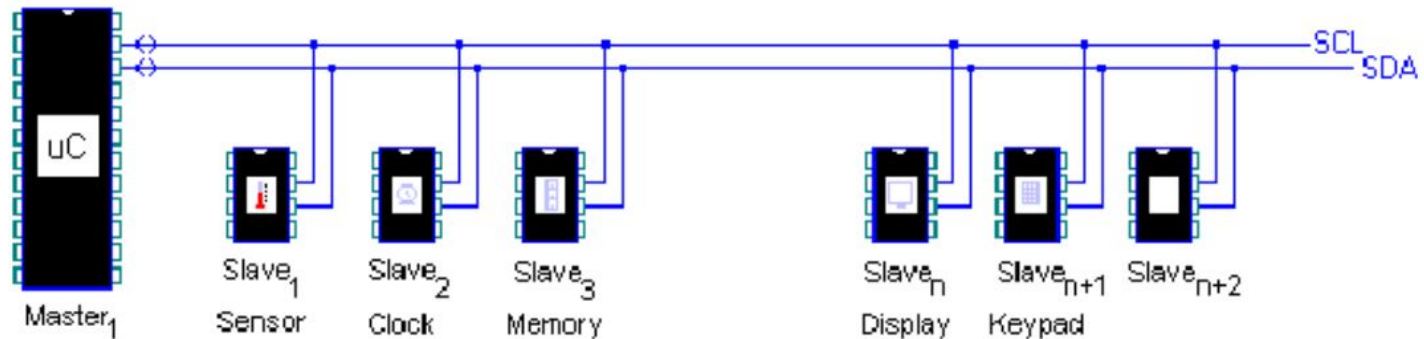
Barramento I²C

- Pinos de comunicação:
 - *Serial Data (SDA) e Serial Clock (SCL)*
 - Ambos devem ter *pull-up* de 2K2
- Há dois tipos de nós: *Master* e *Slave*

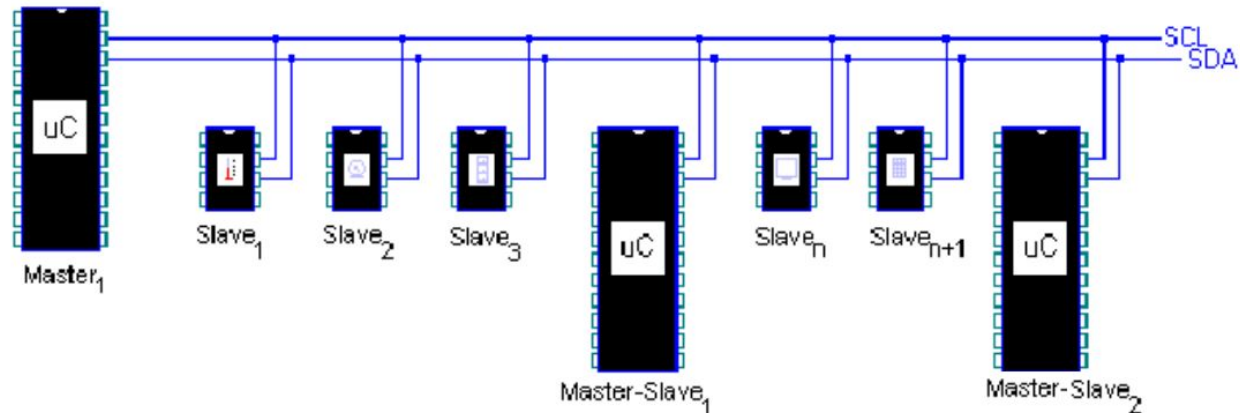


Topologias de conexão

- *Master-Slave*

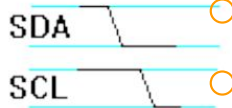


- *Multi-Master Multi-Slave*

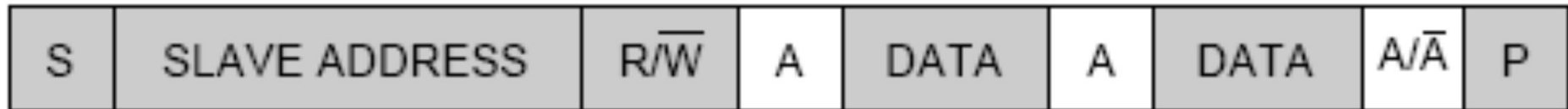


Protocolo de comunicação

- O *master* começa a comunicação enviando:
 - Um *start bit* (transição descendente de SDA com SCL=1)
 - O endereço de 7-bits do *slave* (MSbit primeiro)
- O *slave* responde com um bit ACK (*acknowledge*)
 - Para escrita:
 - O *master* envia bytes de dados (escreve no *slave*) intercalados por bits ACK do *slave*
 - Para leitura:
 - O *master* recebe bytes de dados (lê do *slave*) intercalando bits ACK do *master*, exceto após o último byte recebido
- Para finalizar a comunicação o master pode enviar:
 - Um *stop bit* (transição ascendente de SDA com SCL=1)
 - Um novo *start bit* (para recomeçar outra transferência)



Protocolo de comunicação



from master to slave



from slave to master

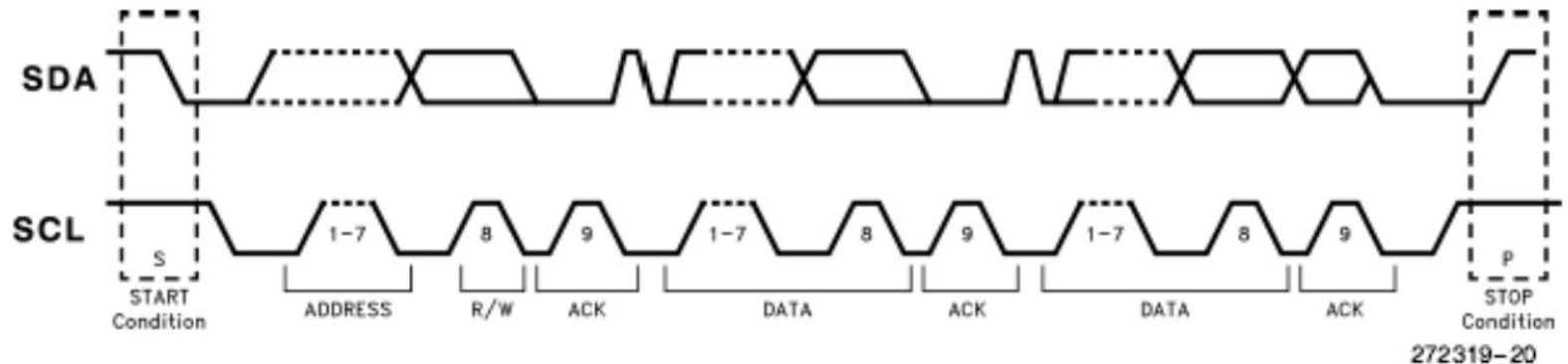
A = acknowledge (SDA LOW)

\overline{A} = not acknowledge (SDA HIGH)

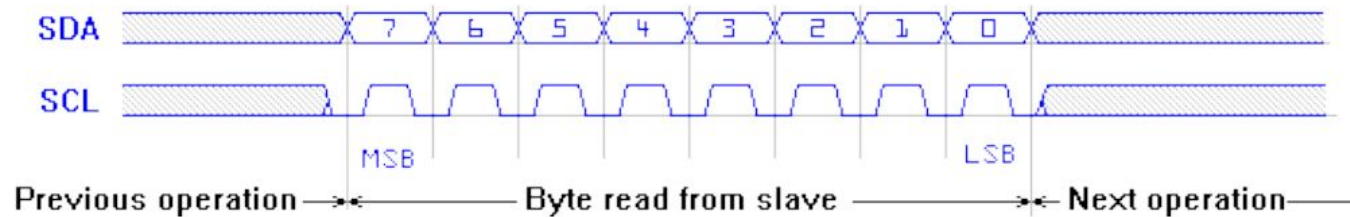
S = START condition

P = STOP condition

Temporização



- Leitura do *slave*:

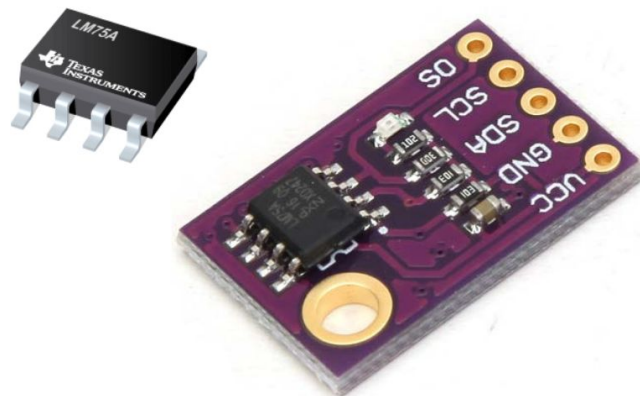


- Escrita no *slave*:



Aplicações

- Sensor de temperatura LM75A



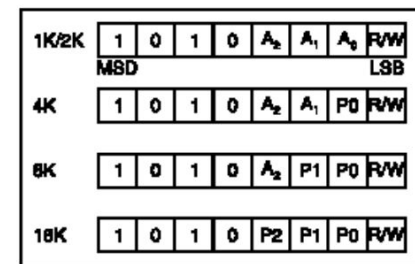
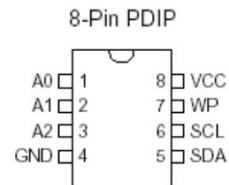
- Sensor digital de pressão BMP180



Aplicações

- EEPROM serial 24C01A, 02, 04, 08

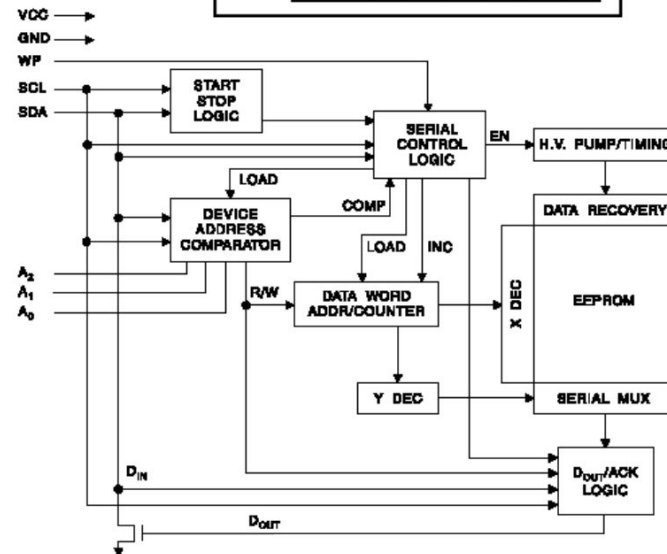
Pin Name	Function
A0 - A2	Address Inputs
SDA	Serial Data
SCL	Serial Clock Input
WP	Write Protect
NC	No Connect



SERIAL CLOCK (SCL): The SCL input is used to positive edge clock data into each EEPROM device and negative edge clock data out of each device.

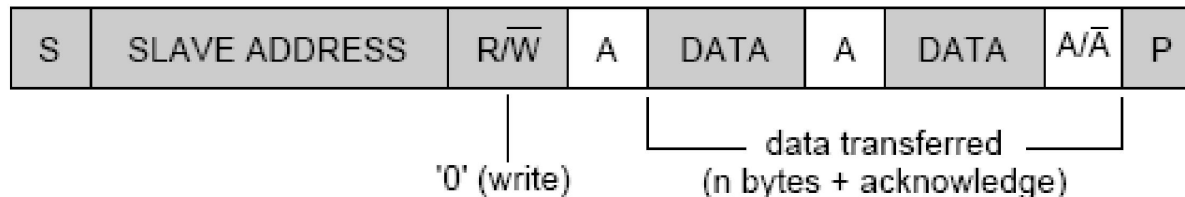
SERIAL DATA (SDA): The SDA pin is bidirectional for serial data transfer. This pin is open-drain driven and may be wire-ORed with any number of other open-drain or open collector devices.

DEVICE/PAGE ADDRESSES (A2, A1, A0): The A2, A1 and A0 pins are device address inputs that are hard wired for the AT24C01A and the AT24C02. As many as eight 1K/2K devices may be addressed on a single bus system



Comandos

- Operação de Escrita
 - Após o procedimento de START e do endereçamento.
 - Se o master deseja escrever no slave então ele envia os bytes e a cada byte recebido o slave responde enviando um bit de ACK



■ from master to slave

□ from slave to master

A = acknowledge (SDA LOW)

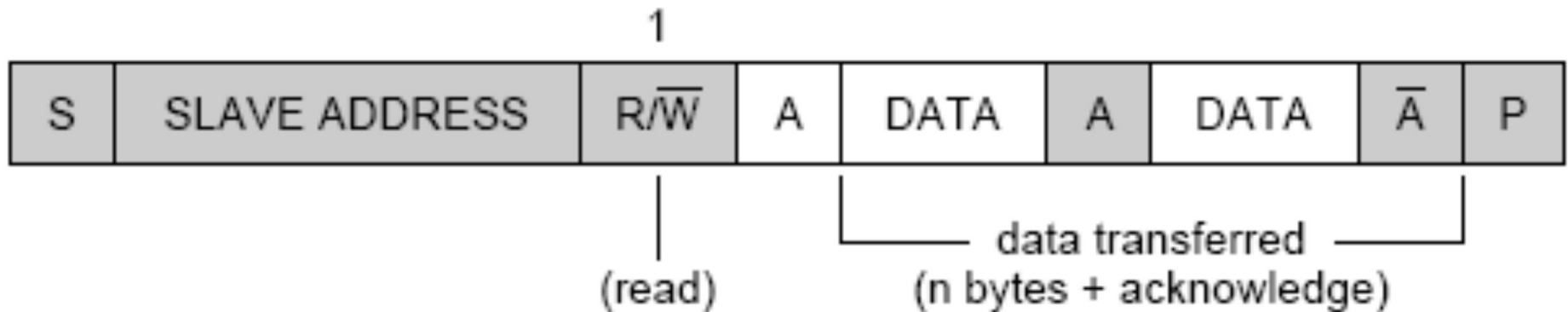
\bar{A} = not acknowledge (SDA HIGH)

S = START condition

P = STOP condition

Comandos

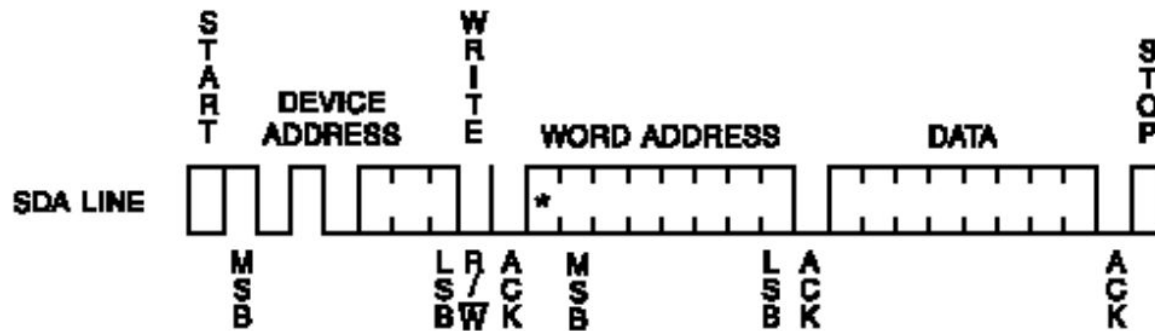
- Operação de Leitura
 - Para ler, como é uma linha bidirecional de dados (SDA), após o primeiro ACK é enviada uma sequência para o *master*, com os respectivos ACKs subsequentes



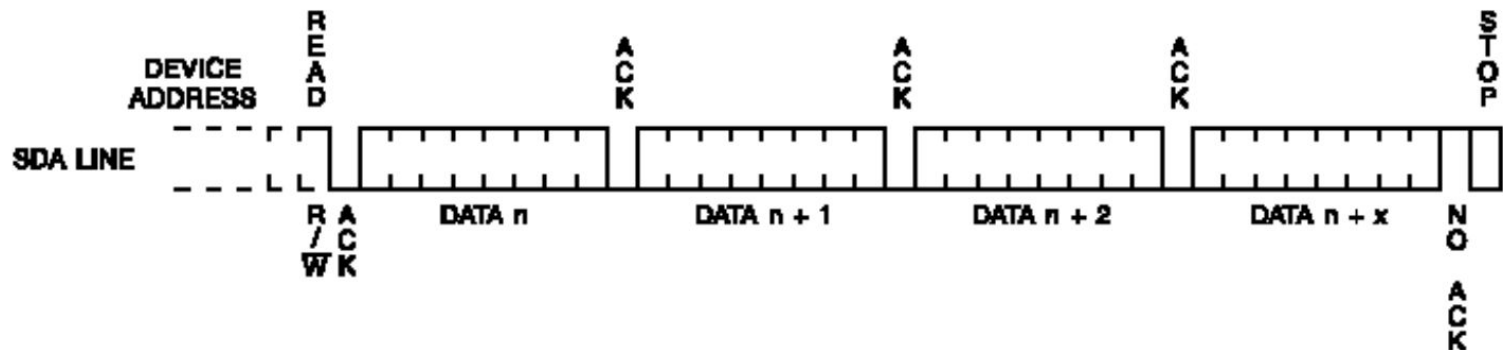
Obs: Caso deseje enviar um novo byte ou comando, o master repete a operação a partir de um novo START e a devida sequência.

Comandos

- *Byte Write*

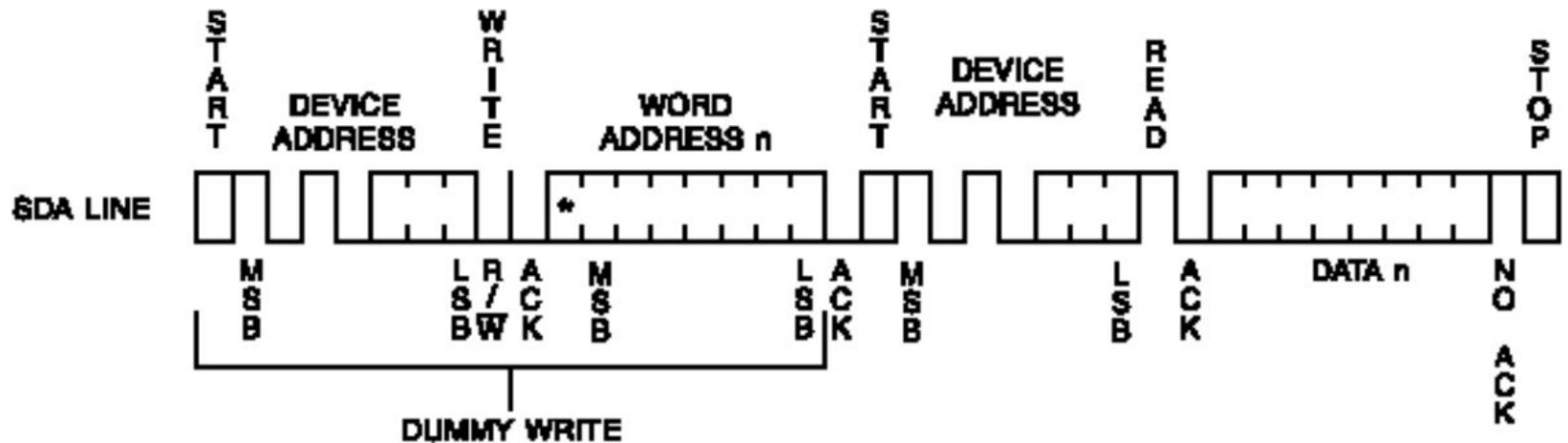


- *Sequential Read*



Comandos

- *Random Read*



(* = DON'T CARE bit for 1K)

SPI e Microwire

- Já estudados.

1-wire

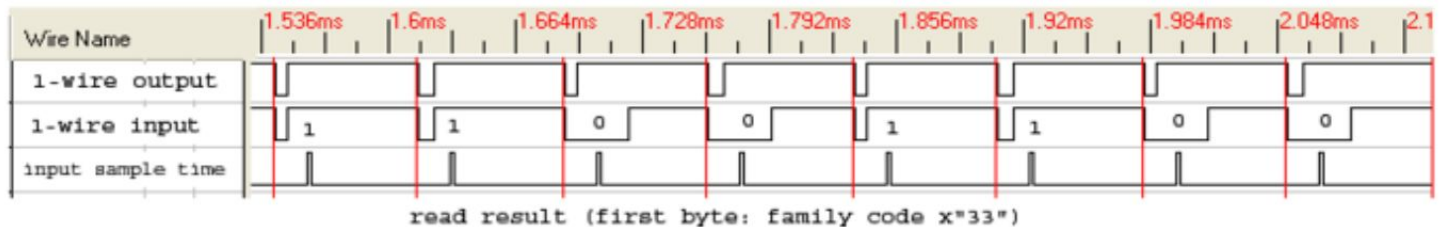
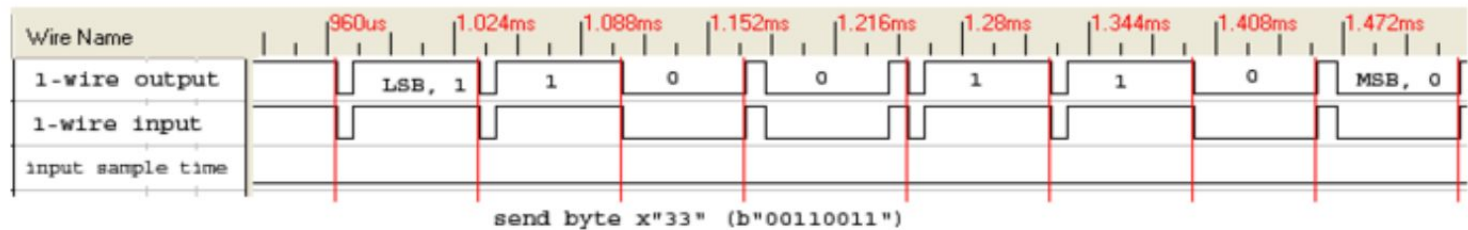
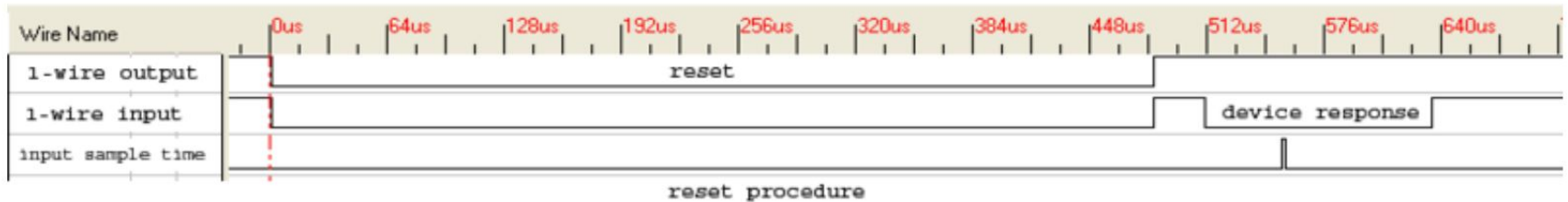


- Desenvolvido pela Dallas Semiconductor
- Provê alimentação, sinalização e transmissão de dados por um único fio (mais *ground*)
- Conceitualmente é semelhante a I²C
- Tem baixa velocidade e curto alcance
- Cada dispositivo 1-wire tem um código interno único de 64 bits
- Muito útil para identificação e segurança, tais como os *iButton*



Transmissão 1-wire

1 Wire reset, write and read example with DS2432



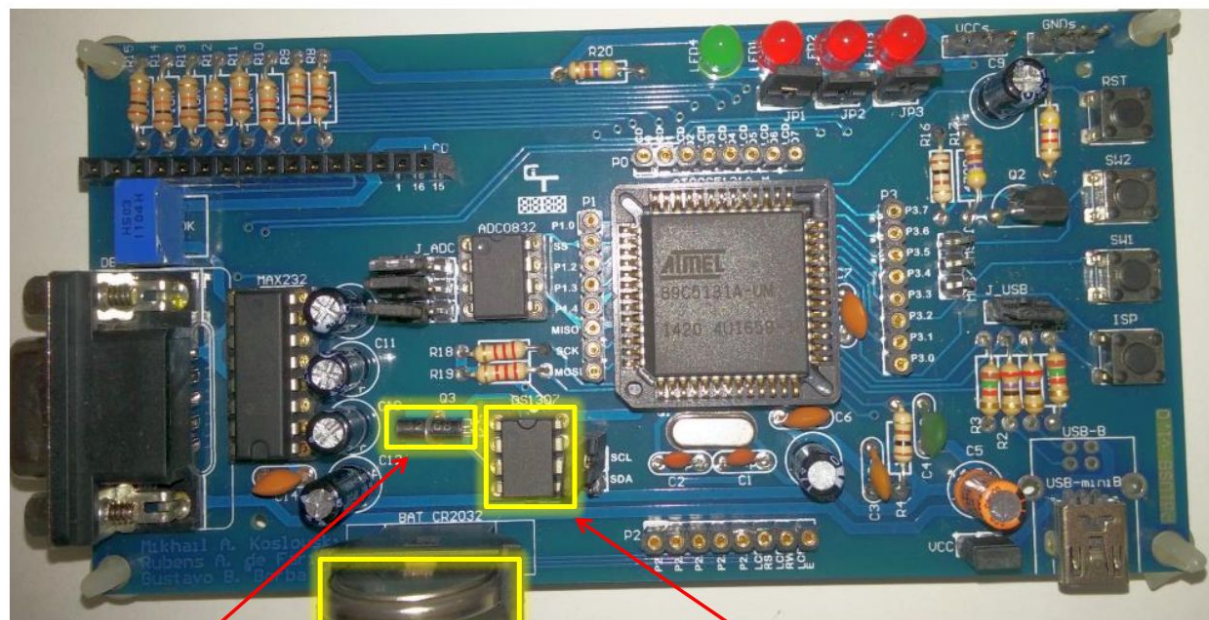
Aplicações do 1-wire

- DS18B20: termômetro digital de resolução programável (9-12 bits)
- MAX31820: sensor de temperatura ambiente de -55°C a 125°C de 9-12 bits
- DS24L65: autenticador de chave simétrica bidirecional SHA-256
- DS2433: 4Kbits EEPROM
- DS9481R-3C7: USB-1-Wire/iButton adapter provê conectividade PC/Win com iButton

Real-Time Clock

RTC

- Para que serve um RTC?
 - *Real-Time Clock*
 - DS1307



Cristal 32MHz

Bateria

DS1307

Características do DS1307

- Conta segundos, minutos, horas, dia do mês, mês, dia da semana e ano
- Correção automática para ano bissexto
- Baixíssimo consumo com bateria: 500nA
- Contém uma memória RAM de 56 bytes
- Contém um gerador de onda quadrada programável (1 Hz, 4 KHz, 8 KHz, 32 KHz)
- Utiliza a interface 2-wire (I2C) com frequência máxima do *clock* SCL de 100 KHz (modo standard)
- Utiliza um cristal oscilador de 32,768KHz

Mapas de endereços e registradores

00H

SECONDS
MINUTES
HOURS
DAY
DATE
MONTH
YEAR
CONTROL
RAM 56 x 8

07H

08H

3FH

ADDRESS	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	FUNCTION	RANGE
00h	CH	10 Seconds			Seconds				Seconds	00–59
01h	0	10 Minutes			Minutes				Minutes	00–59
02h	0	12	10 Hour	10 Hour	Hours				Hours	1–12 +AM/PM 00–23
		24	PM/ AM							
03h	0	0	0	0	0	DAY			Day	01–07
04h	0	0	10 Date		Date				Date	01–31
05h	0	0	0	10 Month	Month				Month	01–12
06h	10 Year				Year				Year	00–99
07h	OUT	0	0	SQWE	0	0	RS1	RS0	Control	—
08h–3Fh									RAM 56 x 8	00h–FFh

0 = Always reads back as 0.

Características

- O conteúdo dos dados está em **BCD**
- Bit 7 do registrador 0 (CH) liga (0)/desliga (1) o *clock*
- Ao ligar o *chip*, o conteúdo dos registradores é indeterminado
- Bit 6 do registrador de horas seleciona o modo 12/24
- No modo 12 horas, o bit 5 é AM/PM

Gerador de onda quadrada

- Registrador de controle

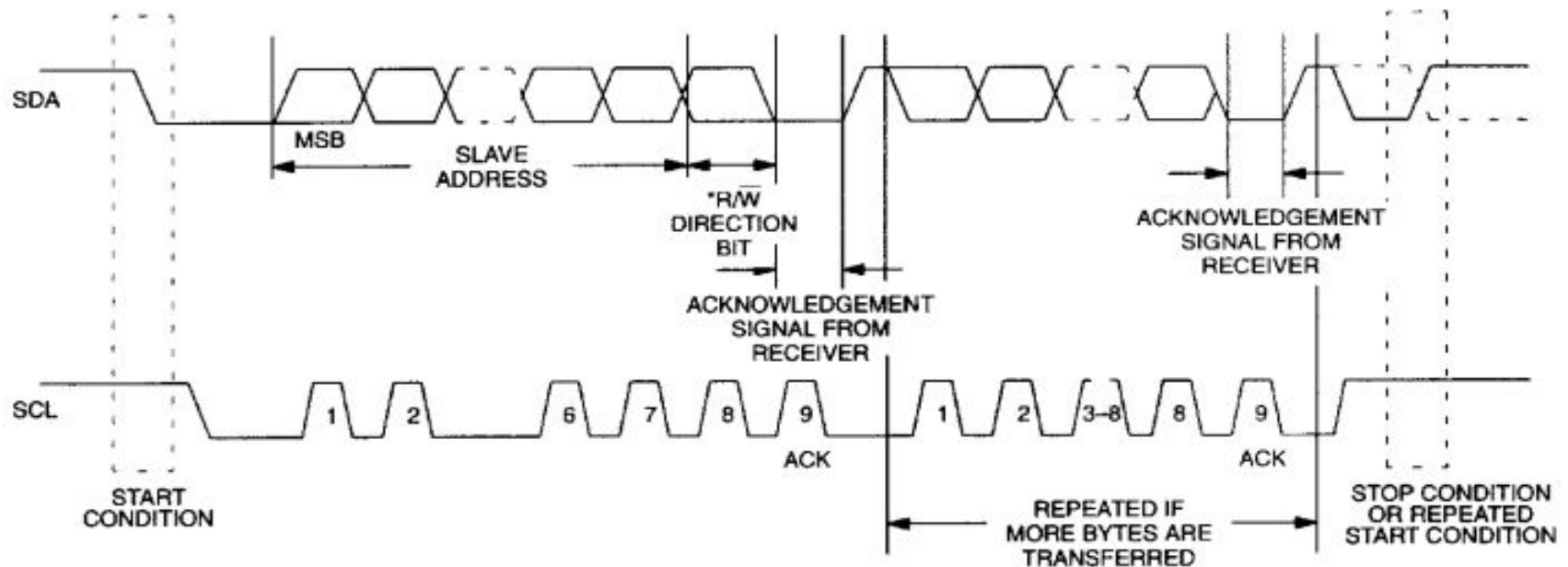
	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
07h	OUT	0	0	SQWE	0	0	RS1	RS0

- SQWE: habilita o gerador (em 1)
- OUT: nível lógico de SQW/OUT quando SQWE=0
- RS1/RS0: seleção da frequência gerada:

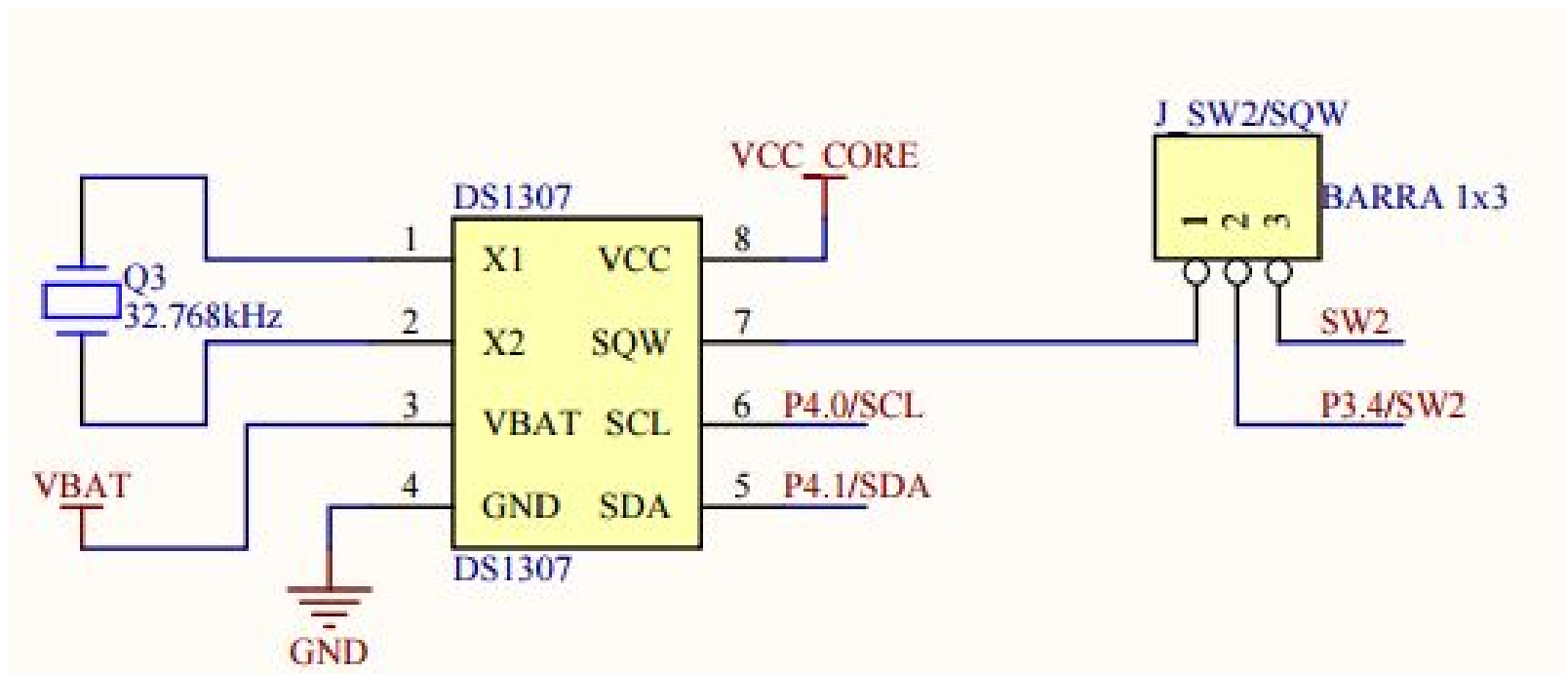
RS1	RS0	SQW/OUT OUTPUT	SQWE	OUT
0	0	1Hz	1	X
0	1	4.096kHz	1	X
1	0	8.192kHz	1	X
1	1	32.768kHz	1	X
X	X	0	0	0
X	X	1	0	1

Transferência de dados (I2C)

- Slave Address: 1101000

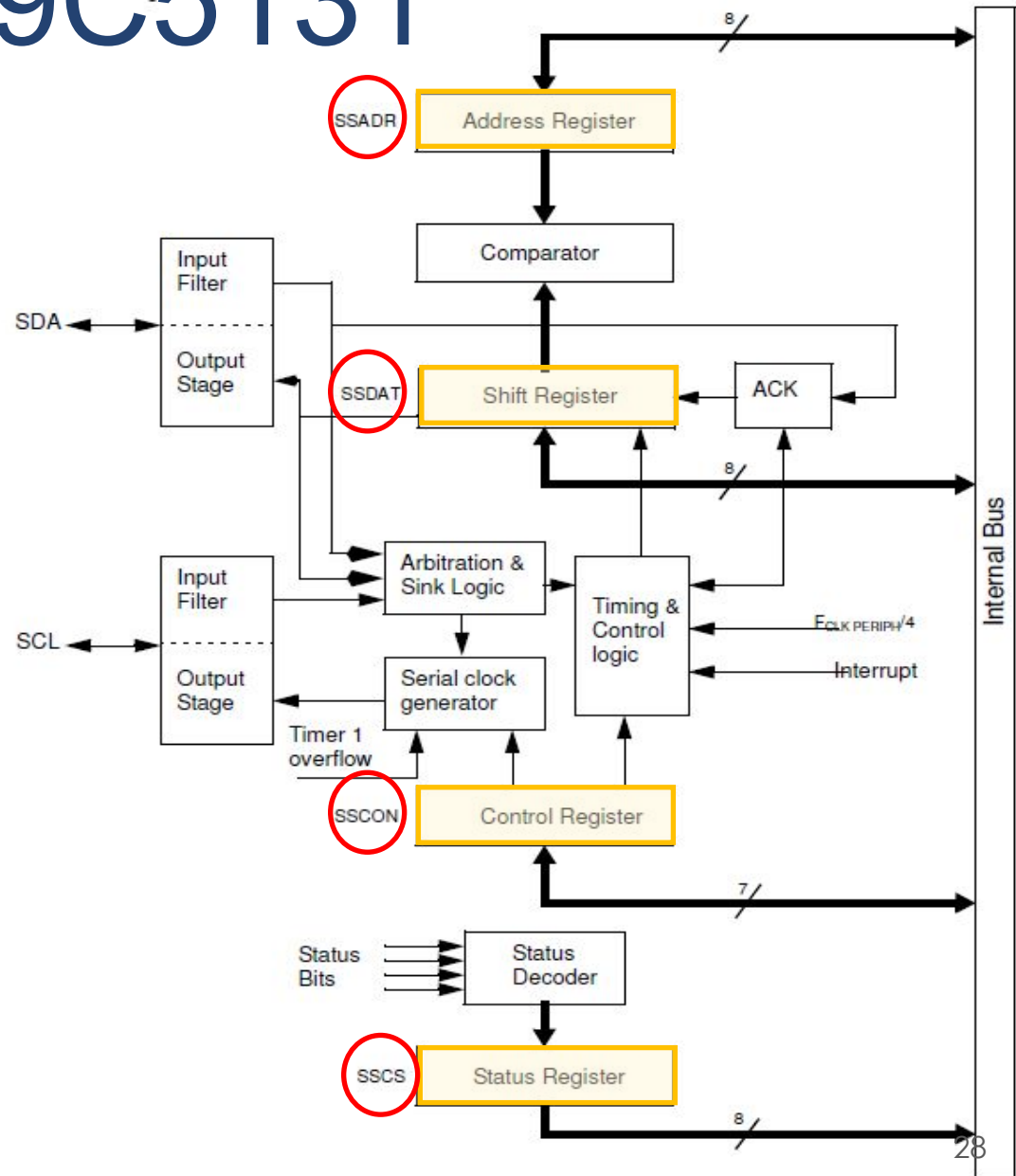


Ligação do DS1307 no kit



TWI no AT89C5131

- Equivalente à I2c



Registrador SSCON (93h)

- Synchronous Serial Control Register:
 - CR0, CR1 e CR2 seleccionam velocidade - ver datasheet

7	6	5	4	3	2	1	0
CR2	SSIE	STA	STO	SI	AA	CR1	CR0
Bit Number	Bit Mnemonic	Description					
7	CR2	Control Rate bit 2 See .					
6	SSIE	Synchronous Serial Interface Enable bit Clear to disable SSLC. Set to enable SSLC.					
5	STA	Start flag Set to send a START condition on the bus.					
4	STO	Stop flag Set to send a STOP condition on the bus.					
3	SI	Synchronous Serial Interrupt flag Set by hardware when a serial interrupt is requested. Must be cleared by software to acknowledge interrupt.					
2	AA	Assert Acknowledge flag Clear in master and slave receiver modes, to force a not acknowledge (high level on SDA). Clear to disable SLA or GCA recognition. Set to recognise SLA or GCA (if GC set) for entering slave receiver or transmitter modes. Set in master and slave receiver modes, to force an acknowledge (low level on SDA). This bit has no effect when in master transmitter mode.					
1	CR1	Control Rate bit 1 See Table 20-4					
0	CR0	Control Rate bit 0 See Table 20-4					

Registrador SSDAT (95h)

- Synchronous Serial Data Register (R/W):

SD7	SD6	SD5	SD4	SD3	SD2	SD1	SD0
7	6	5	4	3	2	1	0
Bit Number	Bit Mnemonic	Description					
7	SD7	Address bit 7 or Data bit 7.					
6	SD6	Address bit 6 or Data bit 6.					
5	SD5	Address bit 5 or Data bit 5.					
4	SD4	Address bit 4 or Data bit 4.					
3	SD3	Address bit 3 or Data bit 3.					
2	SD2	Address bit 2 or Data bit 2.					
1	SD1	Address bit 1 or Data bit 1.					
0	SD0	Address bit 0 (R/W) or Data bit 0.					

Registrador SSCS (94h)

- Read-Synchronous Serial Control and Status Register
 - Códigos de status - ver datasheet

7	6	5	4	3	2	1	0
SC4	SC3	SC2	SC1	SC0	0	0	0

Bit Number	Bit Mnemonic	Description
0	0	Always zero
1	0	Always zero
2	0	Always zero
3	SC0	Status Code bit 0 See Table 20-5 to Table 20-9
4	SC1	Status Code bit 1 See Table 20-5 to Table 20-9
5	SC2	Status Code bit 2 See Table 20-5 to Table 20-9
6	SC3	Status Code bit 3 See Table 20-5 to Table 20-9
7	SC4	Status Code bit 4 See Table 20-5 to Table 20-9

Registrador SSADR (96h)

- Synchronous Serial Address Register (R/W)

7	6	5	4	3	2	1	0
A7	A6	A5	A4	A3	A2	A1	A0
Bit Number	Bit Mnemonic	Description					
7	A7	Slave address bit 7.					
6	A6	Slave address bit 6.					
5	A5	Slave address bit 5.					
4	A4	Slave address bit 4.					
3	A3	Slave address bit 3.					
2	A2	Slave address bit 2.					
1	A1	Slave address bit 1.					
0	GC	General call bit Clear to disable the general call address recognition. Set to enable the general call address recognition.					