

# Arquitectura de Sistemas e Computadores II

## Exame de Recurso

Departamento de Informática  
Universidade de Évora

24 de Janeiro de 2019

Indique todos os cálculos efectuados

### Perguntas rápidas

1. [0,5 valores] Sabendo que durante a execução de um programa no processador  $X$  é executado o quádruplo das instruções executadas durante a execução do mesmo programa no processador  $Y$ , pode concluir que o desempenho de  $X$  para esse programa é inferior ao de  $Y$ ?
2. [0,5 valores] Se a dimensão de uma cache for aumentada, duplicando o número de conjuntos que a constituem, o número de *compulsory misses* deverá aumentar, manter-se ou diminuir?
3. [0,5 valores] A informação sobre a página física em que reside uma dada página virtual de um processo pode estar na tabela de páginas do processo e não se encontrar no TLB?
4. [0,5 valores] Há *false sharing* quando em dois processadores é acedida a mesma palavra de memória, são acedidas palavras diferentes pertencentes ao mesmo bloco, ou são acedidos blocos diferentes pertencentes à mesma página?

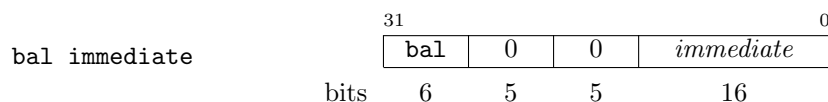
### Desempenho

5. [3 valores] Durante a execução de um programa, num processador cujo relógio funciona com uma frequência de 5 GHz, são executadas  $2 \times 10^{11}$  instruções, com a distribuição apresentada na tabela abaixo. Quanto tempo demora a execução do programa?

Classe	A	B	C	D
%	30	40	20	10
CPI	6	5	8	11

### Implementação MIPS monociclo

6. [4 valores] Pretende-se que a implementação MIPS monociclo da Figura 1 suporte a execução da instrução **bal** (*branch and link*), que é uma instrução tipo-I com um argumento:



Esta instrução provoca a continuação da execução na instrução cujo endereço é obtido somando a extensão com sinal de **immediate**  $\ll 2$  a  $PC + 4$  (tal como na instrução **beq**), e guarda o valor  $PC + 4$  no registo **\$31**.

- (a) Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução?
- (b) Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?
- (c) Quais os valores que os vários sinais de controlo deverão ter e qual a operação realizada pela ALU durante a execução desta instrução? (Não é necessário apresentar o valor de **ALUOp**.)
- (d) Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.

(CONTINUA...)

## Pipeline MIPS de 5 andares

7. [2,5 valores] Simule a execução do código à direita num processador com *forwarding*, com decisão dos saltos condicionais no andar ID, com previsão perfeita do resultado das instruções de salto condicional e sem *delay slots*, assumindo que o salto condicional da linha 5 não é efectuado.

Apresente a evolução do estado do *pipeline* durante a execução, indicando todos os atrasos introduzidos e todos os pontos onde foi necessário o *forwarding* de algum valor, identificando claramente entre que andares o *forwarding* foi feito.

```
1.    lw    $t0, 0($a0)
2.    addu  $t2, $a0, $s0
3.    lw    $t1, 0($t2)
4.    slt   $t3, $t1, $t0
5.    beq   $t3, $0, next
6.    sw    $t1, 0($a0)
7.    sw    $t0, 0($t2)
8.    beq   $t0, $t0, next
```

## Cache

8. [3 valores] Considere que uma palavra tem 64 bits e que os endereços seguintes são acedidos pela ordem indicada:

16 32 18 100 40 160

Simule o funcionamento de uma cache 2-way set associative, com 4 conjuntos e blocos de 2 palavras, para a sequência de acessos indicada. Assuma que a cache inicialmente está vazia e, para cada acesso, indique a palavra acedida, o número do bloco a que pertence a palavra, o índice da posição da cache que irá ocupar, o *tag*, se há um *hit* ou um *miss* e, quando aplicável, o número do bloco que será substituído.

Apresente o conteúdo final da cache, tão completo quanto possível, e calcule a *miss rate* verificada.

## Memória virtual

9. [2,5 valores] Considere um sistema em que a dimensão das páginas de memória é de 4 KB, os endereços virtuais têm 44 bits, e em que são usadas tabelas de páginas com 3 níveis (cuja tabelas de primeiro e segundo níveis têm 2048 posições cada).

Calcule o número da página virtual a que pertence o endereço virtual  $012\,3456\,789A_{16}$ , o número de posições das tabelas de terceiro nível, e os índices das posições das tabelas dos 3 níveis a que é necessário aceder para encontrar a página física em que essa página virtual reside.

## Multiprocessamento

10. [3 valores] Num sistema multiprocessador de memória partilhada, o objectivo do código abaixo é controlar o número de *threads* de um processo que podem estar, em simultâneo, a executar uma determinada zona crítica. No início da execução do código, o registo  $\$a0$  contém o endereço de uma posição de memória onde está um valor (positivo) que indica quantas *threads* ainda podem entrar nessa zona crítica.

Tal como apresentado, o código não cumpre o objectivo a que se destina. Explique porquê e altere-o, de modo a que funcione como pretendido.

```
1.    passa: lw    $t0, 0($a0)
2.                beq  $t0, $0, passa
3.                addi $t0, $t0, -1
4.                sw   $t0, 0($a0)
```

Nome: \_\_\_\_\_ Número: \_\_\_\_\_

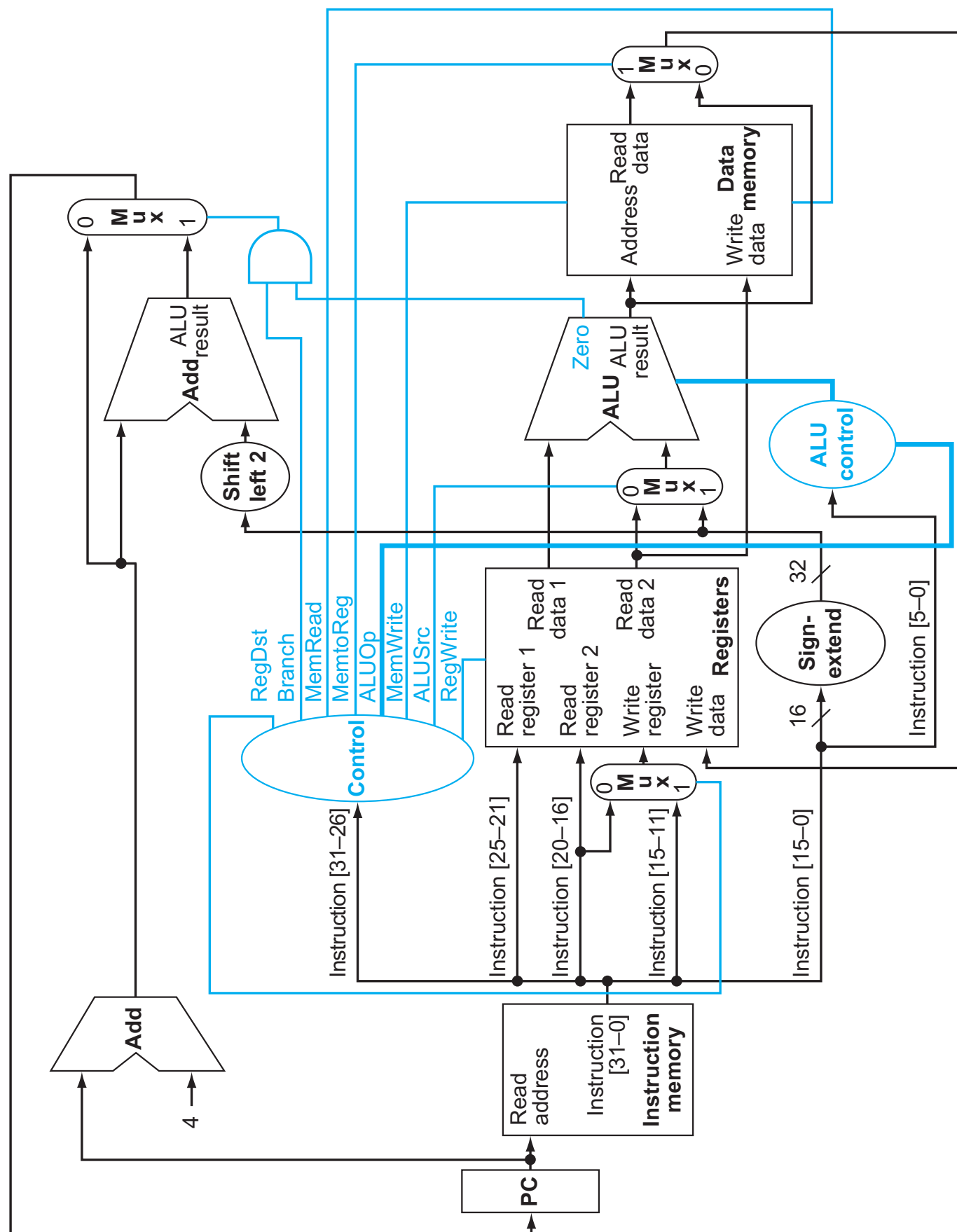


Figura 1: Diagrama de blocos da implementação MIPS monociclo

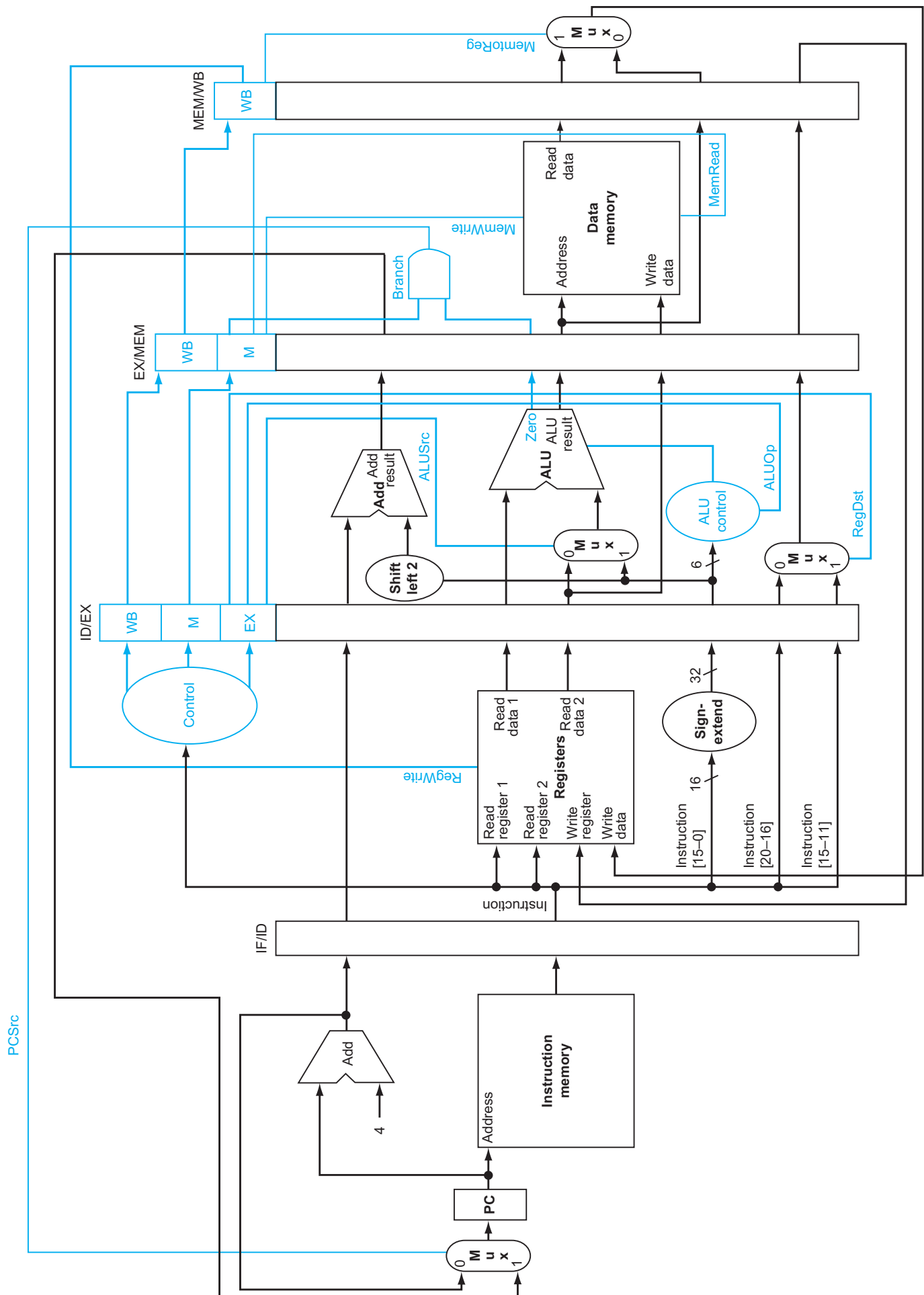


Figura 2: Diagrama de blocos do *pipeline* MIPS