

Zastosowanie wyświetlacza LCD z płytki ewaluacyjnej Genesys Virtex-5 FPGA

Wykonał: Tomasz Kąkol

Spis treści

Lista zastosowanego sprzętu / funkcjonalności / aplikacji.....	1
Opis działania programu – instrukcja użytkownika.....	1
Opis działania programu – opis algorytmu.....	1
Opis funkcjonalności / sprzętu	2
Wyświetlacz LCD.....	2
Rejestry UART	2
Bibliografia.....	2

Lista zastosowanego sprzętu / funkcjonalności / aplikacji

- Płytkę ewaluacyjną Genesys Virtex-5 FPGA, posiada m.in.:
 - Procesor PicoBlaze w wersji 3
 - Wyświetlacz LCD
- Terminal Tera term
- Środowisko pBlazeIDE firmy Mediatronix
- Złącza RS232 (interfejs UART)
- Komputer stacjonarny

Opis działania programu – instrukcja użytkownika

Po przygotowaniu układu i jego uruchomieniu użytkownik za pomocą klawiatury wypisuje dowolny tekst w terminalu *Tera term*. Następnie wypisywany tekst zostaje wyświetlany na wyświetlaczu LCD. Po całkowitym wypełnieniu obszaru wyświetlacza przez tekst następuje automatyczne wyczyszczenie ekranu, umożliwiając czytelne wyświetlanie kolejnych wypisywanych znaków przez użytkownika.

Opis działania programu – opis algorytmu

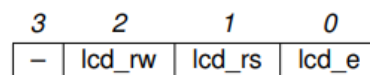
1. Określenie portów wejścia / wyjścia UART
2. Konfiguracja wyświetlacza LCD
3. Nasłuchiwanie na wypisanie znaku w terminalu *Tera term*
 - a. *'IN statusa, uart0_status'* - odczytanie wartości na wskazanym porcie wejściowym
4. Wypisywanie znaku na wyświetlaczu LCD
 - a. Walidacja położenia wypisywanych znaków (*COMP* z 32/16 znakami (2/1 wiersz wyświetlacza)).
 - b. Stosowanie niezbędnych opóźnień *'delay_5ms'*

- c. W przypadku wypełnienia wszystkich 32 pozycji wyczyszczenie wyświetlacza z użyciem procedury 'clear' (nadpisanie na wszystkich pozycjach null 'LOAD s3, 0').
5. Wracamy do początku punktu 3 i algorytm jest w pętli nieskończonej.

Opis funkcjonalności / sprzętu

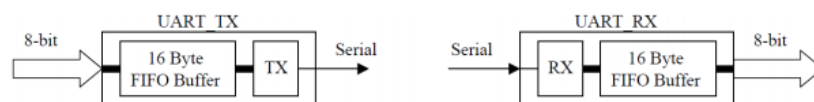
Wyświetlacz LCD

- może pracować w trybie 4. lub 8. Bitowym
- rejestr *lcd_value* to 8. bitowe wejście wyświetlacza LCD
- rejestr *lcd_control* to linie kontrolne wyświetlacza
- lcd_e* (ang. *enable pulse*) – impuls wpisujący
- lcd_rs* (ang. *register/data select*) – interpretacja danych z *lcd_value* ('0' jeżeli komenda, '1' dane do wyświetlenia)
- lcd_rw* (ang. *read/write*) – kierunek transmisji ('0' jeżeli piszemy, '1' to czytanie -> nie zaimplementowane – potrzebne wyjścia trójstanowe)

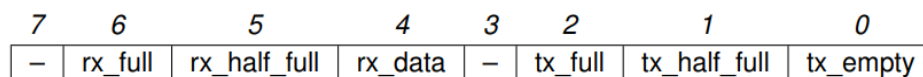


Rejestry UART

- transmisja UART wykorzystuje moduły 'verilogowskie' dostarczane przez firmę *Xilinx* wraz z procesorem *PicoBlaze*



- moduły nadajnika i odbiornika są rozdzielne
- oba moduły bazują na 16. bajtowych kolejkach FIFO
- znaczniki informujące o zajętości obu kolejek: 'full', 'half_full' i 'empty'
- parametry: brak kontroli przepływu, 8 bitów, brak parzystości, jeden bit stopu oraz UART0 – 115200 bd
- rejestry 'uartn_status' (n∈[0,1]) przechowują bity stanu kolejek nadawczej i odbiorczej dla bloków UART0 i UART1
- rejestry 'uartn_int_mask' włączają przerwania związane z kolejnymi bitami statusu w bloku UART0 i UART1



Bibliografia

- https://reference.digilentinc.com/_media/genesys:genesys_rm.pdf
- http://orion.fis.agh.edu.pl/~swientek/mikroprocesorowe/projekt_lab_picoblaze-wykklad.pdf