2주차 예비보고서

전공: 기계공학과 학년: 3학년 학번: 20191820 이름: 김형준

**1.**

HDL(Hardware Description Language)은 하드웨어 기술 언어라고 하며, 전자회로의 구조와 동작을 정밀하게 기술하는데 사용되는 컴퓨터 언어이다. 주요 특징으로는 추상화, 동시성 및 병행성, 병렬성이 있으며, 기존 프로그래밍 언어와 달리 하드웨어 상에서 동작하는 시간과 동시성 표현이 가능하다. 또한, 시뮬레이션을 통해 제대로 동작하는지 결과를 바로 확인 할 수 있다.

HDL의 종류로는 Verilog, VHDL, AHDL (알테라 HDL), JHDL (자바 기반 HDL), MyHDL (파이썬 기반 HDL), RHDL (루비 기반 HDL) 등이 있다.

VHDL(VHSIC Hardware Description Language)은 Verilog와 더불어 가장 많이 사용되는 하드웨어 기술 언어로써, VHSIC은 Very-High-Speed Integrated Circuits의 약자로, 초고속 직접회로를 의미한다. 디지털 회로를 설계하는데 주로 사용되며, 아날로그 신호를 포함하는 디지털회로와 혼합 신호 등을 표현할 수 있다. 또한, VHDL은 Verilog보다 오래되었으며, Ada와 Pascal을 기반으로 한다. 1987년 IEEE 표준 1076으로 표준화 되었다.

AHDL(Altera Hardware Description Language)는 CPLD (complex programmable logic device)와 FPGA를 프로그래밍 하기 위해 Altera에서 만들어진 HDL중 하나이다.

AHDL은 C언어와 유사한 문법을 가지며, VHDL과 유사하게 동작한다.

**2.**

ㆍ1981년, 프라부 고엘(Prabhu Goel)이 미국에서 Gateway Design Automation이라는 회사를 설립한다.

ㆍ1983년, Verilog 언어와 시뮬레이터가 최초로 공개되었다.

ㆍ1985년, 새 버전인 Verilog-XL과 그 시뮬레이터가 공개되었다.

ㆍ1989년, Cadence Design Systems사에 인수되었다.

ㆍ1990년, Cadence사가 Verilog HDL을 공개하고, VHDL의 독점을 막기 위해

Open Verilog International(OVI)을 조직하여 사용자가 늘어나 업계표준 HDL로 자리잡게 되었다.

ㆍ1995년, Verilog가 IEEE 표준 1364-1995로 표준화 되었다. (Verilog-95)

ㆍ2001년, IEEE 표준 1364-2001로 개정되었다. (Verilog-2001)

ㆍ2005년, IEEE 표준 1364-2005로 개정되었다. (Verilog-2005)

ㆍ2009년, Verilog HDL의 확장형태인 System Verilog가 출시되었다.

ㆍ현재 Verilog는 Accellera (구 OVI)가 유지 및 관리를 맡고 있다.

**3.**

Verilog의 문법은 C언어와 유사하며, 구조적 언어의 특징을 지닌다. (top-down 방식을 따름)

C언어와 마찬가지로 대소문자를 구분하며, if나 while같은 제어 구조도 동일하다.

1. 주석 표기방법 :

C언어와 동일하게 한 줄 주석은 //로, 여러 줄 이상은 /\* ~ \*/로 사용할 수 있다.

코드에 작성된 주석은 컴파일과정에서 무시된다.

2. 상수

(비트 수)’(입력형식)(입력값)의 형태로 선언한다.

비트 수는 선언할 상수가 사용할 비트의 개수를 의미하며, 미입력시 입력값에 맞는 비트 수가 설정된다. 입력형식은 상수의 진법을 의미하며, 2진법은 b, 8진법은 o, 10진법은 d, 16진법은 h로 입력한다. 음수의 경우 맨 앞에 –를 붙이며, 2의 보수 형식으로 표현된다.

3. 연산자

c언어와 유사하게 산술 연산자 (+, -, \*, /, %, \*\*), 비트 연산자 (~, &, |, ^), 관계 연산자 (<, <=, >, >=, ==, !=), 논리 연산자 (||, &&, !), Shift 연산자 (<<. >>), 조건 연산자 (?:)를 사용할 수 있다.

또한, 추가적으로 중괄호를 사용한 결합 및 반복 연산자를 사용할 수 있다.

4. 자료형

Verilog의 자료형에는 크게 Register와 Net으로 구분할 수 있는데, Register는 추상적인 저장 장치를 나타내고, Net은 디바이스간의 물리적 연결을 나타낸다. Register는 reg (절차적 할당문에 의해 값을 받는 변수), integer (정수형 변수), time (시뮬레이션 시간을 저장하는 변수), real(실수형 변수)로 구성되며, 한 할당에서부터 다음 할당까지 저장된 값을 유지한다.

Net은 wire(단순한 연결을 위해 사용하는 변수), tri (3상태 net에 사용되는 변수) 등으로 구성된다.

5. 벡터

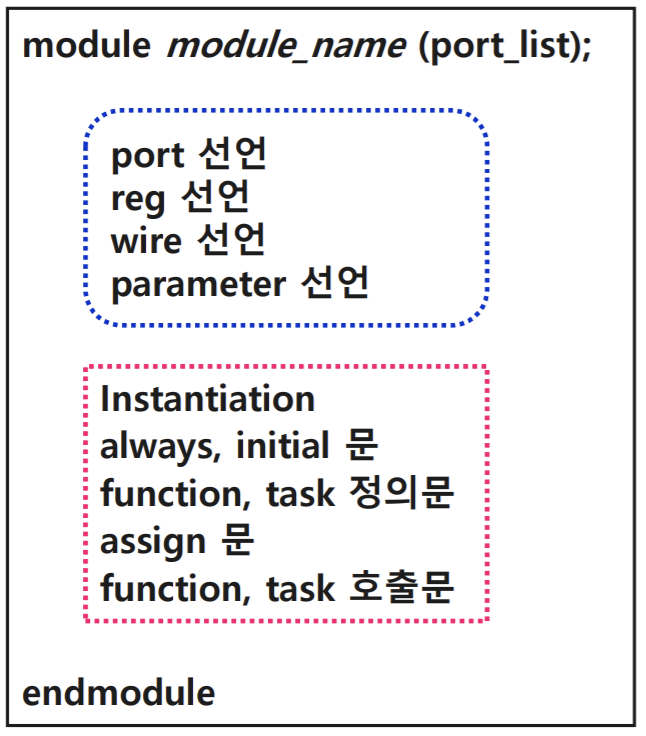
범위지정을 갖는 다중 비트의 net 또는 reg 자료형을 의미하며, 자료형 [MSB:LSB] 식별자 의 형태로 선언한다. 단일 할당문을 사용해 값을 할당받을 수 있다.

6. C언어와 구분되는 특징 :

블록의 시작과 끝을 중괄호 기호({})로 나타내지 않고, Begin과 End로 대신 표기한다.

HDL의 특징인 시간에 대한 개념이 언어에 포함되어 있다. (`timescale <시간단위>/<정밀도> 등)

7. 모듈의 구조



모듈은 Verilog 설계의 기본 단위이며, 위 그림과 같이 module은 머리부, 선언부, 몸체부로 세 부분으로 구분할 수 있다. 머리부는 module의 시작과 끝을 나타내며, module 모듈명 (포트 목록); 으로 모듈의 시작을, endmodule로 모듈의 끝을 나타낸다.

선언부는 모듈에서 필요한 변수들을 선언하는 곳으로, 포트 목록에 있는 포트들의 방향과 비트 폭, reg, wire, parameter 등을 선언한다.

몸체부는 회로의 기능, 동작, 구조 등을 표현하는 구문들(always, initial, assign문 등)로 구성된다.