**小型化高效率基站GaN功率放大器设计**

**1、背景**

Sub-6G MM系统典型单元个数为64或128，因此单元功放的功率要求大大降低，但是单元功放的尺寸要求更加严格。传统板级功放功率和效率较高，但是尺寸太大，难以应用在5G基站中。所以功放小型化和高效率将是功放设计的趋势。

**2、现有解决方案**

目前针对功放小型化和高效率的设计方案主要有:

1）单片集成电路设计（MMIC）Doherty方案

2）载板上管芯+SMD混合集成Doherty方案

3）管芯+集成无源器件（IPD）混合集成Doherty方案

**3、问题**

请大家结合自身知识，结合功放小型化和高效率的最新成果和技术，针对功放尺寸、成本、效率和带宽等方面，仿真设计一款小型化高效率Doherty功放（最终版图仿真）。建议采用GaN 0.25um工艺（如需要请向我们索取）

指标要求如下：

封装尺寸：6\*10mm2（最终版图要能在此封装尺寸内放下）

频率：中心频点4800MHz，带宽≥200MHz

增益：≥11dB

饱和功率（P3dB）:≥45dBm

平均功率：37.5dBm

效率：≥39%@37.5dBm

要求：请您以Word输出整体方案，并将其中关键技术要点以PPT形式进行输出，在极致挑战环节进行宣讲。

加分项：

* 小型化电路设计技巧；
* 效率提升电路设计技巧；
* 带宽拓展设计技巧。
* 线性增强设计技巧。
* 降低封装寄生影响的技巧。

要求：请您以Word输出整体运作方案，并将其中要点以PPT形式进行输出，在极致挑战环节进行宣讲。