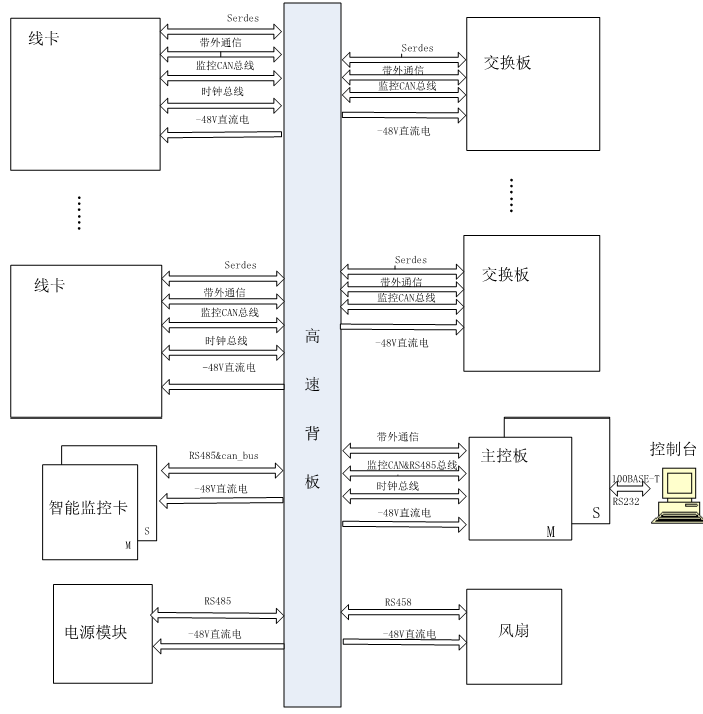
**高速Serdes接口关键技术研究**

**1、背景**

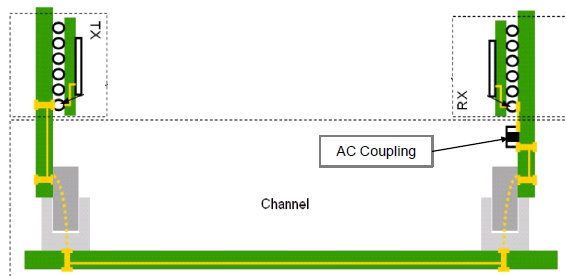
在5G综合承载、数据中心内部互联等应用场景中，路由器/交换机/OTN设备将通过serdes接口进行板内和板间的互联以实现以太网、Interlaken或OFP报文的接入和交换。

大容量的设备常采用下图式的集中式交换架构，所有数据平面的交换都在交换板上的交换芯片中进行，通过背板serdes接口进行线卡与交换板的互联。为满足设备交换容量需求，背板通道通常需要支持不低于1m的物理传输长度。为满足设备误码性能需求，需要背板接口的误码率不高于1E-15。



**2、现有解决方案**

当前背板接口的速率达到50Gbps+，物理通道包括如下图所示的1m PCB走线+2个背板连接器。为满足背板接口误码性能需求，物理层采用的主要技术方案，芯片及收发器方面包括64/66B编码+扰码，RS(544,514) FEC, Gray coding, Precoding, PAM4 signaling，FFE，DFE，CDR等。物理通道方面包括very low loss PCB基材，高性能背板连接器，DC blocking on package/die, Package substrate/PCB传输线、过孔等物理设计优化等。



**3、问题**

请大家结合自身所学知识，以及高速电接口领域的最新成果，设计背板接口收发器方案。基本目标是可以支撑50Gbps速率、30dB IL/0.3dBrms ILD/0.7mV ICN物理通道的信号传输，PostFEC BER不高于1E-15。

要求：请您以Word输出整体技术方案，并将其中要点以PPT形式进行输出，在极致挑战环节进行宣讲。

注：关于要点，首先是关键技术方案的识别和覆盖。在此基础上，您可以聚焦自己的专业领域，详细阐述其技术方案并与领域的标杆进行对比。

加分项：

* 功耗低（Serdes and ASIC 相关power）
* 资源少（Serdes and ASIC 相关area）
* 时延低（Serdes and ASIC 相关latency）
* BER低（例如1E-17）
* 速率高（例如100Gbps，需要支持的通道性能规格数值不变但注意与baudrate相关）
* 基于量化的分析、验证（如需物理通道模型可从考官处获取，如自建需给出通道性能及S参数）

要求：请您以Word输出整体运作方案，并将其中要点以PPT形式进行输出，在极致挑战环节进行宣讲。