



MINI PROJET System On Chip Specifications

Rédacteurs	Antonin BROQUET, Michael PERRIN
Date de création	19 septembre 2017
Statut	Released
Version	1.0

1. Introduction

Ce document a pour but de spécifier les fonctionnalités du système ainsi que son architecture générale.

2. Spécifications

2.1 Description

Nous nous proposons de réaliser un calcul matriciel sur des entiers non signés 8 bits dans la partie logique. Ce périphérique matériel tournera à une fréquence de 250MHz (si les contraintes de timing le permettent) afin de mettre en oeuvre 2 domaines d'horloge différents ce qui est courant dans les SoC. Cette fréquence sera fournie par la PLL configurable de la partie PS. Cette PLL fournit jusqu'à 4 fréquences dont une réservée au bus AXI.

Le calcul sera contrôlé par la partie logicielle exécutée sur un linux embarqué. L'application demande les matrices d'entrée, puis les charge dans les registres du périphérique et démarre le calcul via le registre de contrôle (bit START). Enfin le périphérique monte un bit de status (bit DONE) dans le registre de contrôle lorsqu'il a finit le calcul.

2.2 Architecture globale

La figure suivante décrit la vue globale de l'architecture du SoC:

