

Arquitectura de Computadores (543426)

Certamen No. 3 (4 de Julio de 2014)

Nombre: _____

Matrícula: _____

Prob. 1:	/6
Prob. 2:	/6
Prob. 3:	/6
Total:	/18

Reglas: Tiempo: 90 minutos. Responda en las mismas hojas del certamen y entregue **todas** las hojas al finalizar. Escriba su nombre en todas las hojas. Se prohíbe el uso de teléfonos y PDAs.

Prob. 1: [6p] Memoria DRAM

Considere una CPU cuya memoria cache L2 tiene bloques de 512 bytes. El sistema de memoria RAM tiene dos buses frontales de 64 bits en configuración de canal dual, y está compuesto por memoria DDR3-1066, con chips con especificación de tiempos 7-7-7-10-T1. Se propone modificar el sistema para soportar la nueva memoria DDR3-2133 con chips 12-12-12-15-T1. En todos los casos, el largo de la ristra en DDR3 es de 8 datos. Calcule el tiempo de transferencia de un bloque de cache desde RAM a L2 (en ns) para ambos casos. Qué porcentaje del tiempo de ejecución de un programa debería pasar el sistema sirviendo fallos en L2 para que el nuevo sistema de memoria consiga una aceleración de 1.15 en el tiempo de ejecución del programa?

Bloque L2 = 512 bytes $\rightarrow 512/(8*2) = 32$ transacciones $\rightarrow (32/8) = 4$ ristas

$t_{L2} = \text{tasa comandos} + t_{RCD} + 4*(t_{CAS} + 4 \text{ tBus})$

Para DDR3-1066 $\rightarrow f_{Bus} = 1066/2 = 533\text{MHz} \rightarrow t_{Bus} = 1.876\text{ns}$

7-7-7-10 T1 $\rightarrow t_{RCD} = t_{CAS} = 7$

$t_{L2-DDR1066} = (1 + 7 + 4*(7+4))*1.876$

$t_{L2-DDR1066} = 97.55\text{ns}$

Para DDR3-2133 $\rightarrow f_{Bus} = 2133/2 = 1066.5\text{MHz} \rightarrow t_{Bus} = 0.938\text{ns}$

12-12-12-15-T1 $\rightarrow t_{RCD} = t_{CAS} = 12$

$t_{L2-DDR2133} = (1 + 12 + 4*(12+4))*0.938$

$t_{L2-DDR2133} = 72.23\text{ns}$

$S_{parcial} = 97.55/72.33 = 1.35$

F = ?

$S = 1 / ((1-F) + F/S_{parcial})$

$1.15 = 1 / ((1-F) + F/1.35)$

$0.87 = 1 - 0.26*F$

$F = 0.5$ (50%)

Prob. 2: [6p] Discos duros

Suponga un disco con una velocidad de rotación de 15.000rpm, 3.000 cilindros numerados del 0 al 2.999, y sectores de 512 bytes. La tasa de transferencia es de 128MB/s y la sobrecarga del controlador es de 0,3ms. Suponga que en tiempo $t=0$ el brazo del disco se encuentra en el cilindro 1.500, moviéndose en sentido ascendente. En ese momento, la cola del controlador tiene requerimientos por sectores en los siguientes cilindros (en orden de llegada): 500, 250, 1.600, 1.000, 2.300, 2.700, 50. **Cada requerimiento solicita la lectura de 8 bloques adyacentes en el disco.**

- a) [4p] Determine el orden de atención de los requerimientos para los algoritmos de planificación del brazo SSTF y C-SCAN.

Cilindros: 50 - 250 - 500 - 1000 - (1500) - 1600 - 2300 - 2700

SSTF: (1500) - 1600 - 1000 - 500 - 250 - 50 - 2300 - 2700

C-SCAN: (1500) - 1600 - 2300 - 2700 - 2999 - 0 - 50 - 250 - 500 - 1000

- b) [2p] Calcule el tiempo total de atención asumiendo que el brazo del disco se mueve a una velocidad promedio de 200 cilindros por milisegundo, excepto cuando recorre el disco de un extremo a otro sin detenerse, en cuyo caso se demora 2 ms en recorrer los 3.000 cilindros.

Velocidad de rotación: 15000 rpm \rightarrow 4ms por revolución \rightarrow Trot = 2ms

Ttransf = (512*4)/128M = 0.03ms

Toverhead = 0.3ms

Ttotal-rot-transf-ovh = 7*(2+0.03+0.3) = 16.31ms

SSTF: cil. tot. = 100 + 600 + 500 + 250 + 200 + 2250 + 400 = 4300

TseektotalSSTF = 4300*(1/200) = 21.5ms

TtotalSSTF = 21.5 + 16.31

TtotalSSTF = 37.81ms

C-SCAN: cil. tot. = 100 + 700 + 400 + 299 + 50 + 200 + 250 + 500 = 2499

TseektotalC-SCAN = 2499*(1/200) + 2 = 14.5ms

TtotalC-SCAN = 14.5 + 16.31

TtotalC-SCAN = 30.81ms

Nombre:

Matrícula:

Prob. 3 [6p]: Memorias cache

Considere un procesador con pipeline sencillo de 5 etapas y un sistema de memorias cache de 3 niveles.

1. El cache L1 es separado para instrucciones y datos. El tiempo de acierto es de 1 ciclo de reloj. La tasa de fallos para instrucciones es de 8% y para datos es de 12%. El tamaño de bloque es de 64 bytes en ambos casos.
2. El cache L2 es unificado y relativamente pequeño. La tasa global de fallos para instrucciones es de 2% y de datos es de 5%. El tamaño de bloque es de 128 bytes. El bus entre L1 y L2 es de 32 bytes de ancho y presenta una latencia de 4 ciclos de reloj más 1 ciclo por cada transferencia de datos.
3. Se están considerando dos posibles memorias cache L3, ambas unificada, con un tamaño de bloque de 128 bytes y un bus a L2 de 32 bytes de ancho. La primera es una memoria de 4MB que presenta una tasa global de fallo para instrucciones del 1% y para datos de 2%, con una latencia de acceso de 12 ciclos más 1 ciclo por transferencia de datos. La segunda tiene un tamaño de 8MB y presenta una tasa global de fallo para instrucciones del 0.5% y para datos del 1%, pero su latencia de acceso es de 20 ciclos más un ciclo por transferencia de datos.

El bus entre L3 y DRAM es de 16 bytes de ancho y tiene una latencia de 200 ciclos más dos transferencias por ciclo de reloj.

Calcule el CPI del procesador con cada una de las dos alternativas de memoria cache y determine cuál es más conveniente. Asuma que el CPI con un sistema de memoria perfecto es de 1.5 y que un 25% de las instrucciones ejecutadas por el programa son load/store.

$$\text{CPI} = \text{CPI_base} + \text{tasa_fallo_I} * \text{trf_bloq} + \text{frec_ls} * \text{tasa_fallo_D} * \text{trf_bloq}$$

$$\text{transf_L2_L1} = 4 + (64/32) * 1 = 6 \text{ ciclos}$$

$$\text{transf_L3_L2a} = 12 + (128/32) * 1 = 16 \text{ ciclos}$$

$$\text{transf_L3_L2b} = 20 + (128/32) * 1 = 24 \text{ ciclos}$$

$$\text{transf_DRAM_L3} = 200 + (128/16) * 0.5 = 204 \text{ ciclos}$$

$$\text{CPI a} = 1.5 + 0.08 * 6 + 0.02 * 16 + 0.01 * 204 + 0.25 * (0.12 * 6 + 0.05 * 16 + 0.02 * 204)$$

$$\text{CPI a} = 5.74$$

$$\text{CPI b} = 1.5 + 0.08 * 6 + 0.02 * 24 + 0.005 * 204 + 0.25 * (0.12 * 6 + 0.05 * 24 + 0.01 * 204)$$

$$\text{CPI b} = 4.47$$

Es preferible usar la memoria cache de 8MB por sus mejores tasas de fallos.

Nombre:

Matrícula:

Alternativamente:

$$CPI = 1.5 + tasa_f_L1_I * trf_bloq_L1_I + frec_ls * tasa_f_L1_D * trf_bloq_L1_D$$

$$tasa_f_I = 0.08$$

$$tasa_f_D = 0.12$$

$$frec_ls = 0.25$$

$$tasa_local_fallo_L2_I = 0.02/0.08 = 0.25$$

$$tasa_local_fallo_L2_D = 0.05/0.12 = 0.42$$

$$transf_L2_L1 = 4 + (64/32) * 1 = 6 \text{ ciclos}$$

$$CPI = 1.5 + 0.08 * (6 + 0.25 * trf_bloq_L2_I) + 0.25 * 0.12 * (6 + 0.42 * trf_bloq_L2_D)$$

$$CPI = 1.5 + 0.48 + 0.02 * trf_bloq_L2_I + 0.18 + 0.25 * 0.05 * trf_bloq_L2_D$$

$$CPI = 2.16 + 0.02 * trf_bloq_L2_I + 0.0125 * trf_bloq_L2_D$$

$$tasa_local_fallo_L3_Ia = 0.01/0.02 = 0.5$$

$$tasa_local_fallo_L3_Da = 0.02/0.05 = 0.4$$

$$transf_L3_L2a = 12 + (128/32) * 1 = 16 \text{ ciclos}$$

$$CPIa = 2.16 + 0.02 * (16 + 0.5 * trf_bloq_L3) + 0.0125 * (16 + 0.4 * trf_bloq_L3)$$

$$CPIa = 2.16 + 0.32 + 0.01 * trf_bloq_L3 + 0.2 + 0.005 * trf_bloq_L3$$

$$CPIa = 2.68 + 0.015 * trf_bloq_L3$$

$$trf_bloq_L3 = 200 + (128/16) * 0.5$$

$$trf_bloq_L3 = 204$$

$$CPIa = 2.68 + 0.015 * 204$$

$$CPIa = 5.74$$

$$tasa_local_fallo_L3_Ib = 0.005/0.02 = 0.25$$

$$tasa_local_fallo_L3_Db = 0.01/0.05 = 0.2$$

$$transf_L3_L2b = 20 + (128/32) * 1 = 24 \text{ ciclos}$$

$$CPIb = 2.16 + 0.02 * (24 + 0.25 * trf_bloq_L3) + 0.0125 * (24 + 0.2 * trf_bloq_L3)$$

$$CPIb = 2.16 + 0.48 + 0.005 * trf_bloq_L3 + 0.3 + 0.0025 * trf_bloq_L3$$

$$CPIb = 2.94 + 0.0075 * trf_bloq_L3$$

$$CPIb = 2.94 + 0.0075 * 204$$

$$CPIb = 4.47$$

Es preferible usar la memoria cache de 8MB por sus mejores tasas de fallos.