

Arquitectura de Computadores
Practica N°6 y N°7 - Procesadores Multiciclo

Problema 1 - Se desea agregar al procesador multiciclo MIPS una instrucción de lectura de vectores con verificación de límites. La instrucción (LWB) utiliza el formato-I y se comporta en forma similar a una instrucción LW con desplazamiento positivo: Lee un elemento de un vector desde memoria hacia el registro rt, usando el registro rs como dirección base del vector y la constante de 16 bits extendida en Ceros como desplazamiento. Pero la instrucción solo almacena el resultado en rt si el desplazamiento es menor o igual al largo del vector. El largo (un número de 32 bits) está almacenado en la dirección de memoria dada por [rs-4]. Si el desplazamiento es mayor al largo se almacena la constante 0xFFFF en el registro rt. La descripción RTL lógica es:

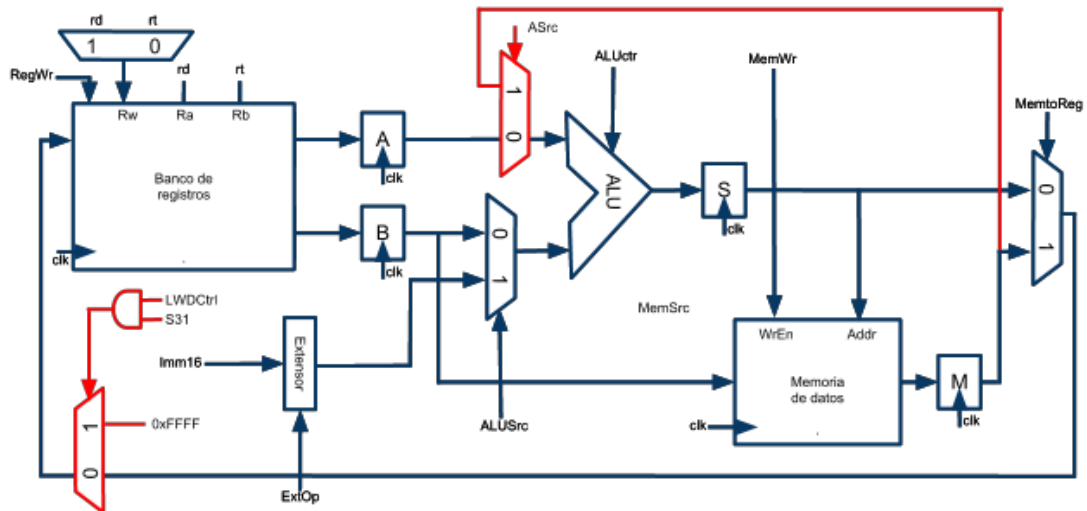
```
LWB: if ( Zext(Imm16) <= M[R[rs]-4]
      R[rt] ← M[R[rs] - Zext(Imm16)]
    else
      R[rt] ← 0xFFFF
```

Agregue la instrucción LWB al procesador MIPS multiciclo. Minimice la cantidad de ciclos de ejecución de la instrucción. Puede agregar multiplexores y cables, pero no registros ni sumadores. Asuma que la ALU tiene una operación “-4” que resta 4 de la entrada superior e ignora la entrada inferior.

a) Escriba una descripción RTL física (ciclo a ciclo) para su implementación

- (1) $IR \leftarrow IM[PC]$
- (2) $A \leftarrow R[rs] ; B \leftarrow R[rt]$
- (3) $S \leftarrow A - 4$
- (4) $M \leftarrow Mem[S] ; S \leftarrow A - Imm16$
- (5) $M \leftarrow Mem[S] ; S \leftarrow M - Imm16$
- (6) $R[rt] \leftarrow S_{31} ? 0xFFFF : M$

b) Indique las modificaciones necesarias a la sección de datos para implementar la descripción RTL física del punto a).



c) Indique los valores para las señales de control en cada una de las etapas de ejecución de las instrucciones. Agregue o modifique las señales de control existentes como sea necesario.

	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
LdIR	1	0	0	0	0	0			
RegDst	x	x	x	x	x	0			
RegWr	0	0	0	0	0	1			
LdA	x	1	0	x	x	x			
LdB	x	1	x	x	x	x			
ExtOp	x	x	x	0	0	x			
ALUSrc	x	x	x	1	1	x			
ALUctr	x	x	-4	sub	sub	x			
LdS	x	x	1	1	1	0			
MemWr	0	0	0	0	0	0			
LdM	x	x	x	1	1	0			
MemtoReg	x	x	x	x	x	1			
LWD	0	0	0	0	0	1			

Problema 2 - Considere agregar una instrucción de apoyo a copia de bloques de datos al procesador multiciclo. La instrucción utiliza el formato-R:

`bcp $rd, ($rs), ($rt)`

La instrucción realiza las siguientes operaciones:

- i) Copia la palabra (4 bytes) en la posición de memoria apuntada por \$rs en la posición de memoria apuntada por \$rt.
- ii) Incrementa \$rs y \$rt para apuntar a la siguiente palabra
- iii) Decrementa el contenido del registro \$rd en 1. Por ejemplo, la instrucción puede ser utilizada para reemplazar el siguiente código:

```
li $t0, N
LOOP: lw $t1, 0($t2)
      sw $t1, 0($t3)
      addi $t2, $t2, 4
      addi $t3, $t3, 4
      addi $t0, $t0, -1
      bne $t0, $zero, LOOP
```

por el siguiente código

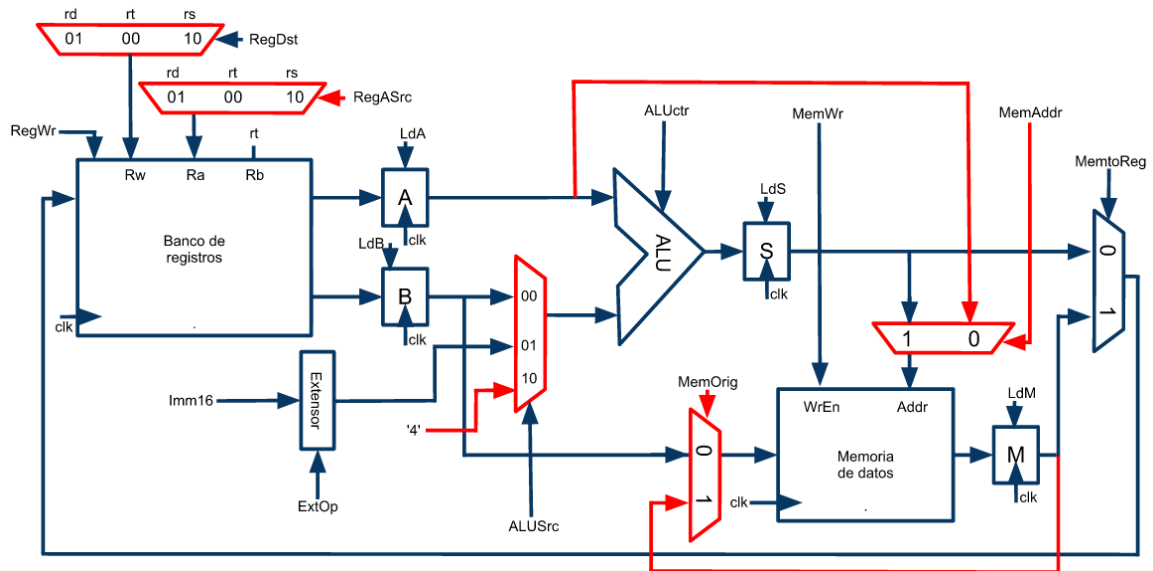
```
li $t0, N
LOOP: bcp $t0, ($t2), ($t3)
      bne $t0, $zero, LOOP
```

Implemente esta instrucción en el procesador multiciclo en el mínimo número de ciclos de reloj. Puede agregar multiplexores y buses, pero no registros ni unidades funcionales (sumadores, etc.). Asuma que la ALU tiene una opción “dec” que resta 1 a la entrada superior (A). La ALU no posee una opción de sumar +4 directamente a una entrada.

a) Entregue una descripción a nivel de transferencia de registros (RTL) física para su implementación.

- (1) $IR \leftarrow IM[PC]$
- (2) $A \leftarrow R[rs]; B \leftarrow R[rt]$
- (3) $S \leftarrow A + 4; M \leftarrow Mem[A]; A \leftarrow R[rt]$
- (4) $R[rs] \leftarrow S; Mem[A] \leftarrow M; S \leftarrow A + 4; A \leftarrow R[rd];$
- (5) $R[rt] \leftarrow S; S \leftarrow A - 1$
- (6) $R[rd] \leftarrow S$

b) Indique las modificaciones necesarias a la sección de datos para implementar la instrucción. Destaque cualquier señal de control nueva o modificación a una señal de control existente.



c) Indique el valor asumido por las señales de control para cada ciclo de ejecución de la instrucción.

	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
LdIR	1	0	0	0	0	0			
RegDst	x	x	x	10	00	01			
RegWr	0	0	0	1	1	1			
LdA	x	1	1	1	0	x			
LdB	x	1	x	x	x	x			
ExtOp	x	x	x	x	x	x			
ALUSrc	x	x	10	10	x	x			
ALUCtr	x	x	add	add	dec	x			
LdS	x	x	1	1	1	x			
MemWr	0	0	0	1	0	0			
LdM	x	x	1	x	x	x			
MemtoReg	x	x	x	0	0	0			
RegASrc	x	10	00	01	x	x			
MemOrig	x	x	x	1	x	x			
MemAddr	x	x	0	0	x	x			

d) Calcule la aceleración alcanzada sobre el código listado arriba con la nueva instrucción. Asuma que el valor de N es suficientemente grande de manera que sólo las instrucciones del lazo tienen peso en el desempeño.

Considerando que el código assembly se ejecutaba en 24 ciclos (4 ciclos ALU, 5 ciclos Lw, 4 ciclos Sw y 3 ciclos bne) y el nuevo código se ejecuta en 9 ciclos (6 de bcp, 3 bne), así por ley de Amdahl

$$S = \frac{1}{1 - 1 + 1/(24/9)} = \frac{24}{9} = 2.66$$

Problema 3 - Se desea agregar al procesador multicycle MIPS una instrucción de intercambio de datos en memoria. La instrucción “mswap” intercambia el contenido de 4 bytes en la dirección de memoria [\$rs +Sext(Imm16)] con la posición consecutiva de memoria (dirección 4 bytes más alta). La instrucción utiliza el formato-I y su descripción RTL lógica es:

mswap Imm16(\$rs): $M[R[rs] + \text{Sext}(\text{Imm16})] \leftarrow M[R[rs] + \text{Sext}(\text{Imm16}) + 4] \parallel$
 $M[R[rs] + \text{Sext}(\text{Imm16}) + 4] \leftarrow M[R[rs] + \text{Sext}(\text{Imm16})]$

Agregue la instrucción “mswap” al procesador MIPS multicycle. Minimice la cantidad de ciclos de ejecución de la instrucción. Puede agregar multiplexores y cables, pero no registros ni sumadores. Asuma que la ALU posee la operación ALUop = “+4” que suma 4 a la entrada superior de la ALU. La instrucción no puede modificar registros del banco de registros de propósito general.

a) Escriba una descripción RTL física (ciclo a ciclo) para su implementación

- (1) $IR \leftarrow IM[PC]$
- (2) $A \leftarrow R[rs]; B \leftarrow R[rt]$
- (3) $S \leftarrow A + \text{Imm16}$
- (4) $M \leftarrow \text{Mem}[S]; S \leftarrow S + 4$
- (5) $\text{Mem}[S] \leftarrow M; M \leftarrow \text{Mem}[S]; S \leftarrow A + \text{Imm16}$
- (6) $\text{Mem}[S] \leftarrow M$

b) Indique las modificaciones necesarias a la sección de datos para implementar la instrucción. Destaque cualquier señal de control nueva o modificación a una señal de control existente.

	(1)	(2)	(3)	(4)	(5)	(6)	(7)	(8)	(9)
LdIR	1	0	0	0	0	0			
RegDst	x	x	x	x	x	x			
RegWr	0	0	0	0	0	0			
LdA	x	1	0	x	0	x			
LdB	x	1	x	x	x	x			
ExtOp	x	x	1	x	1	x			
ALUSrc	x	x	1	x	1	x			
ALUCtr	x	x	add	+4	add	x			
LdS	x	x	1	1	1	0			
MemWr	0	0	0	0	1	1			
LdM	x	x	x	1	1	0			
MemtoReg	x	x	x	x	x	x			
ASrc	x	x	0	1	0	x			
MemSrc	x	x	x	x	1	1			