

Arquitectura de Computadores (543426)

Certamen No. 3 (2 de Julio de 2013)

Nombre: _____

Matrícula: _____

Prob. 1:	/6
Prob. 2:	/6
Prob. 3:	/6
Total:	/18

Reglas: Tiempo: 90 minutos. Responda en las mismas hojas del certamen y entregue **todas** las hojas al finalizar. Escriba su nombre en todas las hojas. Se prohíbe el uso de teléfonos y PDAs.

Prob. 1: [6p] Discos duros

Suponga un disco con una velocidad de rotación de 5400rpm, 150 cilindros y 64 sectores por pista. La tasa de transferencia es de 30MB/s y la sobrecarga del controlador es de 0.3ms. Suponga que en tiempo $t=0$ el brazo del disco se encuentra en el cilindro 150, moviéndose en sentido ascendente. En ese momento, la cola del controlador tiene requerimientos por sectores en los siguientes cilindros (en orden de llegada): 58, 30, 180, 135, 200, 250, 10.

- a) [4p] Determine el orden de atención de los requerimientos para los algoritmos de planificación del brazo FCFS, SSTF y SCAN.

FCFS: 58,30,180,135,200,250,10.

SSTF: 135, 180, 200, 250, 58, 30, 10.

SCAN: 180, 200, 250, 135, 58, 30, 10.

Nombre:

Matrícula:

- b) [2p] Calcule el tiempo total de atención asumiendo que el brazo del disco se mueve a una velocidad promedio de 20 cilindros por milisegundo.

Velocidad de rotación: 5400 rpm \rightarrow 11ms por revolución \rightarrow Trot = 5.5ms

Ttransf = 11ms/64 = 0.172ms

Toverhead = 0.3ms

FCFS: cilindros totales = 150-58 + 28 + 150 + 45 + 65 + 50 + 240 = 670.

TseektotalFCFS = 670 * (1/20) = 33.5ms

TtotalFCFS = 33.5 + 7*(5.5+0.172+0.3) = 33.5 + 41.8

TtotalFCFS = 75.3ms

SSTF: cilindros totales = 150-135 + 45 + 20 + 50 + 192 + 28 + 20 = 370.

TseektotalSSTF = 370*(1/20) = 18.5ms

TtotalSSTF = 18.5 + 41.8

TtotalSSTF = 60.3ms

SCAN: cilindros totales = 180-150 + 20 + 50 + 115 + 77 + 28 + 20 = 340.

TseektotalSCAN = 340*(1/20) = 17ms

TtotalSCAN = 17 + 41.8

TtotalSCAN = 58.8ms

Nombre:

Matrícula:

Prob. 2 [6p]: Memoria Virtual

Considere un procesador con un sistema de memoria virtual con paginación en tres posibles configuraciones:

1. Tabla de páginas de un nivel
2. Tabla de páginas de tres niveles con igual cantidad de entradas en las tablas los 3 niveles
3. Tabla de páginas invertida

Las direcciones virtuales son de 46 bits, el tamaño de la página es de 8 KBytes y el tamaño máximo de la memoria física (real) es de 64 GBytes.

- a) [3p] Calcule la cantidad de bytes necesarios para cada entrada en la tabla de páginas en cada una de las tres alternativas anteriores y el tamaño total de la tabla de páginas. Asuma que los bits de validez y protección se almacenan en 1 byte e ignore el espacio para almacenar la dirección de bloque donde reside la página en disco en caso de encontrarse memoria. Su resultado debe expresarse en múltiplos enteros de 1 byte. Para el caso de la segunda configuración, debe indicar el tamaño de la tabla en cada nivel, y el total asumiendo que un 1% de las tablas de segundo nivel y un 0.005% de las tablas de tercer nivel se encuentran presentes en memoria física.

Memoria Física: 64GB \rightarrow Direcciones físicas de 36 bits.

Páginas de 8KB \rightarrow offset de 13 bits

Número de página física de 23 bits.

Número de página virtual de 33 bits.

Tamaño de PTE (1) y (2) = $23 + 8 = 31 \rightarrow 32$ bits (4 bytes).

Tamaño de PTE Tabla Invertida = $33 + 8 = 41 \rightarrow 48$ (6 bytes)

1. Tabla de 1 nivel

Offset en tabla: $46 - 13 = 33$ bits.

Tabla de páginas contiene 8G PTEs \rightarrow **Tamaño de tabla = 32GB.**

2. Tabla de 3 niveles

Offset en tabla L1 = offset tabla L2 = offset tabla L3 = 11 bits.

Cada tabla contiene 2K PTEs \rightarrow Tamaño de cada tabla = 8KB.

Total RAM Tabla L1 = 8KB

Total RAM Tabla L2 = $2K * 8KB * 0.01 = 0.16MB$

Total RAM Tabla L3 = $2K * 2K * 8KB * 0.00005 = 0.0016 GB$

3. Tabla invertida

Número de páginas físicas = $2^{23} = 8M$

Tamaño de tabla invertida = $8M * 6B = 48MB$

Nombre:

Matrícula:

- b) [3p] Calcule el tiempo promedio de traducción de una dirección virtual en cada uno de los esquemas anteriores. Asuma que el la tasa de acierto del TLB es 99% y su tiempo de acierto es de 1 ciclo de CPU. La tasa de acierto del cache L1 de datos es del 95%, el tiempo de acierto es de 1 ciclo, y la penalidad de fallo es de 3.2 ciclos de reloj. Un acceso asociativo a la tabla de páginas invertida requiere un promedio de 5 lecturas de memoria.

Para el caso de tabla de 1 y 3 niveles, cada PTE es 1 acceso a memoria (4 bytes).

La tabla de 1 nivel requiere acceder 1 tabla cuando falla el TLB

$$TL1 = 1 + 0.01 * 1 * (1 + 0.05 * 3.2)$$

$$TL1 = 1.0116 \text{ ciclos}$$

La tabla de 3 niveles requiere acceder 3 tablas cuando falla el TLB

$$TL3 = 1 + 0.01 * 3 * (1 + 0.05 * 3.2)$$

$$TL3 = 1.0348 \text{ ciclos}$$

La tabla invertida requiere 5 accesos a memoria cuando falla el TLB

$$T_{inv} = 1 + 0.01 * 5 * (1 + 0.05 * 3.2)$$

$$T_{inv} = 1.058 \text{ ciclos}$$

Nombre:

Matrícula:

Prob. 2: [6p] Desempeño de memoria

Considere una CPU cuya memoria cache L2 tiene bloques de 128 bytes. El sistema de memoria RAM tiene un bus frontal de 64 bits y está compuesto por DIMM DDR2 PC6400 y chips con especificación de tiempos 4-4-4-12-T1. Se está considerando modificar el sistema de memoria RAM a DDR3 PC12800 con chips 6-6-6-24-T1. El largo de la ristra en ambos casos es 8. Calcule la penalidad de fallo (en ns) en L2 bajo cada uno de los sistemas de memoria. Si el tiempo de atención de fallos en L2 corresponde a un 25% del tiempo de ejecución de una aplicación, ¿cuál sería la aceleración conseguida por el nuevo sistema de memoria?

Bloque L2 = 128 bytes $\rightarrow 128/8 = 16$ transacciones $\rightarrow 2$ ristas

$t_{L2} = \text{tasa comandos} + t_{RCD} + 2*(t_{CAS} + 4 t_{Bus})$

Para PC6400 $\rightarrow 6400/8 = 800 \rightarrow \text{DDR2-800} \rightarrow f_{Bus} = 800/2 = 400\text{MHz} \rightarrow t_{Bus} = 2.5\text{ns}$

4-4-4-12 T1 $\rightarrow t_{RCD} = t_{CAS} = 4*t_{Bus} = 10\text{ns}$

$t_{L2-PC6400} = 2.5 + 10 + 2*(10+4*2.5)$

$t_{L2-PC6400} = 52.5\text{ns}$

Para PC10800 (el doble de PC6400) $\rightarrow t_{Bus} = 2.5\text{ns} / 2 \rightarrow t_{Bus} = 1.25\text{ns}$

6-6-6-24 T1 $\rightarrow t_{RCD} = t_{CAS} = 6*t_{Bus} = 7.5\text{ns}$

$t_{L2-PC6400} = 1.25 + 7.5 + 2*(7.5+4*1.25)$

$t_{L2-PC6400} = 33.75\text{ns}$

$S_{parcial} = 52.5/33.75 = 1.56$

$F = 0.25$

$S = 1 / ((1-F) + F/S_{parcial})$

$S = 1.1$