

Arquitectura de Computadores

543.426

Tarea No. 3

Se debe trabajar en grupos de 2 personas. Grupos de 1 persona son permitidos pero no recomendados. No se permitirán grupos de más de 2 personas. Se les recuerda que cualquier copia (entre tareas o de fuentes externas) resultarán en calificación 1 para todas las tareas involucradas. Entregar un informe escrito (en computador) con el código debidamente comentado y las explicaciones correspondientes. Plazo máximo de entrega: Miércoles 27 de mayo hasta las 17 horas en Secretaría de Electrónica. No se corregirán tareas atrasadas.

1. Se tiene una máquina llamada MBASE (máquina base) de 500 MHz con instrucciones de tipo ALU, operaciones de punto flotante, Load/Store, saltos condicionales y saltos incondicionales, con CPIs de 6, 20, 25, 5 y 4 respectivamente. Un benchmark (i) que hace uso solamente de aritmética entera posee una distribución de uso de instrucciones de 40% (ALU), 35% (Load/Store), 20% (Salto condicional) y 5% (Salto incondicional). Otro benchmark (ii) utiliza ambas aritméticas siendo una distribución de 15% (ALU), 30% (punto flotante), 35% (Load/Store), 12% (Salto condicional) y 8% (Salto incondicional).
 - a. Calcular el desempeño de CPI y MIPS del procesador MBASE para ambos benchmark.
 - b. Se diseña una nueva máquina M-II (máquina dos) que reduce el tiempo de ejecución del 55% de las instrucciones de tipo aritméticas en un 30%, sacrificando en un 10% la velocidad de reloj. Calcule los CPIs y MIPS de la máquina M-II, además calcule la aceleración de M-II respecto a MBASE para ambos casos. Comente.
 - c. Se tienen dos nuevos benchmark para la máquina MBASE, esta ejecución de benchmark se llamará M-III (máquina tres). Los benchmark M-III tiene una reducción de uso de instrucciones de tipo aritméticas en un 20% y el uso de instrucciones de acceso a memoria (Load/Store) en un 10%. Calcule nuevos CPIs y MIPS, además de la aceleración de M-III respecto a MBASE y a M-II. Comente.
 - d. Utilizando la ley de Amdahl determine la aceleración, de todas las máquinas anteriores en sus dos casos, si las instrucciones de tipo acceso a memoria se redujeran a la mitad de tiempo de ejecución.

2. Considere el siguiente segmento de código assembly MIPS, resultado de compilar un determinado benchmark

```
li $t7, 472
la $t8, COEF
la $t9, VEC
li $t0, 0

WHILE : beq $t0, $t7, FIN
        add $t1, $t0, $t8
        lw $t2, 0($t1)
        add $t3, $t0, $t9
        lw $t3, 0($t3)
        mul $t3, $t3, $t2
        sw $t3, 0($t2)
        b WHILE
FIN:     j FIN
```

Asumiendo que las pseudoinstrucciones “li”, “la” y “b” se sintetizan como “ori”, “lui + ori” y “beq” respectivamente. Y considerando que los ciclos por instrucción para las instrucciones son los mismos del problema 1:

- Calcule el CPI y el tiempo de ejecución del segmento de código anterior, si el procesador funciona a 1GHz.
- Una versión paralela del procesador usa un reloj de 800MHz. En este procesador, un compilador paralelizante puede reducir el número efectivo de iteraciones del lazo a la mitad para el segmento de código anterior (se ejecutan en paralelo en dos núcleos). Calcule la aceleración sobre el procesador y código original.
- Sobre el procesador original, se propone agregar una memoria cache que reduce en un 60% el tiempo de ejecución de los lw/sw. Por limitaciones de capacidad, esta mejora sólo se aplica a un 30% de las instrucciones de acceso a memoria. Calcule el nuevo CPI considerando esta mejora y calcule la aceleración sobre el procesador original y sobre el procesador de la pregunta b.
- Si se agrega un segundo nivel de memoria cache, que reduce en un 80% el tiempo de ejecución del 50% de los lw/sw no considerados en la mejora de la pregunta c. ¿Cuál será la aceleración sobre el procesador original?. Si se debe decidir entre esta mejora y la de la pregunta b ¿Cuál escogería?