

最大充足化問題を用いた抵抗性オープン故障に対するテスト生成法

山崎 紘史[†] 細川 利典[†] 吉村 正義^{††}

新井 雅之[†] 四柳 浩之[‡] 橋爪 正樹[‡]

[†] 日本大学生産工学部 〒275-8575 千葉県習志野市泉町 1-2-1

^{††} 京都産業大学情報理工学部 〒603-8555 京都府京都市北区上賀茂本山

[‡] 徳島大学大学院社会産業理工学研究部 〒770-8506 徳島県徳島市南常三島町 2-1

E-mail: [†] {yamazaki.hiroshi, hosokawa.toshinori, aria.masayuki}@nihon-u.ac.jp

^{††} yoshimura.masayoshi@cc.kyoto-su.ac.jp, [‡] {yanagi4, tume}@ee.tokushima-u.ac.jp

あらまし 従来, VLSI のテストでは, 縮退故障モデルや遷移故障モデルが広く用いられてきた. しかしながら, 半導体微細化技術の進展に伴い, 従来使用されてきた故障モデルを対象としたテストでは検出困難な欠陥が増加している. このような欠陥の一つは, 抵抗性オープン故障モデルでモデル化できる. 抵抗性オープン故障は, 回路内の配線の導電率の低下を表現しており, タイミング故障を引き起こす微小遅延故障である. 抵抗性オープン故障の付加的な遅延サイズは, その隣接信号線の影響によって決定される. そのため, 抵抗性オープン故障のテスト生成では, 隣接信号線と故障伝搬経路の考慮が重要である. 本論文では, MAX-SAT を用いた隣接信号線の逆相遷移数と故障伝搬のための活性化信号線数を考慮した抵抗性オープン故障のテスト生成法を提案する. さらに生成したテストパターンの特性を評価する.

キーワード 抵抗性オープン故障, 最大充足化問題, テスト生成, 隣接信号線

A Test Generation Method for Resistive Open Faults Using MAX-SAT Problem

Hiroshi YAMAZAKI[†], Toshinori HOSOKAWA[†], Masayoshi YOSHIMURA^{††},

Masayuki ARAI[†], Hiroyuki YOTSUYANAGI[‡] and Masaki HASHIZUME[‡]

[†] College of Industrial Technology, Nihon University 1-2-1 Izumicho, Narashino-shi, Chiba, 275-8575 Japan

^{††} Faculty of Information Science and Engineering, Kyoto Sangyo University Kamigamo motoyama Kita-ku, Kyoto, 603-8555 Japan

[‡] Graduate School of Technology, Industrial and Social Sciences, Tokushima University 2-1 Minamijyousanjima, Tokushima, 770-8506 Japan

E-mail: [†] {yamazaki.hiroshi, hosokawa.toshinori, aria.masayuki}@nihon-u.ac.jp

^{††} yoshimura.masayoshi@cc.kyoto-su.ac.jp, [‡] {yanagi4, tume}@ee.tokushima-u.ac.jp

Abstract In VLSI testing, stuck-at fault model and transition fault model have been widely used. However, with advance of semiconductor technologies, it is increasing in defects whose detection is difficult in testing using conventional fault models. One of such defects is modeled by resistive open fault model. Resistive open faults represent degradation in conductivity within circuit's interconnects and result in small delay faults that causing timing failures. The size of an additional delay at a resistive open fault is determined by the effect of the adjacent lines. Therefore, it is important to consider adjacent lines and fault propagation paths in test generation for resistive open faults. In this paper, we propose a test generation method for resistive open faults which considers the number of reversed phase transitions on adjacent lines and the number of sensitized lines for fault propagation using MAX-SAT. Moreover, we evaluate the properties of generated test patterns.

Keywords resistive open faults, MAX-SAT, test generation, adjacent lines

1. まえがき

従来、超大規模集積回路 (Very Large Scale Integrated circuits: VLSI) のテストでは、縮退故障モデル[1]や遷移故障モデル[1]が広く用いられてきた。しかしながら、半導体微細化技術の進展に伴い、従来使用されてきた故障モデルを対象としたテストでは検出困難な欠陥が増加している。このような欠陥の一つは、抵抗性オープン故障モデル[2]でモデル化が可能である。

抵抗性オープン故障は、信号線の半断線によって生じる欠陥をモデル化したものであり、回路内の配線の導電率の低下を表現している。また、抵抗性オープン故障の影響は、タイミング故障を引き起こす微小遅延故障として現れる。抵抗性オープン故障の付加的な遅延サイズは、その隣接信号線の影響によって決定される。文献[3]より、抵抗性オープン故障の付加的な遅延サイズは、全ての隣接信号線が故障信号線とは逆の遷移(逆相遷移)のときに最大となり、全ての隣接信号線が故障信号線と同じ遷移(同相遷移)のときに最小となることが報告されている。また、抵抗性オープン故障は微小遅延であるため遅延サイズが小さく、テスト生成においてはスラックの小さいクリティカルパスや、可能な限り長いパスでテスト生成を行う必要がある。以上のことから、抵抗性オープン故障のテスト生成では、隣接信号線と故障伝搬経路の考慮が重要である。

抵抗性オープン故障のテスト生成法は過去にいくつか提案されている[2, 4-6]。文献[2]では、遷移故障モデルのテストパターン生成のドントケアに対して、隣接信号線の逆相遷移が多くなるように値割当てを行う手法を提案している。これに加え文献[4]では、2 時間展開した回路に対し、1 時刻目と 2 時刻目の故障信号線と隣接信号線を AND ゲートと NOT ゲートを用いて接続し、抵抗性オープン故障を縮退故障と等価にしてテスト生成を行う手法を提案している。また、充足可能性問題(Satisfiability Problem : SAT)を用いてテストパターンのペアを生成し、回路内部に挿入した遅延を検知するオンチップセンサを用いてテストパターンペアの遅延の差分を算出し、抵抗性オープン故障が検出可能か否かを判定する手法も提案されている[5,6]。文献[5]では、隣接信号線に逆相遷移を割当てるテストパターンと、隣接信号線に同相遷移を割当てるテストパターンのペアを生成する手法を提案している。また、文献[6]では、隣接信号線に逆相遷移を割当てるテストパターンと、隣接信号線を 0、または 1 に固定させるテストパターンのペアを生成する手法を提案している。しかしながら、文献[2, 4]の手法では、隣接信号線の遷移のみを考慮した抵抗性オープン故障シミュレータを使用しているため、回路中のゲート遅延や配線遅延が未考慮であり、抵抗性オープン故障が検出可能か否か不明瞭である。また、文献[5, 6]の手法では、回路に専用のオンチップセンサを搭載する必要があるため、回路面積の増加などの問題点がある。

一方、近年 VLSI のテスト生成では、SAT を用いた手法が数多く提案されている。SAT とは論理積標準形 (Conjunctive Normal Form: CNF) で与えられた命題論理式に対して、真となるような論理変数の組合せが存在するか否かを判定する問題である。また SAT を拡張した問題として、最大充足化問題(Maximum Satisfiability Problem: MAX-SAT)が存在する。MAX-SAT では、SAT と同様に CNF が入力となるが、CNF 中の各節に対して重みが設定可能である。具体的には、CNF で与えられた命題論理式に対して真となるような論理変数の組合せが存在するか否かの判断に加えて、CNF の各節に付与した重みのうち、真となる節の重みの総和を最大化する論理変数の組合せを探索する。

本論文では、MAX-SAT の性質に着目し、抵抗性オープン

ン故障の隣接信号線と、故障伝搬経路として活性化可能なトランシティブファンアウトの信号線に対して重みを付与し、MAX-SAT として解くことで、隣接信号線と故障伝搬経路を考慮した抵抗性オープン故障のテスト生成法を提案する。また、提案手法では、回路内部にオンチップセンサは挿入しない。

本論文の構成は以下のとおりである。第 2 章では抵抗性オープン故障について述べ、第 3 章では MAX-SAT について述べ、第 4 章では提案手法である MAX-SAT を用いた抵抗性オープン故障のテスト生成法について述べる。第 5 章では実験結果を示し、最後に第 6 章で結論と今後の課題について述べる。

2. 抵抗性オープン故障

抵抗性オープン故障とは、信号線の半断線によって生じる欠陥をモデル化したものであり、回路内の配線の導電率の低下を表現している。故障信号線は半断線によって抵抗を持ち、その影響はタイミング故障を引き起こす微小遅延故障として現れる。抵抗性オープン故障の付加的な遅延サイズは、その隣接信号線の影響によって決定され、隣接信号線が故障信号線と逆相遷移、0 または 1 の固定、同相遷移の順に遅延サイズが小さくなる。そのため、抵抗性オープン故障のテストでは、可能な限り多くの隣接信号線が逆相遷移となるようなテストパターンを生成することが重要である。

文献[3]では、電磁界シミュレーションを用いて、隣接 3 配線(m0, m1, m2)の m1 に抵抗性オープン故障が発生した場合の隣接信号線の影響による故障信号線の遅延サイズ増加量の解析が行われた。解析対象レイアウトは、3 配線の中央配線 m1 の入力端子近くで半断線故障を挿入しており、10 μ m 間隔で 0 μ m から 100 μ m までの異なる並走距離を用いて解析された。同様に、m1 の断線間隔長も 100nm 間隔で 0nm から 500nm までの異なる長さを用いて解析された。図 1 に、信号線 m1 に立上り遷移の抵抗性オープン故障を仮定し、隣接信号線 m0 と m2 を逆相遷移としたときの、m1 の遅延サイズ増加量を測定した電磁界シミュレーション結果を示す[3]。同様に、図 2 に信号線 m1 に立上り遷移の抵抗性オープン故障を仮定し、隣接信号線 m0 と m2 を 0 に固定としたときの、m1 の遅延サイズ増加量を測定した電磁界シミュレーション結果、図 3 に m0 と m2 を同相遷移としたときの m1 の遅延サイズ増加量を測定した電磁界シミュレーション結果を示す[3]。

図 1, 2, 3 において、L は隣接信号線と故障信号線の並走距離(μ m)を示しており、 R_{open} は故障信号線の抵抗値(k Ω)を示しており、 $\Delta delay$ は故障信号線の付加的な遅延サイズ(psec)を示している。また、文献[3]において、 R_{open} は以下の式(1)を用いて計算される。

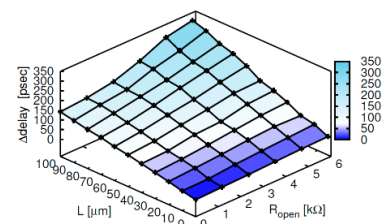


図 1. 隣接信号線 m0 と m1 が逆相遷移時の抵抗性オープン故障の電磁界シミュレーション結果[3]

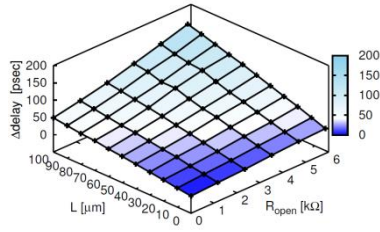


図 2. 隣接信号線 m0 と m1 が 0 固定時の抵抗性オープン故障の電磁界シミュレーション結果[3]

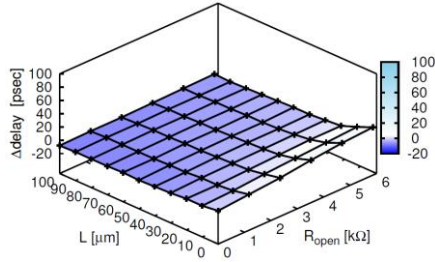


図 3. 隣接信号線 m0 と m1 が同相遷移時の抵抗性オープン故障の電磁界シミュレーション結果[3]

$$R_{open} = \rho \frac{L_{space}}{A} \quad (1)$$

式(1)において、 L_{space} は故障信号線の断線間隙長[nm]を示しており、 A は故障信号線の断線部で部分接続している金属の表面積[m²]を示しており、 $1/\rho$ は電気伝導率[S/m]を示している。

図 1 より、全ての隣接信号線が逆相遷移を起こすとき、故障信号線の遅延サイズ増加量 $\Delta delay$ は最大となり、 L と R_{open} が増加するにしたがって $\Delta delay$ が増加することが確認できる。また、図 2 より、全ての隣接信号線が 0 に固定されている場合でも、 L と R_{open} が増加するにしたがって $\Delta delay$ が増加する。しかしながら、図 2 の $\Delta delay$ の最大値は、図 1 と比較すると 100psec 減少する。全ての隣接信号線を 1 に固定した場合も、ほぼ同様の結果となることが報告されている[3]。また、図 3 より、全ての隣接信号線が故障信号線と同相遷移の場合は、 L と R_{open} が増加するにしたがって $\Delta delay$ が減少し、マイナス値となることが確認できる。以上のことから、抵抗性オープン故障のテスト生成では、隣接信号線を逆相遷移、または 0 または 1 に固定することが重要である。また、並走距離の考慮も重要である。

3. 最大充足化問題

SAT を拡張した問題として、MAX-SAT が存在する。MAX-SAT では、SAT と同様に CNF で与えられた命題論理式が入力となるが、CNF の各節に対して重みが設定可能である。このとき、MAX-SAT を解く上で、必ず真としなければならない節をハード節、それ以外の節をソフト節と呼ぶ。ハード節は必ず真とするため重みは考慮しない。また、ソフト節はそれぞれ異なる重みを設定することが可能である。MAX-SAT では、ハード節が真となるような論理変数の組合せが存在するか否かの判断に加えて、真となるソフト節の重みの総和を最大化する論理変数の組合せを探索する。全てのハード節を真とできた場合を充足可能 (Satisfiability: SAT) と呼び、それ以外のときを充足不可能 (Unsatisfiability: UNSAT) と呼ぶ。そのため、全てのソフ

表 I. 式(2)に対する割当て結果とソフト節の重み

| a | b | 真となったソフト節の重みの総和 | 命題論理式の真偽 |
|---|---|-----------------|----------|
| 0 | 0 | 5 | 充足不可能 |
| 0 | 1 | 25 | 充足不可能 |
| 1 | 0 | 0 | 充足可能 |
| 1 | 1 | 20 | 充足可能 |

ト節が偽であったとしても、全てのハード節が真であれば充足可能となる。式(2)に、MAX-SAT の CNF の例を示す。

$$(a + \bar{b}, \infty) \cdot (a + b, \infty) \cdot (\bar{a}, 5) \cdot (b, 20) \quad (2)$$

式(2)は、(節, 重み)を表しており、重みが ∞ の節はハード節、それ以外の節はソフト節を示す。表 I に、式(2)の各変数に対する割当て結果と、それに対応するソフト節の重みの総和を示す。表 I より、式(2)のハード節が真となる組合せは、 $(a, b)=(1, 0)$ と $(a, b)=(1, 1)$ である。 $(a, b)=(1, 0)$ とした場合は、真となるソフト節の重みの総和は 0 である。一方、 $(a, b)=(1, 1)$ とした場合は、真となるソフト節の重みの総和は 20 となる。MAX-SAT では、ハード節を真として、かつ真となるソフト節の重みの総和を最大とするため、式(2)における最適解は $(a, b)=(1, 1)$ となる。

4. 最大充足化問題を用いた抵抗性オープン故障のテスト生成

4.1. 最大充足化問題を用いた抵抗性オープン故障のテスト生成モデル

本章では、MAX-SAT を用いた抵抗性オープン故障のテスト生成モデルを提案する。提案手法は、フルスキャン設計[1]が施された回路が対象となり、LOC(Launch ON Capture)方式[7]によるテストを想定している。提案手法では、2 時間展開した正常回路部と、2 時刻目故障回路部、故障伝搬部、故障信号線に対する固定値制約をハード節、隣接信号線と故障伝搬経路として活性化可能なトランシティブファンアウトの信号線をソフト節とすることで抵抗性オープン故障のテスト生成を行う。

図 4 に、本章の説明で使用する例題回路を示す。図 4 において、PI は外部入力、PO は外部出力、G5 と G6 はフリップフロップ(Flip-Flop : FF)を示している。また、信号線 f に抵抗性オープン故障を仮定しており、f の隣接信号線は e と i とする。e の並走距離は 200 μ m、i の並走距離は 100 μ m と仮定する。

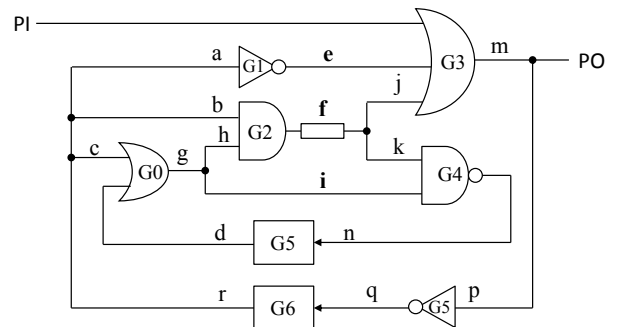


図 4. 例題回路

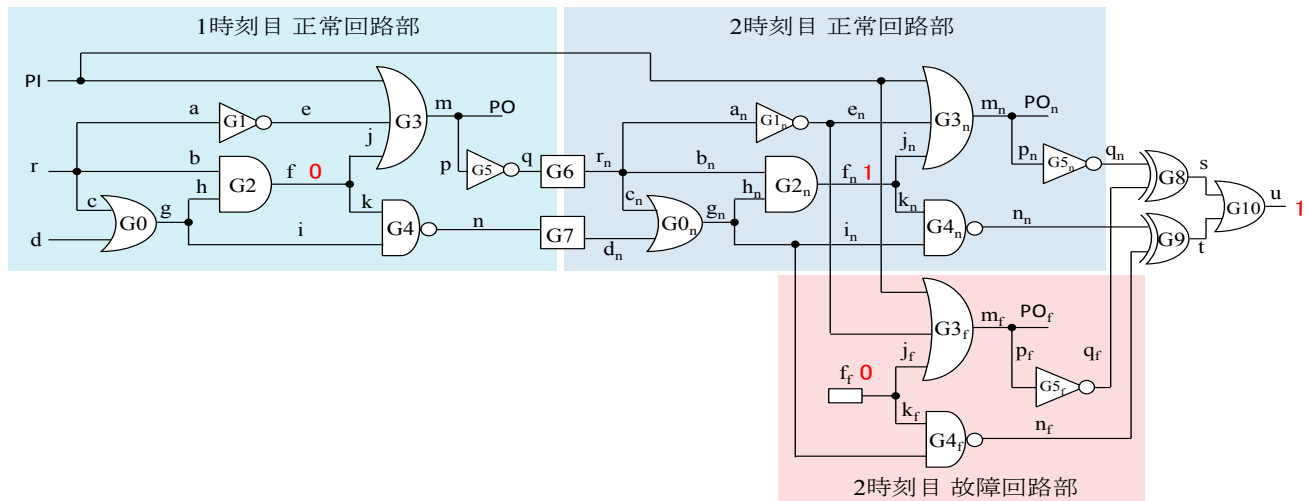


図 5 に，例題回路に対する提案手法のテスト生成モデルの例を示す．図 5 において，ゲート G_0 から G_5 は 1 時刻目の正常回路部， G_{0n} から G_{5n} は 2 時刻目の正常回路部， G_{3r} から G_{5r} は 2 時刻目の故障回路部を示す．また， G_8 から G_{10} は正常回路部と故障回路部の各擬似外部出力で故障影響の観測を行うための故障伝搬制約であり， $u=1$ の制約を付加することで，擬似外部出力 q または n のどちらか，あるいは両方に必ず故障影響が伝搬しない限り充足可能とならない．また，図 5 では，立上り遷移の抵抗性オープン故障を仮定しており， $f=0$ ， $f_n=1$ ， $f_r=0$ の制約を付加している．このようなテスト生成モデルを，表 II に示すような論理ゲートの CNF 変換規則に従って変換し，これをハード節として利用する．また，隣接信号線の逆相遷移，0 または 1 の固定，故障伝搬経路として活性化可能なトランシティブファンアウトの信号線の活性化制約をソフト節で付与する．

式(3)に、図5のテスト生成モデルに対する隣接信号線の逆相遷移のソフト節を示す．式(3)において、各節の重みは対応する隣接信号線の並走距離の値を用いている．また、図5では、立上り遷移の抵抗性オープン故障を仮定しているため、逆相遷移の制約は1時刻目が1、2時刻目が0となるような制約を付与している．

$$(e, 200) \cdot (\overline{e_n}, 200) \cdot (i, 100) \cdot (\overline{i_n}, 100) \quad (3)$$

式(4)に、図5のテスト生成モデルに対する隣接信号線を0または1に固定するためソフト節を示す。式(4)において、各節の重みは対応する隣接信号線の並走距離 $\times 1/2$ の値を用いた。これは、文献[3]より、故障信号線の遅延サイズは逆相遷

移が最も大きく、その次に 0 または 1 の固定が大きいいため、逆相遷移のソフト節の重みよりも小さい値とした.

$$(\bar{e} + e_n, 100) \cdot (\bar{e} + e_n, 100) \cdot (\bar{i} + i_n, 50) \cdot (\bar{i} + i_n, 50) \quad (4)$$

式(5)に、図5のテスト生成モデルに対する故障伝搬経路として活性化可能なトランシティブファンアウトの信号線の活性化制約のソフト節を示す。図5において、故障信号線から故障伝搬経路として活性化可能なトランシティブファンアウトの信号線は、j, k, m, n, p, qである。そのため、対応する正常回路と故障回路の2時刻目信号線に対して、異なる値が割当てられるように NOT ゲートと同様の CNF 変換規則を用いてソフト節を生成する。また、活性化制約のソフト節の重みは、隣接信号線の最小並走距離 $\times 1/4$ の値を用いた。図4の例題回路では、最小の並走距離を持つ隣接信号線は i であり、その値は $100\mu\text{m}$ である。そのため、活性化制約のソフト節の重みは 25 となる。

$$\begin{aligned} & (j_n + j_f, 25) \cdot (\bar{j}_n + \bar{j}_f, 25) \cdot (k_n + k_f, 25) \cdot (\bar{k}_n + \bar{k}_f, 25) \\ & \cdot (m_n + m_f, 25) \cdot (\bar{m}_n + \bar{m}_f, 25) \cdot (n_n + n_f, 25) \cdot (\bar{n}_n + \bar{n}_f, 25) \\ & \cdot (p_n + p_f, 25) \cdot (\bar{p}_n + \bar{p}_f, 25) \cdot (q_n + q_f, 25) \cdot (\bar{q}_n + \bar{q}_f, 25) \end{aligned} \quad (5)$$

4.2. 提案手法の全体アルゴリズム

図 6 に、提案手法の全体アルゴリズムを示す。まず、テスト対象回路と隣接信号線ファイルを読み込む(Step1)。次に、Step1 で読み込んだテスト対象回路と隣接信号線ファイルから、故障リストを作成する(Step2)。検出可能か否か判定していない故障(未識別故障)が存在する場合は Step4 へ進み、存在しない場合はテスト生成を終了する(Step3)。故障リスト内に含まれる未識別故障の中から故障信号線を 1 つ選択する(Step4)。Step4 で選択した故障信号線に対して、4.1 節で述べた抵抗性オープン故障のテスト生成モデルを用いた CNF(ハード節およびソフト節)を生成する(Step5)。Step5 で生成した CNF に対して、故障信号線に立上り遷移の制約を付与する(Step6)。Step6 で生成した CNF に対して、MAX-SAT を用いて充足可能性判定を行う(Step7)。Step7 の結果、充足可能であった場合は Step12 へ進み、充足不可能であった場合は Step9 へ進む(Step8)。抵抗性オープン故障は信号線の半断線をモデル化した故障であるため、本論文では立上り遷移が立

表 II. 論理ゲートの CNF 変換規則

| ゲートタイプ | 入力 | 出力 | CNF表現 |
|--------------------|-----|----|---|
| AND | X Y | Z | $(X + \bar{Z}) \cdot (Y + \bar{Z}) \cdot (\bar{X} + \bar{Y} + Z)$ |
| NAND | X Y | Z | $(X + Z) \cdot (Y + Z) \cdot (\bar{X} + \bar{Y} + \bar{Z})$ |
| OR | X Y | Z | $(\bar{X} + Z) \cdot (\bar{Y} + Z) \cdot (X + Y + \bar{Z})$ |
| NOR | X Y | Z | $(\bar{X} + \bar{Z}) \cdot (\bar{Y} + \bar{Z}) \cdot (X + Y + Z)$ |
| NOT | X | Z | $(X + Z) \cdot (\bar{X} + \bar{Z})$ |
| BUFF FF FOUT | X | Z | $(\bar{X} + Z) \cdot (X + \bar{Z})$ |
| EXOR | X Y | Z | $(\bar{X} + Y + Z) \cdot (X + \bar{Y} + Z) \cdot (\bar{X} + \bar{Y} + Z) \cdot (X + Y + \bar{Z})$ |

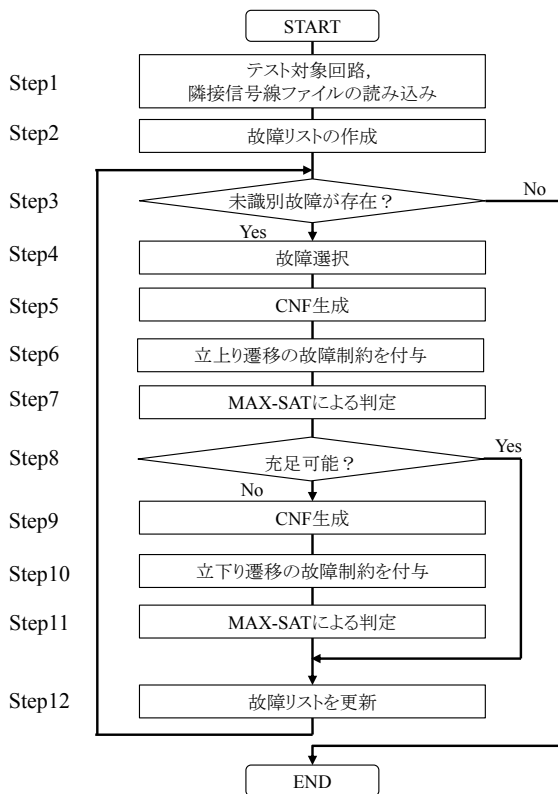


図 6. 提案手法の全体アルゴリズム

下り遷移のどちらか一方のテストパターンが生成できればよいと考える。そのため、立上り遷移の制約を付与した CNF が充足不可能と判定されて場合のみ、同一の故障信号線の立下り遷移の CNF を生成し MAX-SAT による判定を実行する。Step4 で選択した故障信号線に対して、4.1 節で述べた抵抗性オープン故障のテスト生成モデルを用いた CNF(ハード節およびソフト節)を生成する(Step9)。Step9 で生成した CNF に対して、故障信号線に立下り遷移の制約を付与する(Step10)。Step10 で生成した CNF に対して、MAX-SAT を用いて充足可能性判定を行う(Step11)。Step7 または Step11 による MAX-SAT 判定の結果、充足可能と判定された場合はテストパターンを出力し、Step4 で選択した故障信号線を故障リストから取り除く。その後、Step3 へ進む(Step12)。

5. 実験結果

提案手法を C 言語で実装し、生成したテストパターンの特性を評価した。対象回路は、DIV[8]、MUL[8]、MAHA[9]、SEHWA[9]の 4 つの回路を対象とし、Synopsys 社の Design Compiler を用いてクロック周期を設定し論理合成を行った。また、論理合成後の対象回路に対して Synopsys 社の IC Compiler を用いて配置配線等の物理設計を行い、物理設計後の回路から隣接信号線、並走距離、配線遅延を抽出した。テスト生成ツールは、第 4 章で示した提案手法によるものと、提案手法からソフト節を付加しないもの、すなわち遷移故障モデルのテスト生成モデルを用いたものの 2 種類で実験を行い、生成されたテストパターン特性を評価した。また、故障信号線および隣接信号線、並走距離は、上述した IC Compiler を用いた物理設計後の回路から抽出したものを利用した。使用した計算機は Intel Core i7-7820X(3.6GHz)、メモリ 16GB を搭載し、OS は Linux Bean 12.04 である。また、MAX-SAT solver は Dist[10]を利用し、Dist の実行時間制約を 5(sec)

と 10(sec)の 2 種類に設定したものを利用した。実行時間制約内で、与えられた CNF のハード節を真にできる変数の組合せが求められなかった場合は充足不可能を返す。

表 III に、テスト生成の結果を示す。表 III は左から、回路名、論理合成時のクロック周期(nsec)、論理合成後回路の信号線数、ゲート数、Dist の実行時間制約(sec)、対象故障数、テストパターン数、未検出故障数、テスト生成時間(sec)を示す。また、「提案」は提案手法を用いた抵抗性オープン故障のテスト生成結果を示し、「遷移故障」は提案手法に対してソフト節を付与してない遷移故障モデルに対するテスト生成結果を示す。「提案」と「遷移故障」のテストパターン数を比較すると、「遷移故障」のほうが平均約 7%多い結果となった。また、テスト生成時間に関しても、「提案」のほうが「遷移故障」と比較して約 2 倍の時間を消費していることが確認できる。

表 IV に、表 III で生成したテストパターンの特性を解析した結果を示す。表 IV は左から、回路名、Dist の実行時間制約(sec)、対象故障数、テストパターン数、各故障信号線に対する隣接信号線の逆相遷移割合の平均、各故障信号線に対する隣接信号線の 0 または 1 固定の割合の平均、各故障信号線に対する隣接信号線の同相遷移割合の平均、各故障信号線から故障伝搬経路として活性化可能なトランシティブファンアウトの信号線のうち、活性化された信号線の割合の平均を示す。表 IV の結果から、逆相遷移割合(%)に着目すると、「提案」は「遷移故障」よりも逆相遷移が平均約 15.4%増加していることが確認できる。また、活性化信号線割合(%)についても、平均約 5.7%増加しており、同相遷移割合(%)は平均約 9.0%減少している。

6. まとめ

本論文では、隣接信号線と活性化信号線を考慮した MAX-SAT を用いた抵抗性オープン故障のテスト生成法を提案し、生成したテストパターンの特性を評価した。実験では、提案手法と遷移故障モデルのテスト生成の 2 種類を評価し、提案手法のほうが、逆相遷移割合が平均約 15.4%向上、活性化信号線割合が平均約 5.7%向上していることが確認できた。また、同相遷移割合は平均約 9.0%減少していることが確認できた。

今後の予定として、ゲート遅延、配線遅延、故障信号線の付加遅延等を考慮した抵抗性オープン故障の故障シミュレータを実装し、提案手法で生成したテストパターンの故障検出能力の評価などが挙げられる。

参考文献

- [1] 藤原秀雄, “デジタルシステムの設計とテスト,” 工学図書株式会社, 2004.
- [2] 高橋寛, 樋上喜信, 首藤裕太, 高棟祐司, 高松雄三, 堤利幸, 山崎浩二, 四柳浩之, 橋爪正樹, “抵抗性オープン故障のモデル化とそのテスト生成について,” 電子情報通信学会技術研究報告, pp.19-24, 2010.
- [3] 大栗裕人, 四柳浩之, 橋爪正樹, 堤利幸, 山崎浩二, 樋上善信, 高橋寛, “半断線故障検出のための信号遅延の特性評価,” 電子情報通信学会技術研究報告, pp.25-30, 2013.

- [4] Hiroshi Takahashi, Yoshinobu Higami, Koji Yamazaki, Toshiyuki Tsutsumi, Hiroyuki Yotsuyanagi and Masaki Hashizume, "Test Generation for Resistive Open Faults with Considering Adjacent Lines," Proc. 27th International Technical Conference on Circuits/Systems, Computers and Communications, 2012
- [5] Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and Hiroshi Takahashi, "On SAT-based Test Generation for Observing Delay Variation Caused by a Resistive Open Fault and Its Adjacent Lines," Design of Paper of the 14-th IEEE Workshop on RTL and High Level Testing, pp.IV.2.F-1--IV.2.F-6. Yilan, Taiwan, Nov. 2013
- [6] Jun Yamashita, Hiroyuki Yotsuyanagi, Masaki Hashizume, Yoshinobu Higami and Hiroshi Takahashi, "On SAT-based Test Generation for Resistive Open Fault Using Delay Variation Caused by Effect of Adjacent Lines," Proc. of the 15-th IEEE Workshop on RTL and High Level Testing, pp.49-53. Nov. 2013
- [7] J. Savir and S. Patil, "On Broad-Side Delay Test", VLSI Test Symposium, pp.284-290, Sept. 1994.
- [8] M.T.-C.Lee, "High-Level Test Synthesis of Digital VLSI Circuits," Artech House Publishers, 1997.
- [9] J. L. Hennessy and D. A. PATTERSON, "Computer Organization and Design," 5th Edition, Morgan Kaufmann, 2013.
- [10] Shaowei Cai, Local Search for Maximum Satisfiability, Shaowei Cai, <http://lcs.ios.ac.cn/~caisw/MaxSAT.html>, 参照 Feb. 2019.

表 III. テスト生成結果

| 回路名 | 論理合成時の クロック周期(nsec) | 信号線数 | ゲート数 | MAX-SAT 実行時間制約(sec) | 対象故障数 | テストパターン数 | | 未検出故障数 | | テスト生成時間(sec) | |
|-------|------------------------|------|------|------------------------|-------|----------|------|--------|------|--------------|-------|
| | | | | | | 提案 | 遷移故障 | 提案 | 遷移故障 | 提案 | 遷移故障 |
| DIV | 8 | 3122 | 1304 | 5 | 1252 | 1011 | 1050 | 241 | 202 | 14219 | 2033 |
| | | | | 10 | | 1013 | 1008 | 239 | 244 | 27279 | 12517 |
| MAHA | 10 | 6371 | 2591 | 5 | 2606 | 833 | 888 | 1773 | 1718 | 27005 | 24022 |
| | | | | 10 | | 1080 | 1167 | 1526 | 1439 | 54980 | 40610 |
| MUL | 8 | 2052 | 861 | 5 | 823 | 515 | 542 | 308 | 281 | 9780 | 2034 |
| | | | | 10 | | 516 | 542 | 307 | 281 | 19184 | 5412 |
| SEHWA | 12 | 7239 | 2911 | 5 | 3080 | 1904 | 2120 | 1176 | 960 | 30728 | 16774 |
| | | | | 10 | | 2103 | 2319 | 977 | 761 | 62255 | 18709 |

表 IV. テストパターンの特性評価結果

| 回路名 | MAX-SAT 制限時間(sec) | 対象故障数 | テストパターン数 | | 逆相遷移割合(%) | | 固定割合(%) | | 同相遷移割合(%) | | 活性化信号線割合(%) | |
|-------|----------------------|-------|----------|------|-----------|------|---------|------|-----------|------|-------------|------|
| | | | 提案 | 遷移故障 | 提案 | 遷移故障 | 提案 | 遷移故障 | 提案 | 遷移故障 | 提案 | 遷移故障 |
| DIV | 5 | 1252 | 1011 | 1050 | 46.6 | 30.1 | 47.4 | 57.2 | 6.0 | 30.1 | 92.4 | 84.3 |
| | 10 | | 1013 | 1008 | 47.5 | 29.8 | 46.6 | 57.8 | 5.8 | 12.4 | 92.6 | 93.2 |
| MAHA | 5 | 2606 | 833 | 888 | 35.4 | 24.3 | 58.6 | 63.0 | 6.1 | 12.7 | 92.5 | 89.6 |
| | 10 | | 1080 | 1167 | 36.7 | 23.9 | 57.4 | 63.5 | 5.9 | 12.6 | 90.6 | 87.0 |
| MUL | 5 | 823 | 515 | 542 | 52.3 | 36.6 | 39.4 | 48.7 | 8.3 | 14.7 | 93.5 | 84.5 |
| | 10 | | 516 | 542 | 53.6 | 36.6 | 38.3 | 48.7 | 8.1 | 14.7 | 93.4 | 84.5 |
| SEHWA | 5 | 3080 | 1904 | 2120 | 40.5 | 25.2 | 53.9 | 61.7 | 5.6 | 13.0 | 87.5 | 80.9 |
| | 10 | | 2103 | 2319 | 42.4 | 25.3 | 52.4 | 61.7 | 5.2 | 13.0 | 86.6 | 79.5 |