

## 3D フラッシュメモリの製造技術を用いた

### 積層型全加算器の設計法

鈴木 章矢<sup>†</sup> 渡辺 重佳<sup>‡</sup>

<sup>‡</sup>湘南工科大学 情報工学科 〒251-8511 神奈川県藤沢市辻堂西海岸 1-1-25

E-mail: <sup>‡</sup>watanabe@info.shonan-it.ac.jp

**あらまし** 3D フラッシュメモリの製造技術を用いた積層型全加算器の新しい回路設計法を提案した。展開方式、複合方式1、複合方式2、コンパクト方式、2入力 NAND/NOR、3入力 NAND/NAND 等の様々な積層型全加算器を設計し、トランジスタ数、シリコン柱数、パターン面積を従来の方式と比較した。その結果、展開方式では48%、複合方式1では28%、複合方式2では25%、コンパクト方式では21%、2入力 NAND/NOR 方式では17%、3入力 NAND/NAND では29%従来の方式と比較してパターン面積を縮小できることがわかった。

**キーワード** 三次元型フラッシュメモリ、Fe-FET、複合ゲート、全加算器

## Study of stacked full adder circuit with fabrication technology of 3D flash memory.

Fumiya Suzuki<sup>†</sup> and Shigeyoshi Watanabe<sup>‡</sup>

<sup>†</sup>Department of Information Science, Shonan Institute of Technology  
1-1-25 Tsujido-Nishikaigan, Fujisawa, Kanagawa, 251-8511 Japan

E-mail: <sup>†</sup>watanabe@info.shonan-it.ac.jp

**Abstract** Novel new stacked type logic circuit with fabrication technology of 3D flash memory has been newly proposed. Designed stacked full adder circuit such as the expansion scheme, composite gate scheme 1, composite gate scheme 2, compact scheme, 2 inputs NAND/NOR scheme and 3 inputs NAND/NAND scheme, are compared the number of transistors, the number of silicon pillars and the pattern area with the conventional scheme. Number of pattern area of expansion scheme is by about 48% smaller than conventional scheme. In addition, composite gate scheme1, composite gate scheme 2, compact scheme, 2 inputs NAND/NOR scheme and 3 inputs NAND/NAND scheme can be reduced by 28%, 25%, 21%, 17% and 29%, respectively.

**Keywords** 3D flash memory, Fe-FET, Polarization reversal, composite gate, full adder

## 1. はじめに

本論文では、従来使用されてきた平面型の加算器の設計法を積層型で実現するために、3D フラッシュメモリ(図 1)の製造技術を用いた積層型加算器の設計法を提案する。3D フラッシュメモリの製造技術[1]-[5]を用いた積層型全加算器の設計法[6]-[10]を提案した。展開方式、複合方式 1 [11]、複合方式 2、コンパクト方式、2 入力 NAND/NOR、3 入力 NAND/NAND 等の様々な積層型全加算器を設計し、トランジスタ数、シリコン柱数、パターン面積を従来の方式と比較した。

この論文は、以下のように構成されている。第 2 章では従来の方式について述べる。第 3 章では新たに提案する方式の概念を述べる。第 4 章では平面型と積層型の各方式の比較について述べる。第 5 章では、比較方式の平面型について述べる。第 6 章をまとめとする。

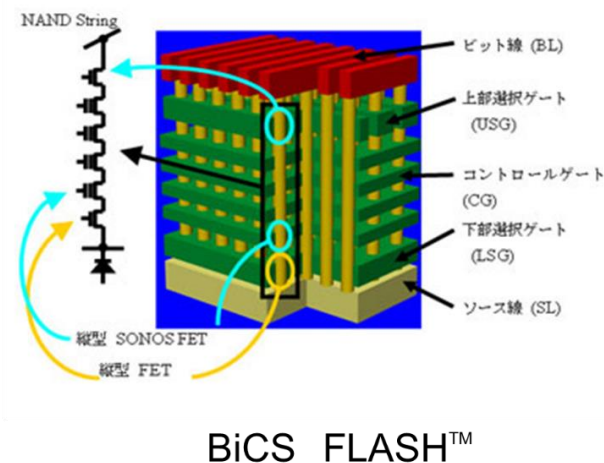


図 1: BiCS FLASH™

## 2. 従来の設計方法

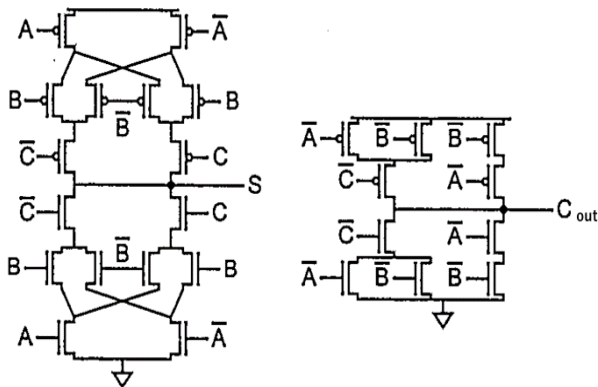


図 2: 過去提案された平面型全加算器(複合ゲート方式 2)  
Fig.2: Planar type full adder proposed in the past(composite gate scheme 2)

図 2 は、過去提案された複合ゲート方式 2 の回路図を示す。従来の平面型論理回路では回路の設計法に複合ゲート方式が多く使われてきた。平面型回路では、トランジスタ数がシリコン柱の数が同じになるため、回路内のトランジスタ数を少なくすることが求められていた。そのため、 $n$ pmos で構成したトランジスタによる回路が分岐する方式が多く使われている。一方、積層型回路では、製造技術上、回路の分岐をするのが困難でありトランジスタ数よりもシリコン柱の数を減らすことがパターン面積を縮小するために重要になるが、それに適した回路方式はいまだ提案されていない。

## 3. 新しい方式の概念

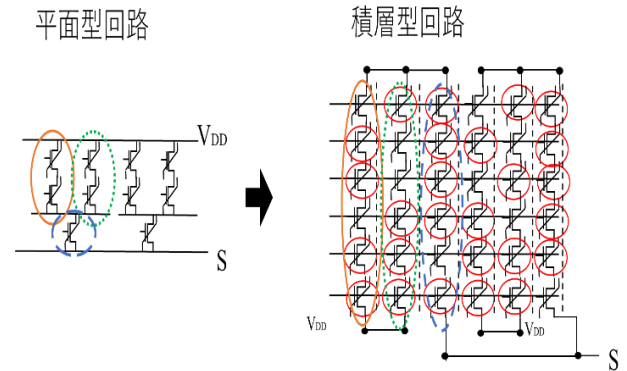


図 3: 平面型回路を積層型回路にしたときの回路の変化  
Fig.3: Changes in the circuit when a planar circuit is formed as a stacked circuit

平面型回路を積層型回路にする場合、回路内のシリコン柱の高さや接続されるトランジスタの数をすべて同じにしなければならない。そのため、平面型回路でトランジスタが必要ではなかった部分にも通過トランジスタを作る必要がある(図 3)。よって、積層型回路は平面型の回路に比べてトランジスタ数が多くなるという問題点がある。例えば、(図 3) の左図(平面型回路)で丸の実線で囲まれている部分は、2 段のトランジスタで接続されているが、右図(積層型回路)では、1 つのシリコン柱が 6 段のトランジスタで作られている。同様に、点線で囲ったシリコン柱もトランジスタが 6 段積層されたシリコン柱を使う必要がある。そのため、平面型回路(S の pmos)のときはトランジスタ数が 10 個だったのが、積層型回路の場合 36 個に増えてしまうという問題点がある。しかし、LSI においてシリコン柱の数の減少はパターン面積の縮小につながり、パターン面積の縮小は製造コストの削減につながる。

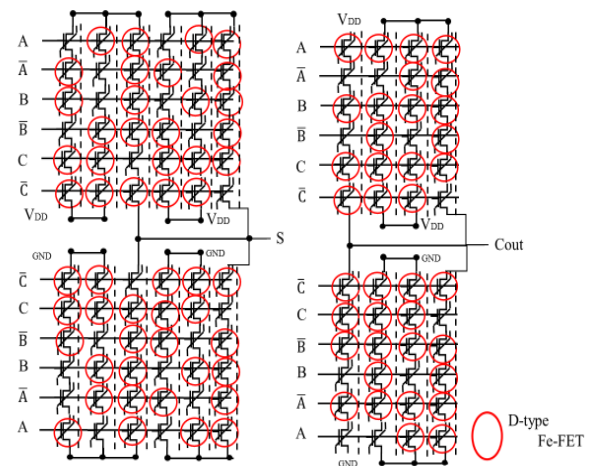


図 4: 全加算器を積層型(複合ゲート方式 1)で実現した回路  
Fig.4: A circuit realizing a full adder in a stacked type (composite gate scheme 1)

図 4 は、全加算器を積層型(複合ゲート方式 1)で実現した回路を示す。複合ゲート方式 1 の論理関数は

$$\begin{aligned} S & \quad \text{cmos} \quad \text{-pmos-} (AB + \bar{A}\bar{B})\bar{C} + (\bar{A}\bar{B} + AB)C \\ & \quad \text{-nmos-} (AB + \bar{A}\bar{B})\bar{C} + (\bar{A}\bar{B} + AB)C \\ \text{Cout} & \quad \text{cmos} \quad \text{-pmos-} \bar{A}\bar{B} + (\bar{A} + \bar{B})\bar{C} \\ & \quad \text{-nmos-} \bar{A}\bar{B} + (\bar{A} + \bar{B})\bar{C} \end{aligned}$$

で、平面型で回路を作る場合 36 個(S が 20 個、Cout が 10 個、

インバータが 6 個)のトランジスタで回路を作ることができる。平面型の回路の場合、回路内のトランジスタ数はシリコン柱の数と同じになる。図 2 のように積層型で複合ゲート方式を実現した場合、トランジスタの数は、156 個(S が 72 個、Cout が 48 個、インバータが 36 個)と平面型に比べると増える。シリコン柱の数も 26 本と大幅には減少していない。なぜなら積層型複合ゲート方式では、シリコン柱どうしをつなげる場合、シリコン柱の上端と下端でしか接続できないからである。その問題点を解決したのが、展開方式(図 5)である。

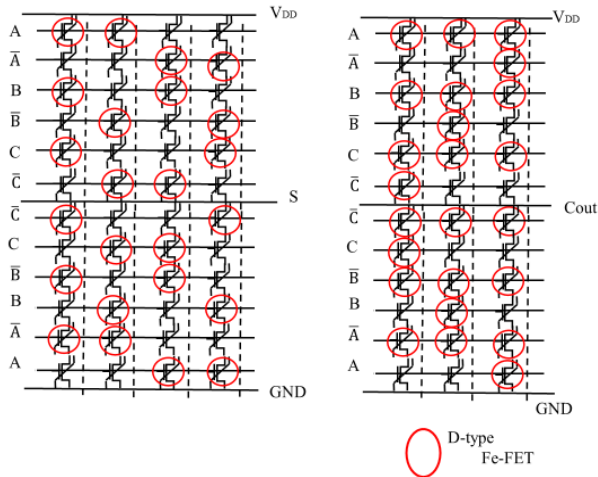


図 5: 全加算器を積層型(展開方式)で実現した回路  
Fig.5: A circuit realizing a full adder in a stacked type (expansion scheme)

図 5 は、全加算器を積層型(展開方式)で実現した回路を示す。展開方式の論理関数は

$$\begin{aligned} S & \quad \text{cmos} \quad \text{-pmos- } \bar{A}BC + A\bar{B}C + AB\bar{C} + \bar{A}\bar{B}\bar{C} \\ & \quad \text{-nmos- } \bar{A}BC + A\bar{B}C + AB\bar{C} + \bar{A}\bar{B}\bar{C} \\ \text{Cout} & \quad \text{cmos} \quad \text{-pmos- } AB + AC + CB \\ & \quad \text{-nmos- } \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C} \end{aligned}$$

で、平面型で回路を作る場合 42 個(S が 24 個、Cout が 12 個、インバータが 6 個)のトランジスタで回路を実現することができる。平面型の回路の場合、回路内のトランジスタ数はシリコン柱の数に比例する。図 4 のように積層型で展開方式を実現した場合、トランジスタの数は、120 個(S が 48 個、Cout が 36 個、インバータが 36 個)で実現することができてシリコン柱は 22 本で実現することができる。展開方式はシリコン柱どうしの接続に内部ノードを使わない。その結果、複合ゲートよりも少ないシリコン柱で回路を作ることができる。

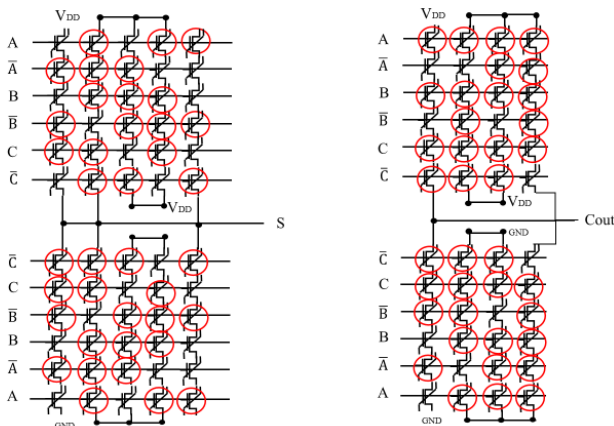


図 6: 全加算器を積層型(複合ゲート方式 2)で実現した回路  
Fig.6: A circuit realizing a full adder in a stacked type (composite gate scheme 2)

図 6 は、全加算器を積層型(複合ゲート方式 2)で実現した回路を示す。複合ゲート方式 2 の論理関数は

$$\begin{aligned} S & \quad \text{cmos} \quad \text{-pmos- } ABC + (\bar{A}\bar{C} + AC)\bar{B} + \bar{A}BC \\ & \quad \text{-nmos- } ABC + (\bar{A}\bar{C} + AC)\bar{B} + \bar{A}BC \\ \text{Cout} & \quad \text{cmos} \quad \text{-pmos- } \bar{A}\bar{B} + (\bar{A} + \bar{B})\bar{C} \\ & \quad \text{-nmos- } \bar{A}\bar{B} + (\bar{A} + \bar{B})\bar{C} \end{aligned}$$

で、平面型で回路を作る場合 32 個(S が 16 個、Cout が 10 個、インバータが 6 個)のトランジスタで回路を作ることができる。前記複合ゲート方式 2 は鏡像型加算器[11]と呼ばれていて、Pmos と Nmos が反転してレイアウトが均一になるという特徴がある。平面型の回路の場合、回路内のトランジスタ数はシリコン柱の数と同じになる。図 6 のように積層型で複合ゲート方式を実現した場合、トランジスタの数は、144 個(S が 60 個、Cout が 48 個、インバータが 36 個)と平面型に比べると増える。シリコン柱の数も 24 本と大幅には減少していない。

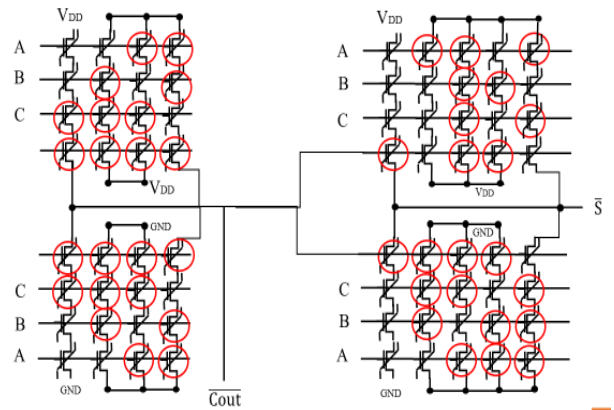


図 7: 全加算器を積層型(コンパクト方式)で実現した回路  
Fig.7: A circuit realizing a full adder in a stacked type (compact scheme)

図 7 は、全加算器を積層型(コンパクト方式)で実現した回路を示す。コンパクト方式の論理関数は

$$\begin{aligned} S & \quad ABC + (A+B+C) \bar{C} \\ \text{Cout} & \quad AB + (A+B)C \end{aligned}$$

トランジスタとして 4 個の直列接続された Fe-FET をコンパクト方式では 18 列(S に 10 列、Cout に 8 列)使用する。前記コンパクト方式は、S の入力に Cout を使っていて一つのシリコン柱に 4 つのトランジスタが必要なため、Cout を出力させる回路でも同じ段数のシリコン柱を作る必要がある。そのためシリコン柱の最下層部を通過トランジスタで実現する必要がある。

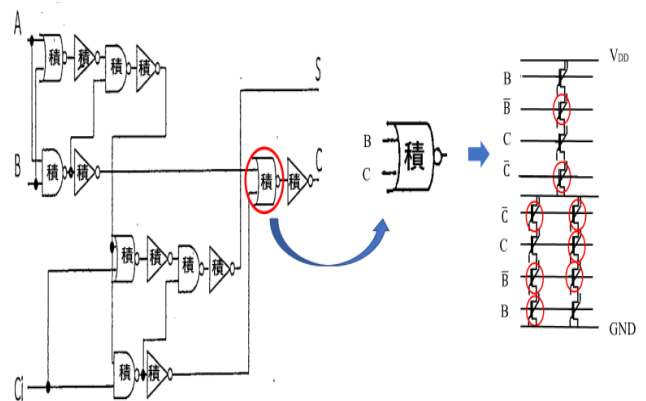


図 8: 全加算器を積層型(2 入力 NAND/NOR 方式)で実現した回路

Fig.8 : A circuit realizing a full adder in a stacked type  
(2 inputs NAND/NOR scheme)

図 8 は、全加算器を積層型(2 入力 NAND/NOR 方式)で実現した回路の一部を示す。トランジスタとして 4 個の直列接続された Fe-FET を 2 入力 NAND/NOR 方式では列(S に 20 列、Cout に 15 列)使用する。図 8 のように積層型で 2 入力 NAND/NOR 方式を実現した場合、トランジスタの数は、42 個(S が 24 個、Cout を 18 個で実現することができてシリコン柱は 35 本で実現することができる。

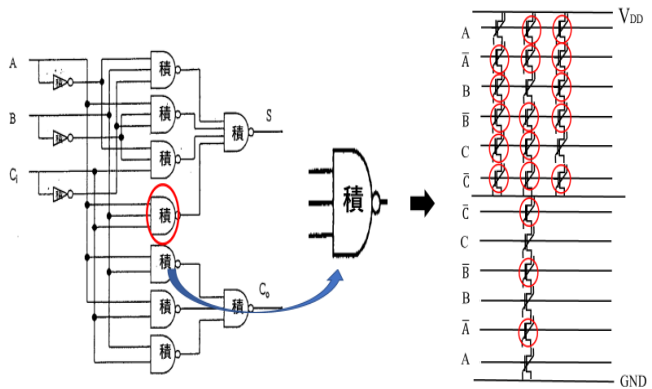


図 9 : 全加算器を積層型 (3 入力 NAND/NAND 方式) で実現した回路

Fig.9 : A circuit realizing a full adder in a stacked type  
(3 inputs NAND/NAND scheme)

図 9 は、全加算器を積層型 (3 入力 NAND/NAND 方式) で実現した回路の一部を示す。トランジスタとして 6 個の直列接続された Fe-FET を 3 入力 NAND/NAND 方式では列(S に 21 列、Cout に 13 列)使用する。図 9 のように積層型で 3 入力 NAND/NAND 方式を実現した場合、トランジスタの数は、56 個 (S が 32 個、Cout を 18 個、インバータを 6 個で実現することができてシリコン柱は 40 本で実現することができる。

4. 各方式の比較

表 1 : 各方式の比較  
Table1 : Comparison of each method

	平面型トランジスタ数	積層型シリコン柱の数
展開方式(本論文)	42	22
複合ゲート方式 1(本論文)	36	26
複合ゲート方式 2(本論文)	32	24
コンパクト方式(本論文)	28	22
2 入力 NAND/NOR(本論文)	42	35
3 入力 NAND(本論文)	56	40

表 1 は各方式の比較を示す。平面型の場合、各方式を比較すると、トランジスタ数の少ない複合ゲート方式のほうがパターン面積が小さくなるが、積層型にすると展開方式のほうがパターン面積を小さくできるということがわかった。これは、積層型回路を作るときの回路設計に原因があると考えられる。平面型の回路の場合、必要最小限のトランジスタで回路を作ることができるが、積層型の回路の場合、使わないトランジスタを通過トランジスタとして回路内に配置しておく必要がある。そのため、平面型論理回路は積層型論理回路に比べてトランジスタ数は少なく作ることができる。しかし、積層型回路の場合、複合ゲート方式よりも少ないシリコン柱で回路を作ることができ

るため、複合ゲート方式では平面型よりも積層型のパターン面積が 38%縮小することができるが、展開方式では 48%と大幅に縮小できることがわかった。

5. 比較対象の従来方式(平面型)の図

各方式の比較で用いた平面型の従来方式の図を記載する。

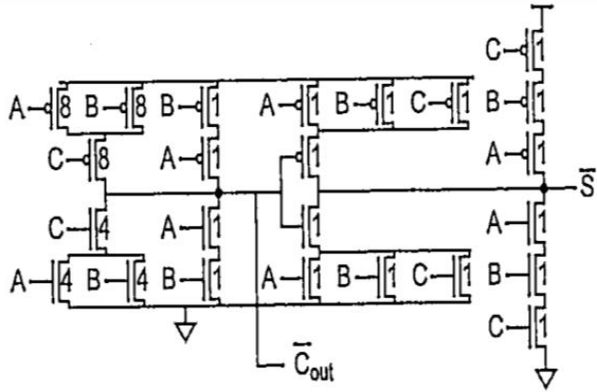


図 10 : 全加算器を平面型 (コンパクト方式) で実現した回路

Fig.10 : A circuit realizing a full adder in a planar type (compact scheme)

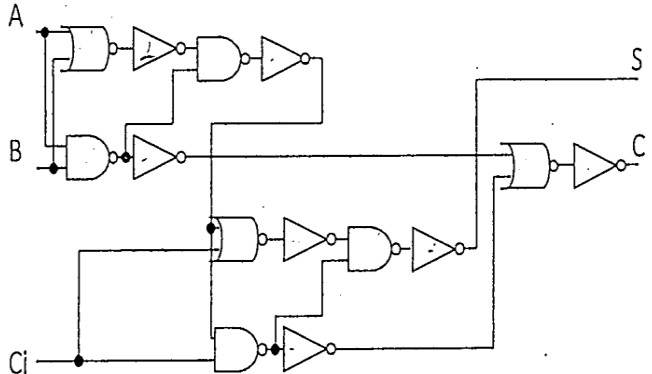


図 11 : 全加算器を平面型 (2 入力 NAND/NOR 方式) で実現した回路

Fig.11 : A circuit realizing a full adder in a planar type  
(2 inputs NAND/NOR scheme)

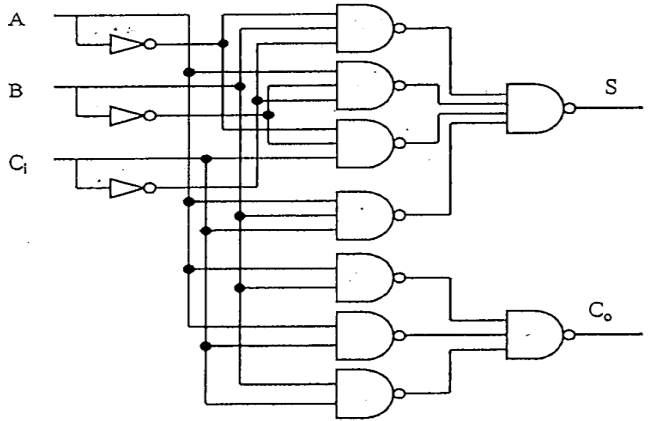


図 12 : 全加算器を平面型 (3 入力 NAND/NAND 方式) で実現した回路

Fig.12 : A circuit realizing a full adder in a planar type  
(3 inputs NAND/NAND scheme)

6. まとめ

従来方式である平面型の各方式 (展開方式、複合方式 1、複

合方式 2、コンパクト方式、2 入力 NAND/NOR、3 入力 NAND/NAND) を積層型で実現した時のトランジスタ数とシリコン柱の数の比較を行った。平面型の回路の時は、複合ゲート方式の方がトランジスタ数は少なくコストや消費電力の面で優れているが、積層型にしたときは展開方式の方がシリコン柱の数が少なくパターン面積が小さくなることがわかった。複合ゲート方式を積層型で実現した場合回路内にシリコン柱をつなぐ内部ノードを作る必要があり、入力から出力までに複数のシリコン柱を通過しなければいけない。一方、積層型の展開方式は、入力から出力を一本のシリコン柱で行うことができる上、複合ゲート方式よりも少ない数のシリコン柱で回路を作ることができるためパターン面積でも展開方式の方が優れていることがわかった。ほかの方式とも比較した結果、積層型の展開方式は他の方式と比べてもシリコン柱が少なくパターン面積が小さく作れるため、優れていることがわかった。

## 文 献

- [1] H. Tanaka et al., “Bit Cost scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory”, Symp.on VLSI Technology, 2007.
- [2] R. Katsumata et al., “Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices”, Symp .on VLSI Technology, pp.136-137, 2009.
- [3] J. Jang et al., “Vertical cell array using TCAT(Terabit Cell Array Transistor) technology for ultra high density NAND flash memory”, Symp.on VLSI Technology, pp.192-193, 2009.
- [4] E. Yurchuk et al., “Impact of Scaling on the Perfomance of HfO2 Based Ferroelectric Field Effect Transistors”, IEEE Trans. Electron Devices, vol. 61, pp. 3699 - 3706, 2014.
- [5] S. Tamai and S. Watanabe, “Analysis of bit cost for stacked type MRAM with NAND structured cell,” Contemporary Engineering Sciences, vol.6, no.7, pp.313-327, 2013.
- [6] 南谷 “論理回路の基礎” サイエンス社 2009 年
- [7] 菅野孝一, 渡辺重佳, “積層方式 NAND 構造 1 トランジスタ型 FeRAM の読み出し方式の検討.” 電子情報通信学会論文誌 C, vol.J91-C, no11, pp.668-669, 2008.
- [8] 菅野孝一, 渡辺重佳, “積層方式 NAND 構造 1 トランジスタ型 FeRAM の設計法.”電気学会論文誌 C, vol.130, no.2, pp.226-234, 2010.
- [9] 横田智広, 渡辺重佳, “多段積層縦型トランジスタ構造を用いた積層型 Fe-FET NAND/NAND アレイの提案とそのロジック LSI への適用検討.” 電子情報通信学会論文誌 C, no.4, 2016 に掲載予定.
- [10] 末吉、天野編 “リコンフィギュラブルシステム” オーム社 2005 年
- [11] N.H.E.Weste,D.M.Harris ” CMOS VLSI 回路設計” 丸善, 2014 年