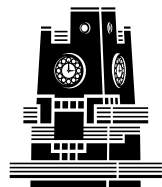


超伝導量子コンピュータの挑戦

東京大学先端科学技術研究センター

田渕 豊

(2017~) ERATO **中村** 巨視的量子機械P 研究総括補佐
(2018~) 光・量子飛躍フラッグシッププログラム **中村** フラッグシップP 分担研究者



東大先端研

Research Center for
Advanced Science and Technology
The University of Tokyo



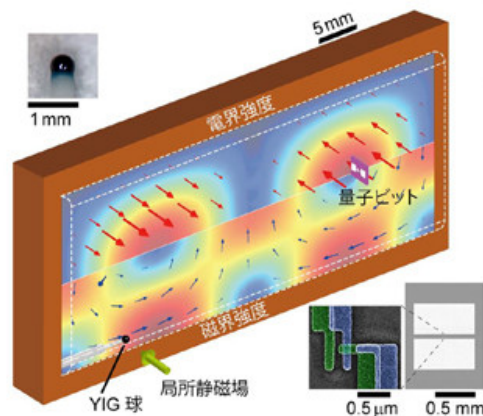
ERATO



文部科学省

田 渕 豊

- 津山工業高等専門学校 情報工学科 (2001-2006) (情報/電子)
 - 大阪大学・大阪大学大学院 (2006-2012) (電気電子)
 - 東京大学 先端科学技術研究センター (2012-) (物理)
-
- 超伝導単一磁束量子論理ゲートの高機能化
 - 電子スピンの制御に関する研究
 - 磁性体を用いた量子中継器
 - 集積化超伝導量子ビットによる誤り訂正符号の検証



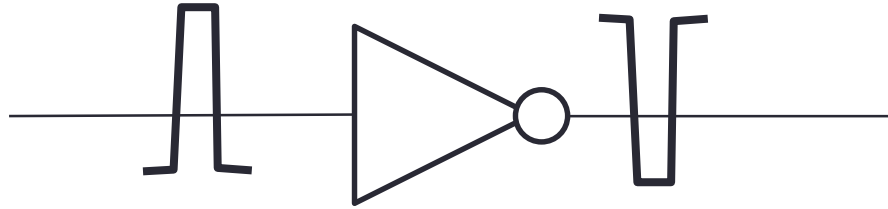
概要

- 超伝導量子ビットの情報表現
- 超伝導量子ビットゲートの実装状況
- デジタル量子コンピュータ
- 超伝導量子コンピュータの挑戦

超伝導量子ビットの情報表現

From logic to quantum logic
論理回路から量子論理回路へ

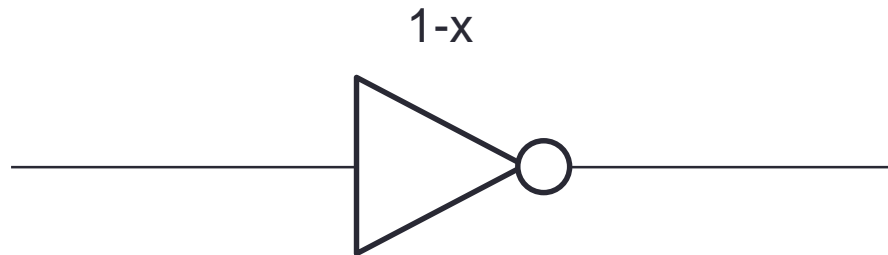
論理{0,1}NOTゲート



入力	出力
0	1
1	0

真理値表

アナログNOTゲート

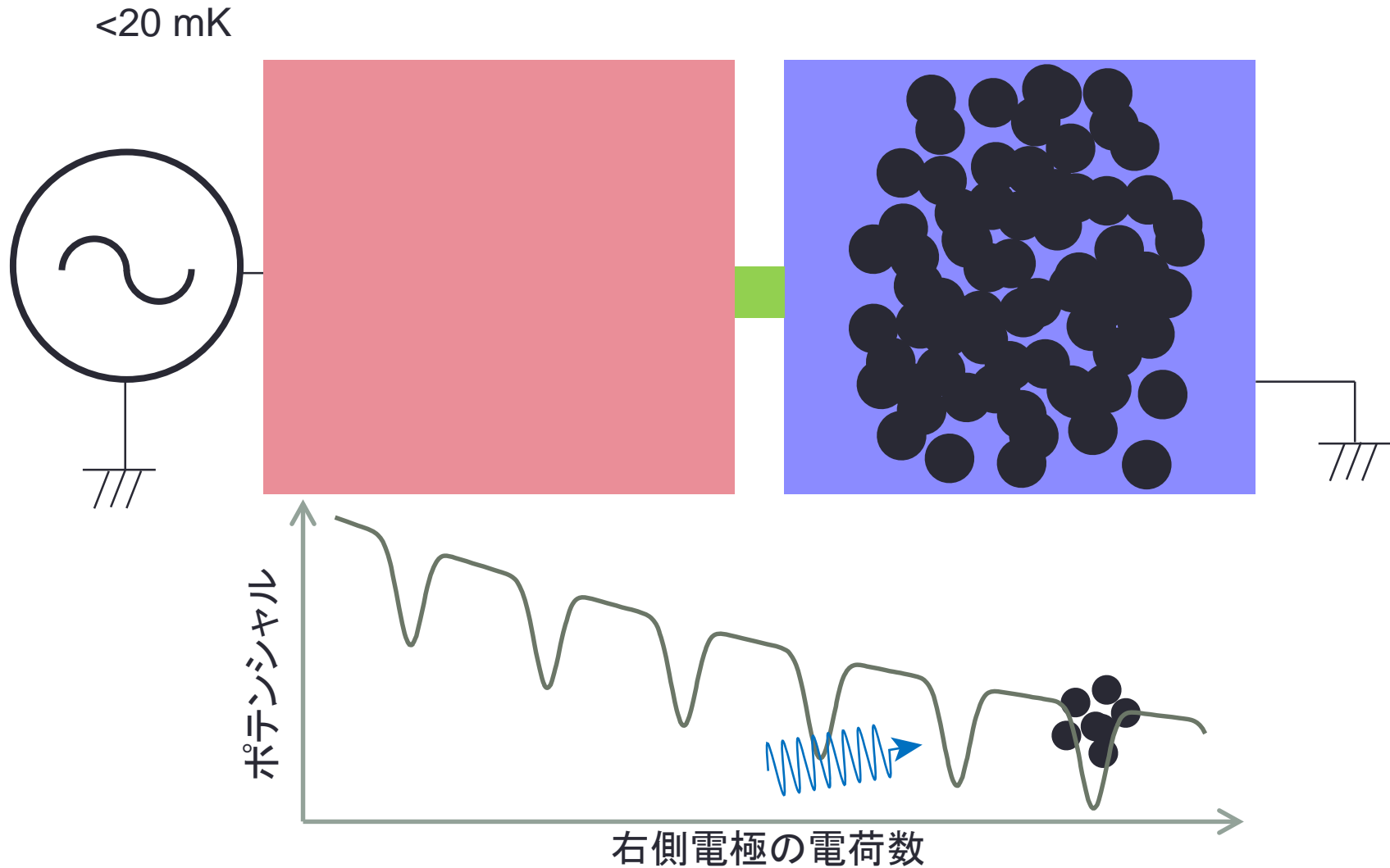


入力	出力
0.0	1.0
1.0	0.0

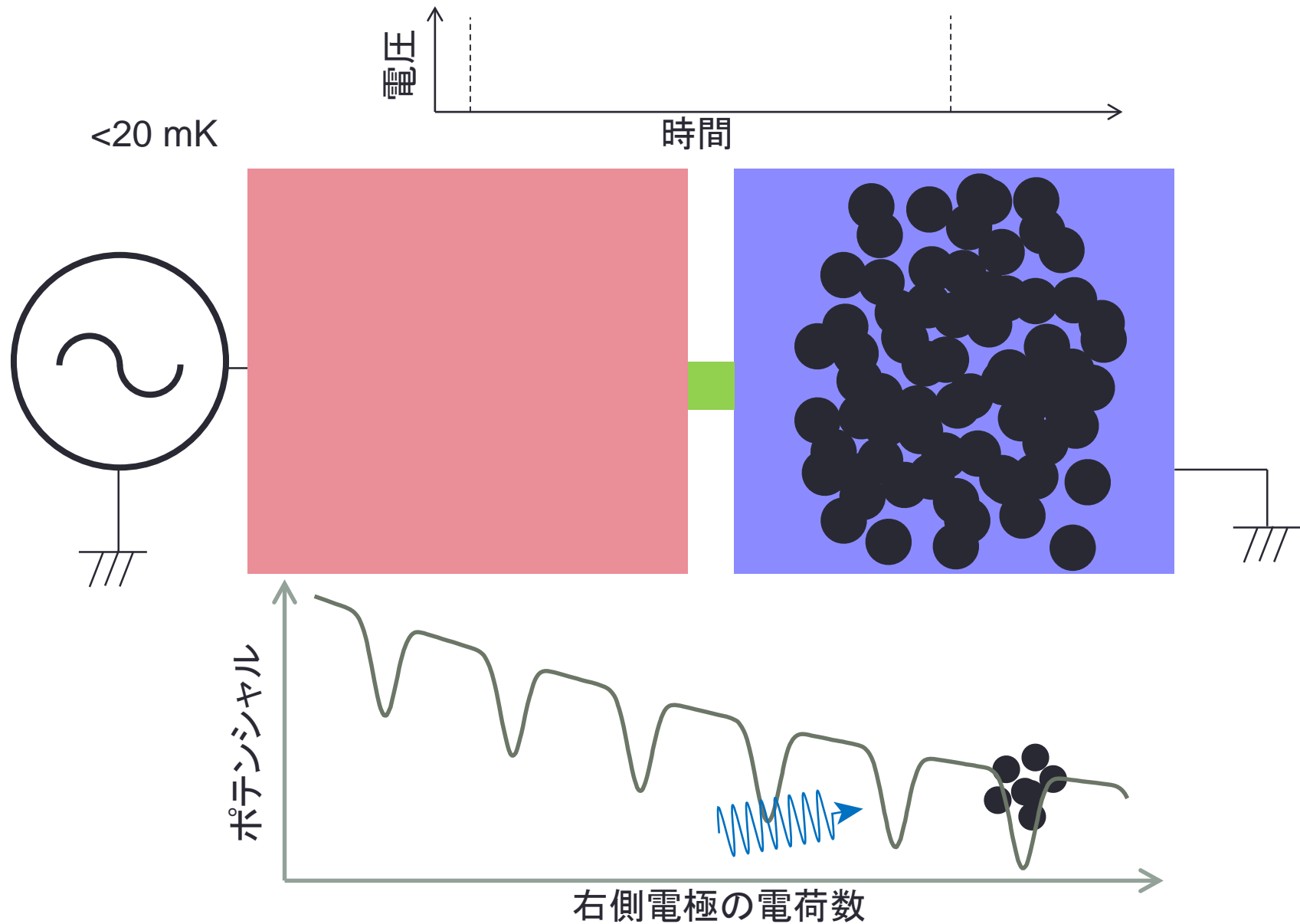
真理値表

入力	出力
0.1	0.9
0.2	0.8
0.3	0.7
⋮	

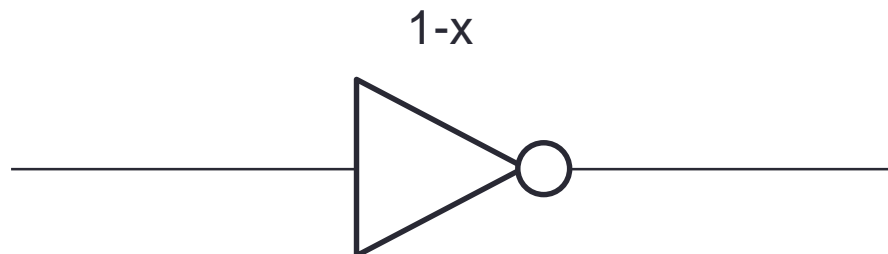
電荷の粒の箱 (超伝導電極)



電荷の粒の箱 (超伝導電極)

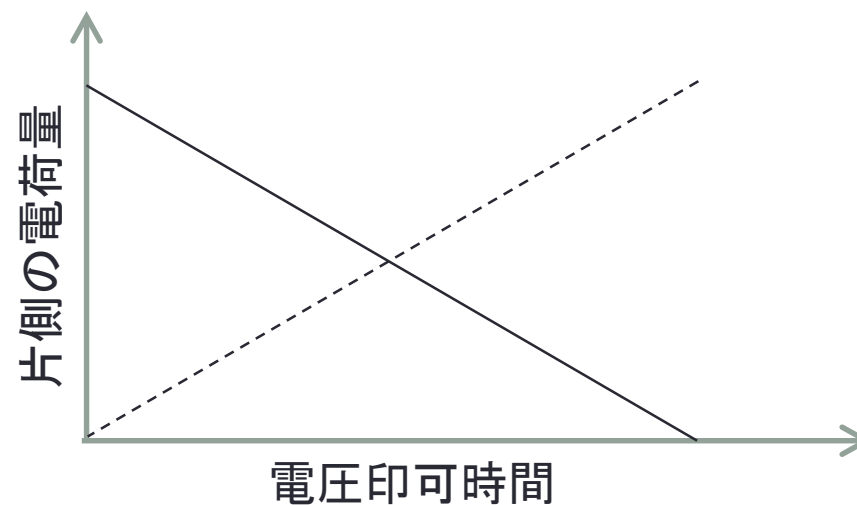


アナログNOTゲート

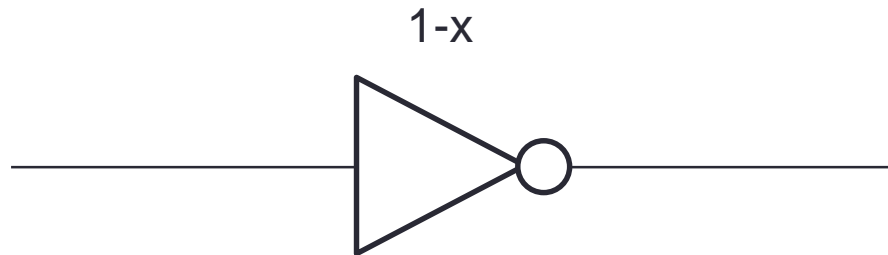


入力	出力
x	1-x

真理値表

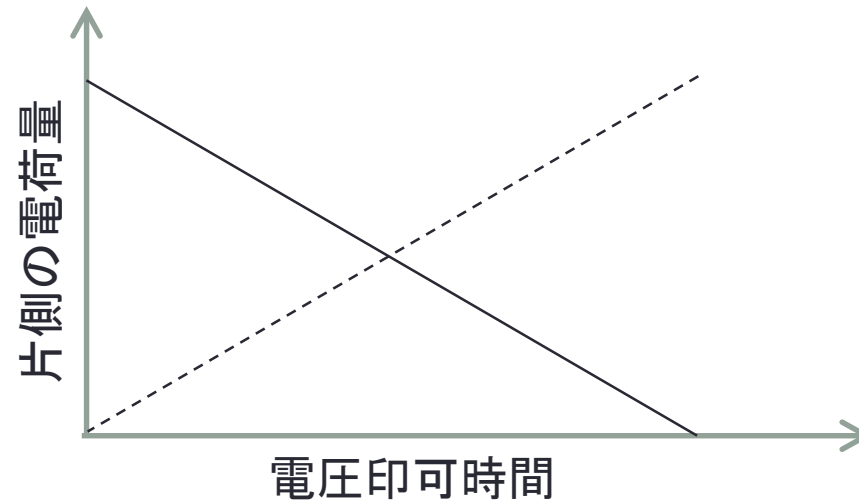


アナログ半分NOTゲート

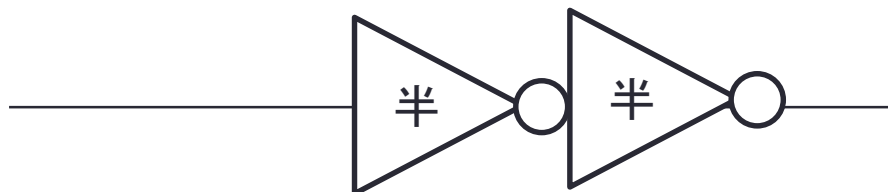


入力	出力
x	1-x

真理値表



アナログ半分NOTゲート

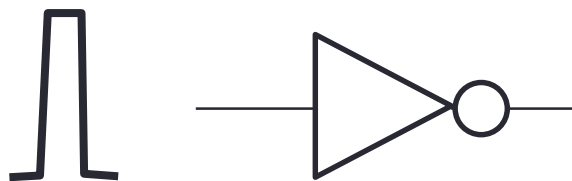


入力	出力	入力	出力
x	0.5	0.5	0.5

真理値表

2回重ねても
アナログNOTに
ならない

アナログ半分NOTゲート



入出力が
ベクトル値

入力	出力
0.0	1.0
1.0	0.0

入力が
スカラー値

真理値表

$$\begin{bmatrix} \text{出力} \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} \text{入力} \end{bmatrix}$$

関係が
1対1の表

入出力関係は
行列表現

アナログ半分NOTゲート

NOTゲートの行列表現

$$\begin{bmatrix} 0 \\ 1 \end{bmatrix} \text{出力} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix} \text{入力}$$

アナログ半分NOTゲート

2回かけるとNOTゲート

$$\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} = \begin{bmatrix} ? & ? \\ ? & ? \end{bmatrix} \begin{bmatrix} ? & ? \\ ? & ? \end{bmatrix}$$
$$= \sqrt{\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}} \sqrt{\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}}$$

アナログ半分NOTゲート

2回かけるとNOTゲート

$$\begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} = \begin{bmatrix} ? & ? \\ ? & ? \end{bmatrix} \begin{bmatrix} ? & ? \\ ? & ? \end{bmatrix}$$
$$= \frac{1}{2} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}$$

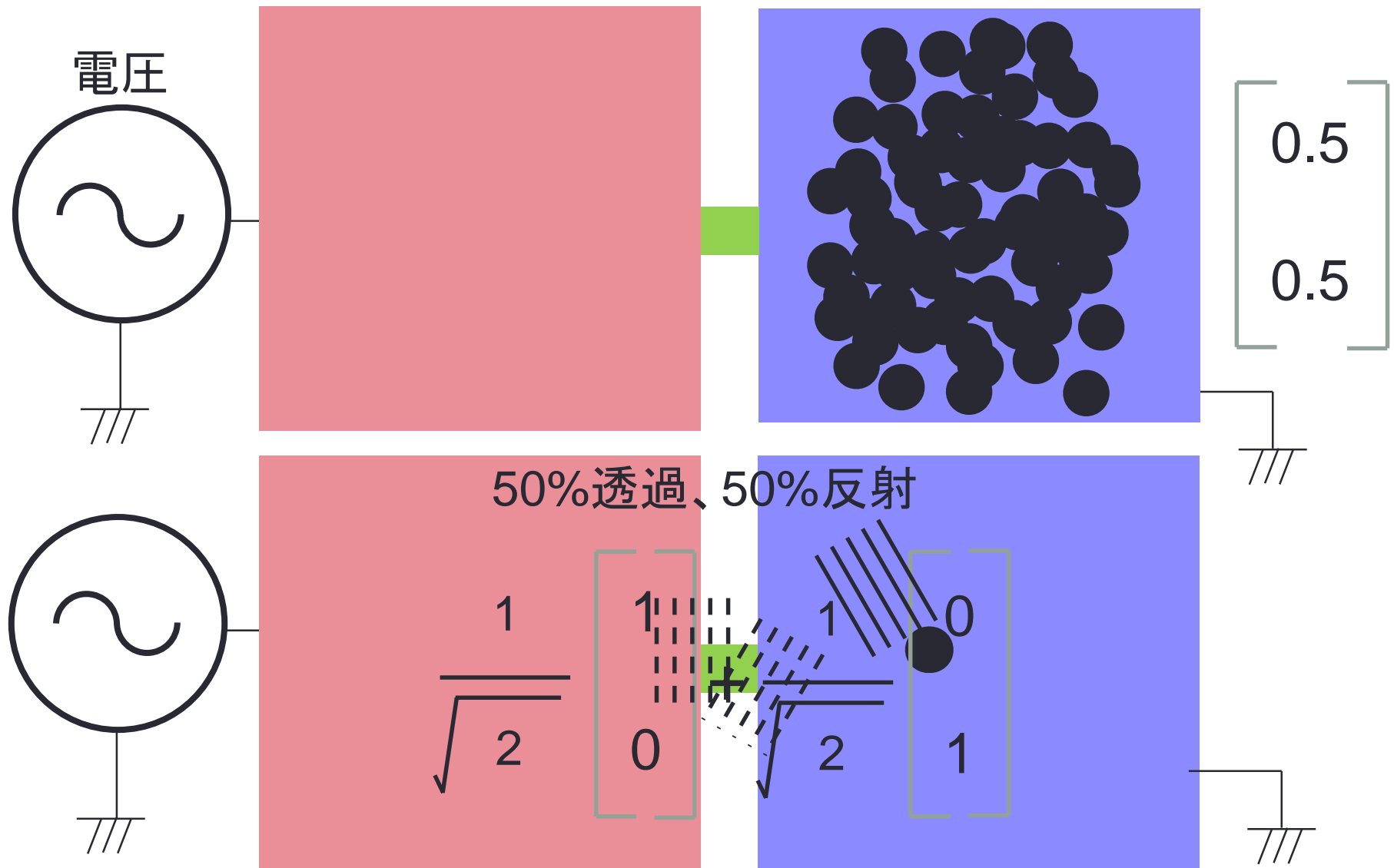
アナログ半分NOTゲート

2回かけるとNOTゲート

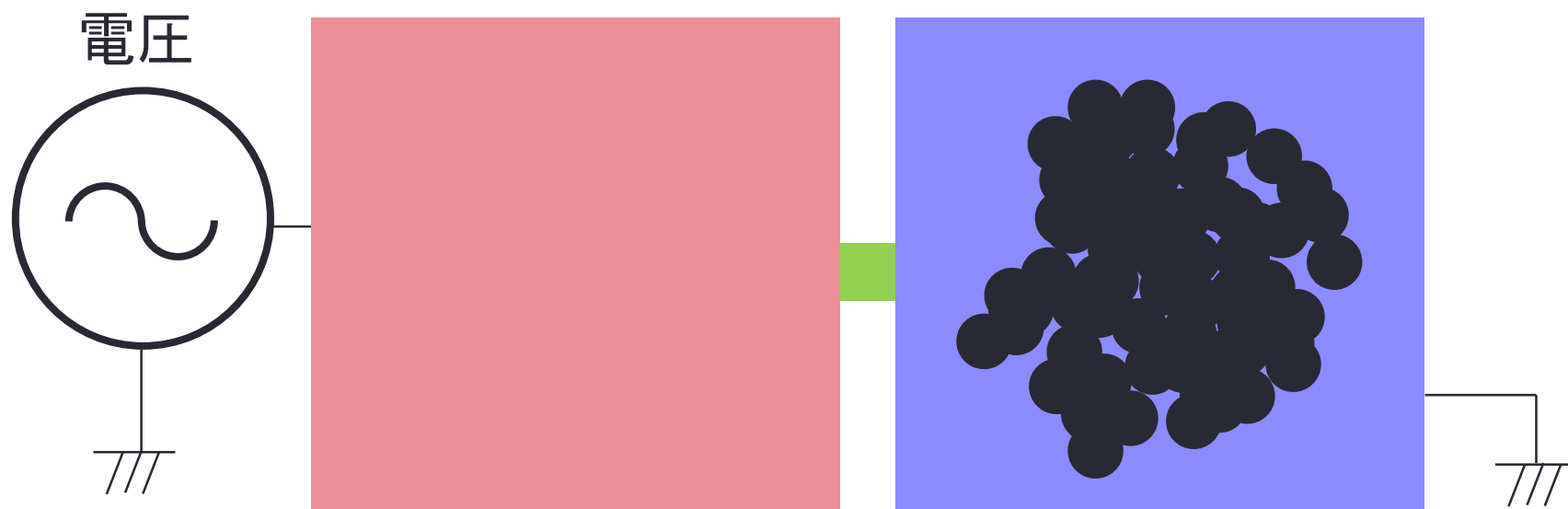
$$\frac{1}{\sqrt{2}} \begin{bmatrix} 1 \\ 0 \end{bmatrix} + \frac{1}{\sqrt{2}} \begin{bmatrix} 0 \\ 1 \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix}$$

入力カ
出力カ

集団電荷と、単一の電荷



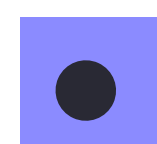
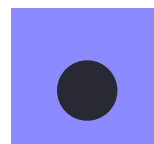
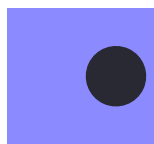
単一電荷とマクロな電荷



量子半分NOTゲート

2回かけるとNOTゲート

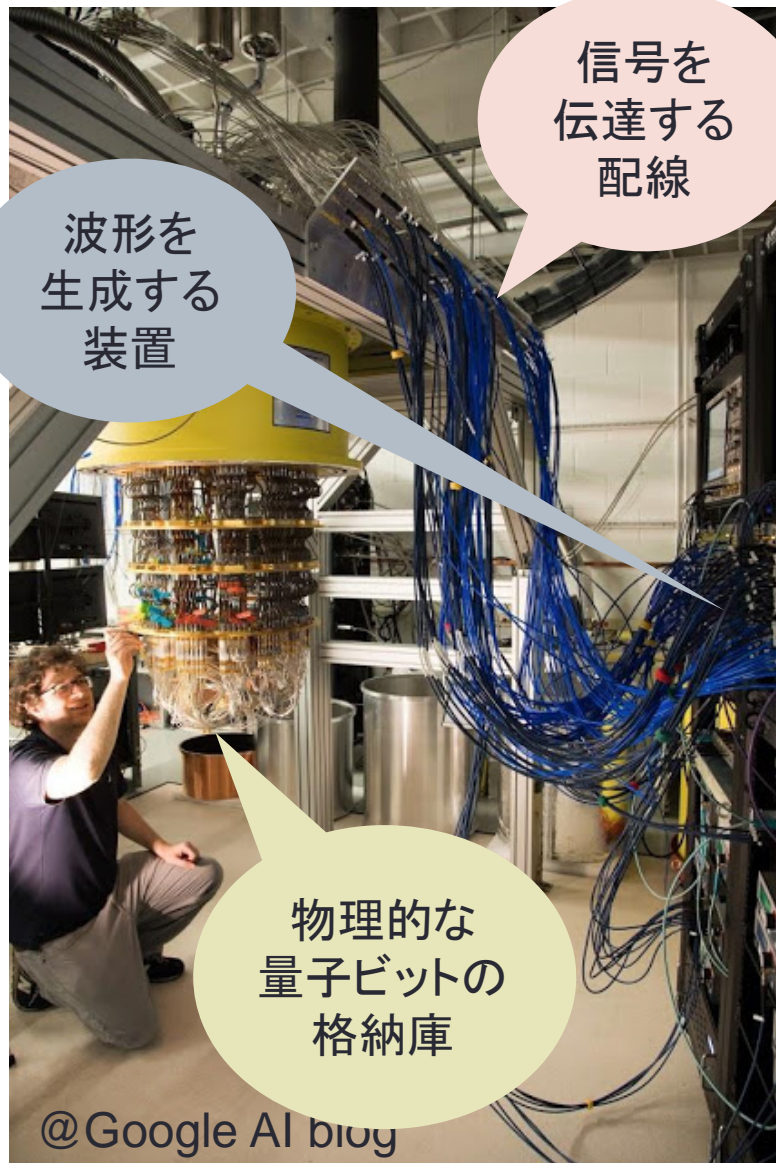
$$\frac{1}{\sqrt{2}} \begin{bmatrix} 1 \\ 0 \end{bmatrix} + \frac{1}{\sqrt{2}} \begin{bmatrix} 0 \\ 1 \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \begin{bmatrix} 1 \\ 0 \end{bmatrix}$$



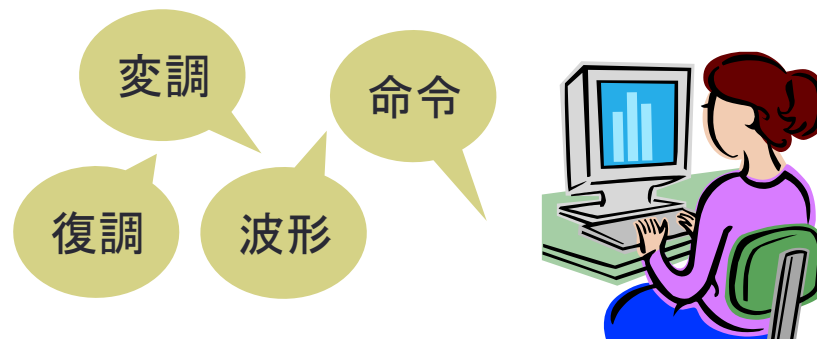
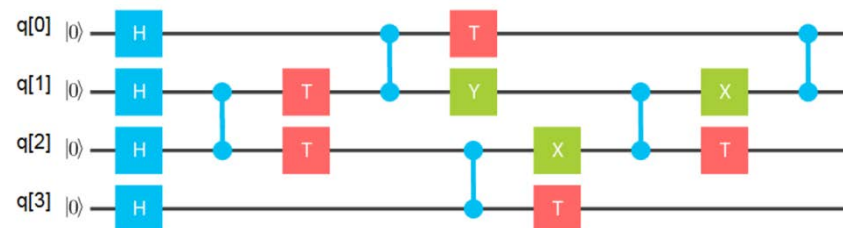
2つの
並行世界が
同時に存在

量子ゲートの実装の現状

“ソフトウェア定義”量子ゲート

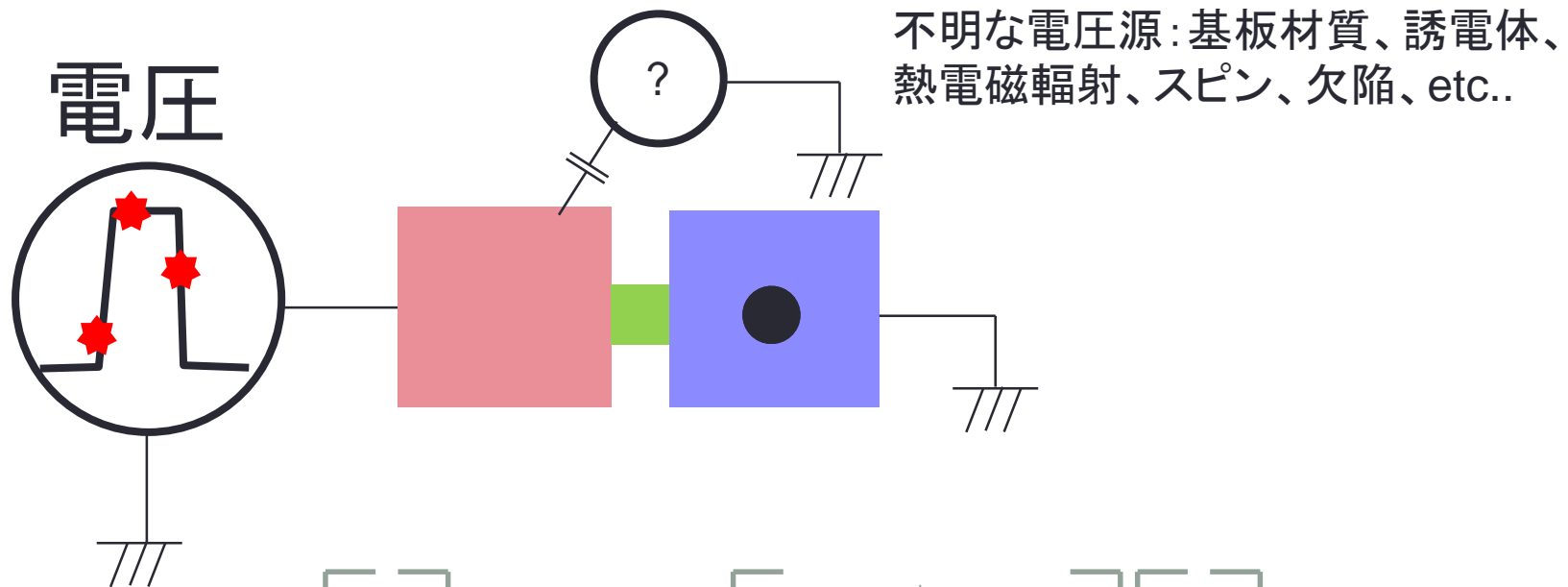


● 量子ゲートを探せ



- 量子ビットはアナログ受動回路
- 能動回路・順序回路は全て外部制御

量子ゲートの実装と実装誤差

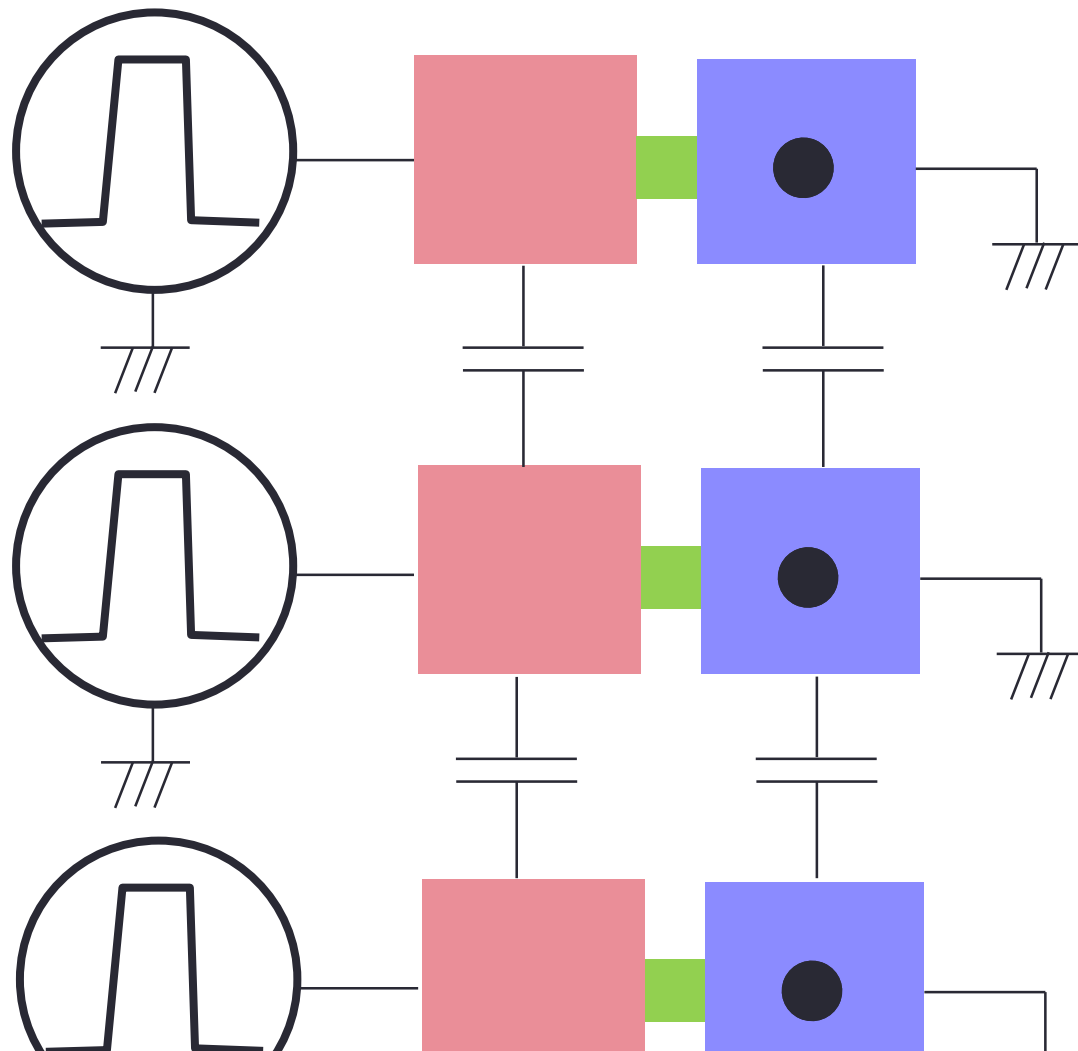


$$\begin{bmatrix} \text{出力} \end{bmatrix} = \frac{1}{\sqrt{2}} \begin{bmatrix} 0.98 & -0.03 \\ -0.03 & -0.98 \end{bmatrix} \begin{bmatrix} \text{入力} \end{bmatrix}$$

誤り率 1%~4%

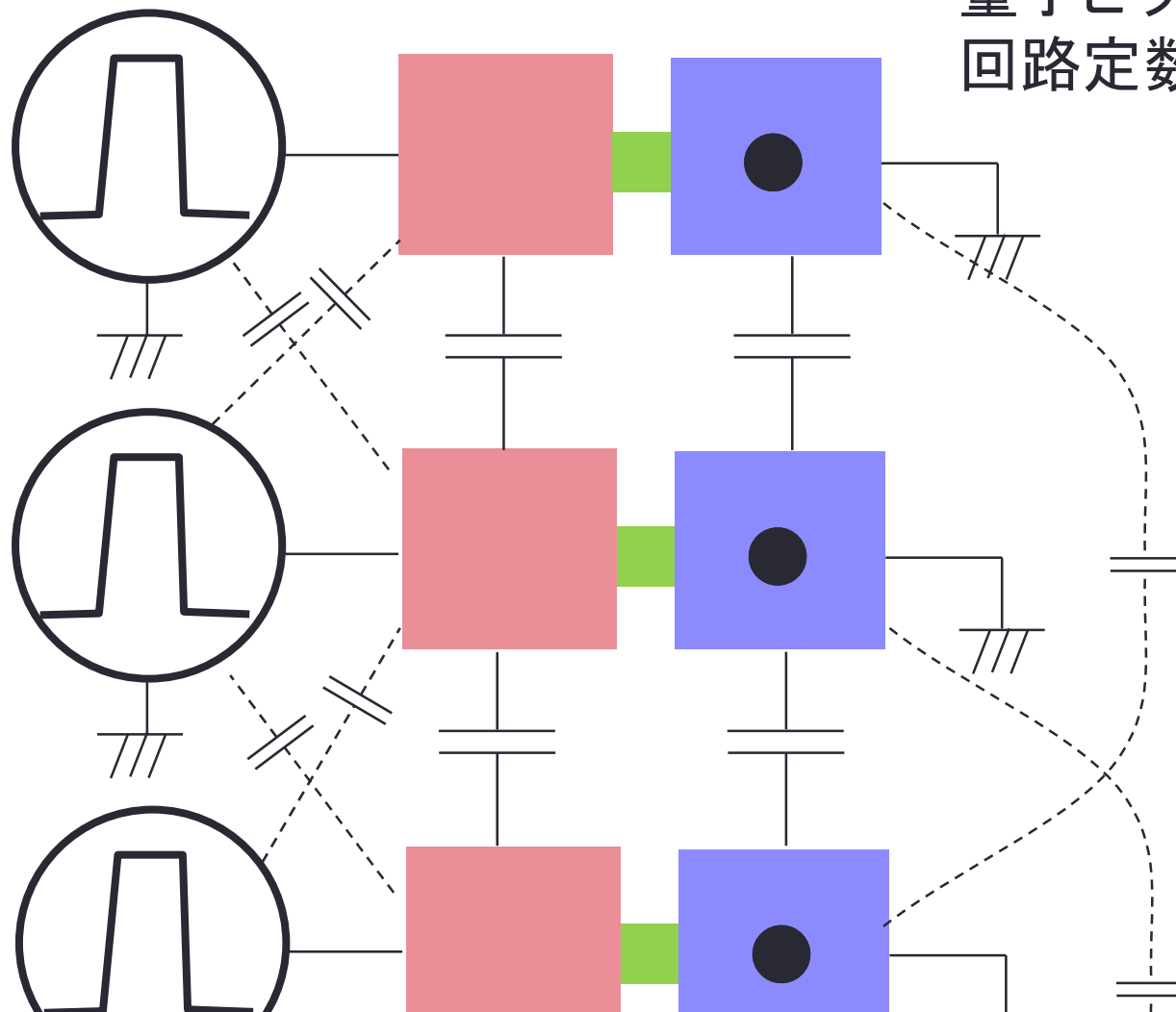
量子ゲートの実装と実装誤差

電圧



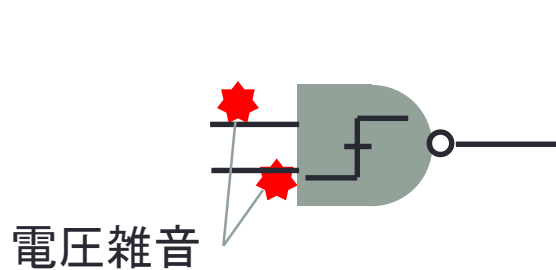
量子ゲートの実装と実装誤差

電圧

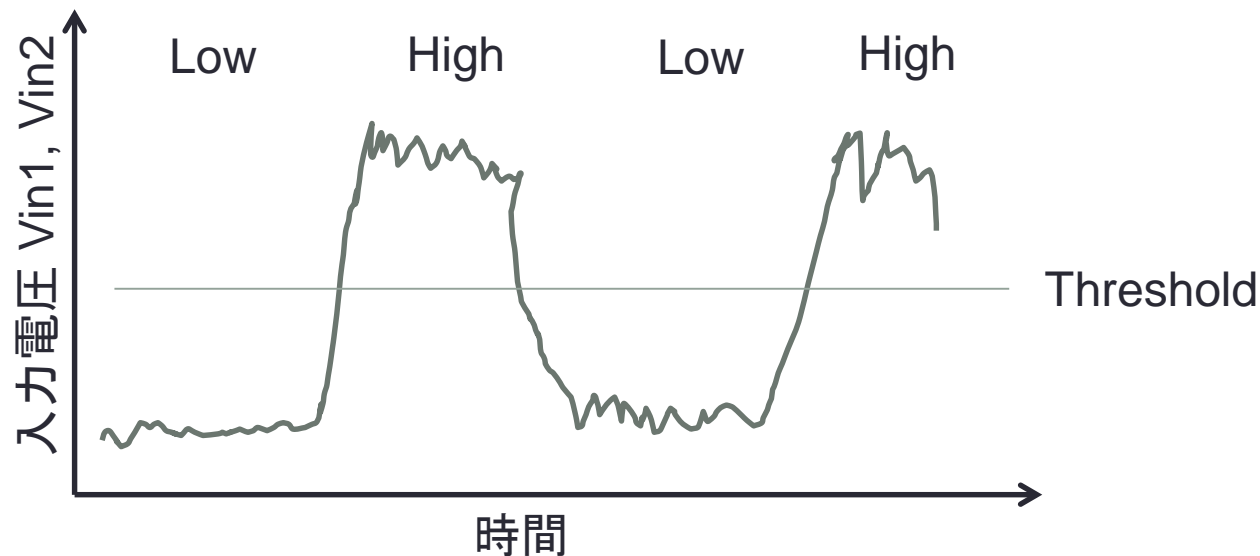
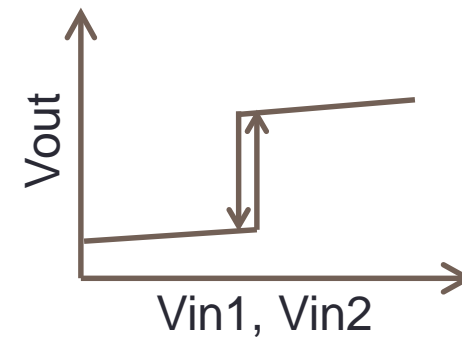


制御の漏話 -40dB ~ 1%
量子ビット間の漏話 ~ 1%
回路定数の誤差 10%

論理ゲートと量子”アナログ”ゲート

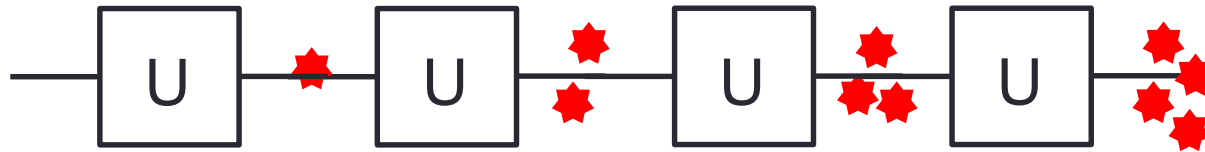
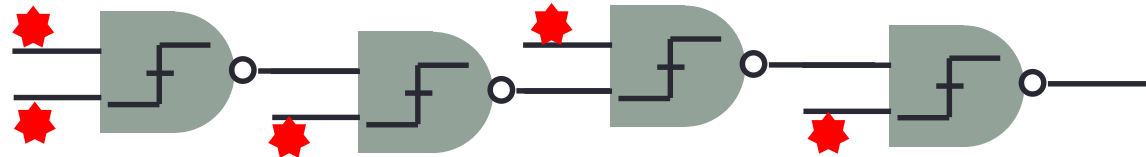


- 論理ゲートは「しきい値素子」



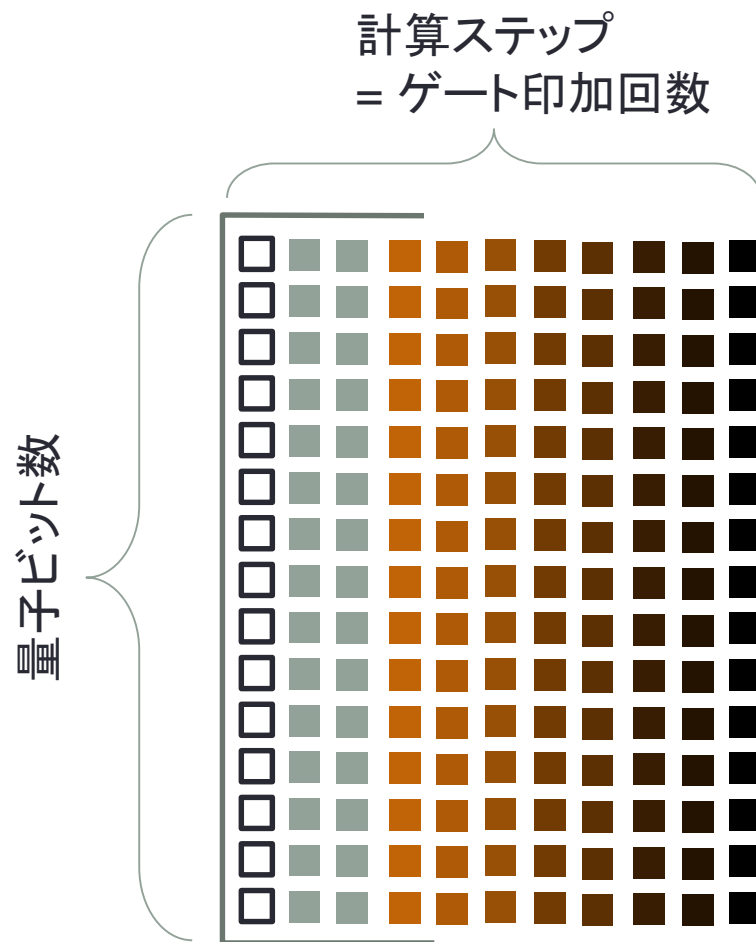
量子論理回路 (論理回路との対比)

- “ソフトウェア定義” 量子論理ゲートに「しきい値」なし



- 入出力はアナログ $|\psi\rangle_{out} = U |\psi\rangle_{in}$
- ゲートもアナログ電圧制御による実装

量子計算(近未来)



N: # of 量子ビット数

D: ゲート印加回数

P: 単一ゲートの成功確率

$P = 99\%$, $N = 50$,

$P^{N \cdot D} \rightarrow 8.105\% \text{ (} D = 5 \text{)}$

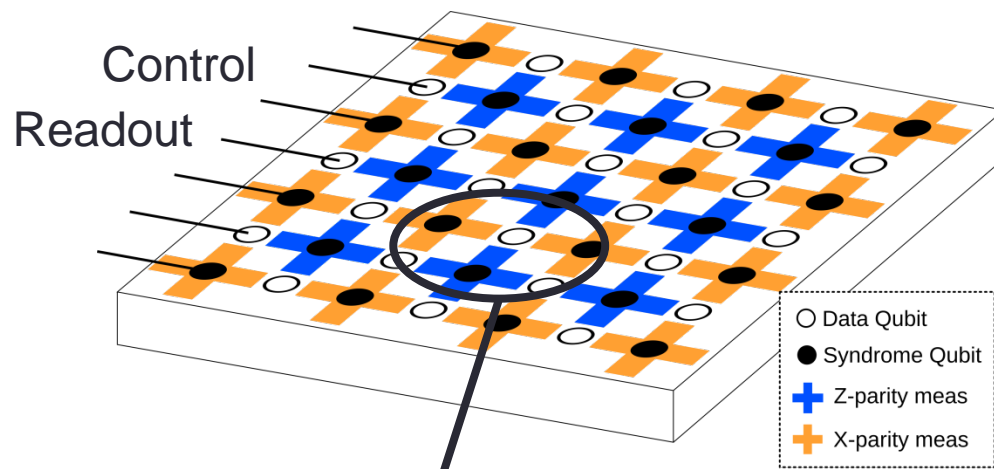
$P^{N \cdot D} \rightarrow 0.066\% \text{ (} D = 10 \text{)}$

超伝導量子コンピュータ近況

- 各グループ特性表

	IBM	Google	中国 USTC	Rigetti	Intel +TU Delft
動作ビット数	20	22	10	19	7
ゲート速度	0.1-0.2 us	0.04 us	0.14 us	0.1-0.26 us	0.02 us
ゲート誤り率*	2 %	1%	N/A	2 %	1%
観測誤り率	5-10 %	1 %	4 %	1 %	N/A
コヒーレンス時間	70/70 us	28/2 us	23/3 us	52/20 us	N/A

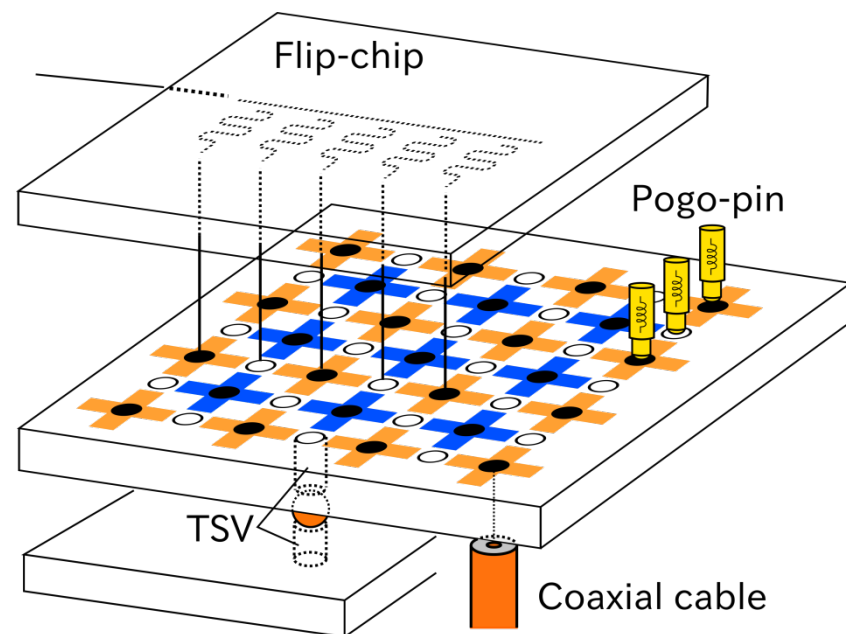
集積化に向けた課題



中央部分への配線が困難

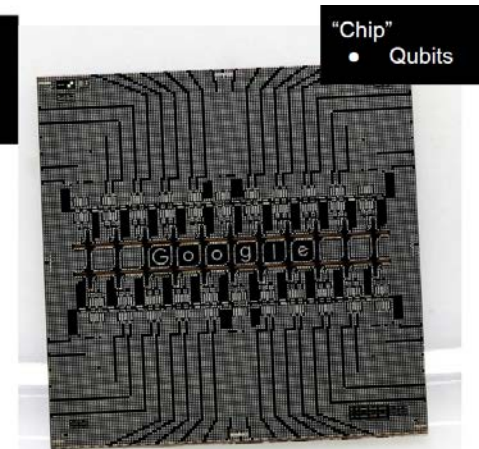
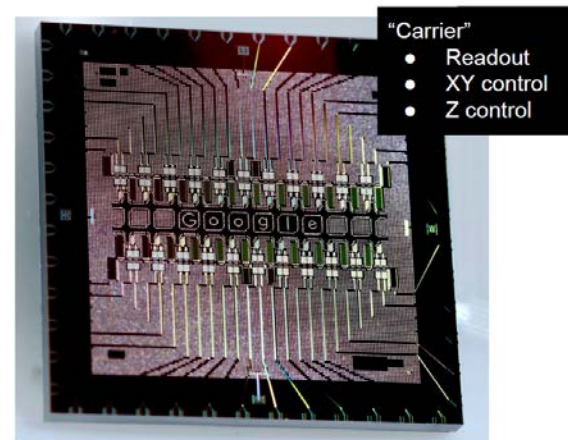
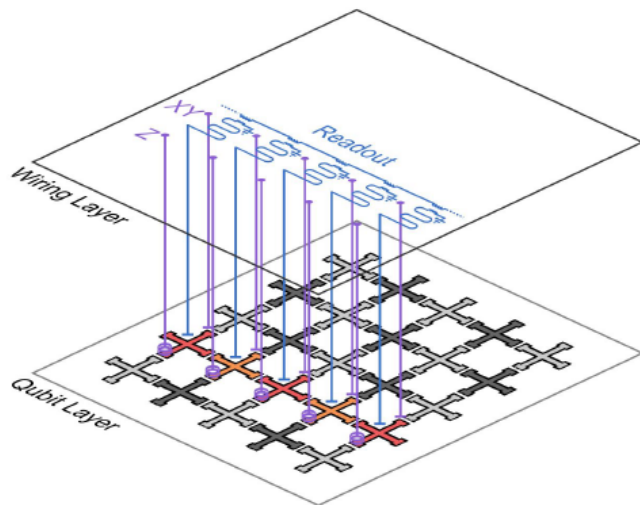


3次元立体配線が必要不可欠



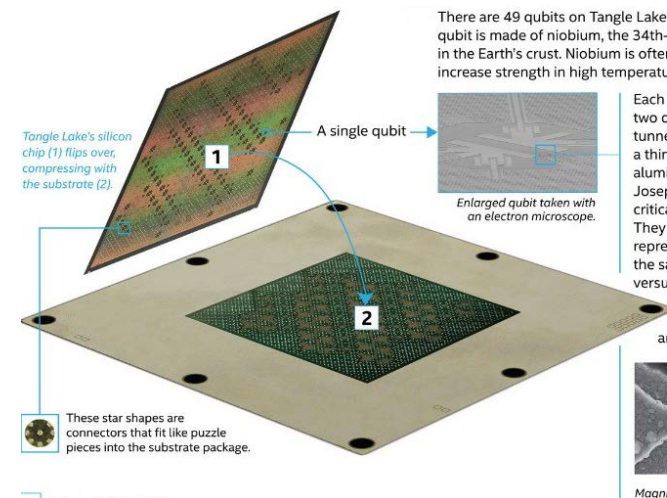
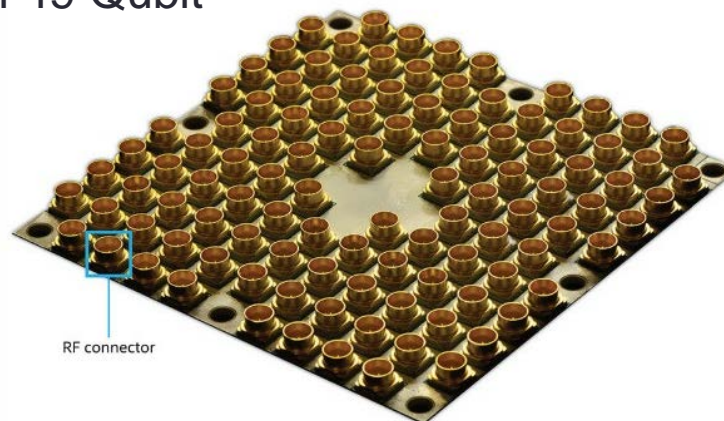
フリップチップボンディングによる集積化

Google 22Q foxtail



[http://www.teratec.eu/library/pdf/forum/2018/Presentations/Forum_Teratec_2018_A3_06_Kevin_Kissel_Google.pdf]

Intel 49 Qubit



[<https://newsroom.intel.com/news/future-quantum-computing-counted-qubits/>]

理研/東大 “量子コンピュータ”

特願2018-191287

Contact probe
for holding chip

Flip-chip cover

Concentric Qubit

In bump bonding

- 表裏面間の信号の導波
- 基板モードの抑制
- クロストークの抑制

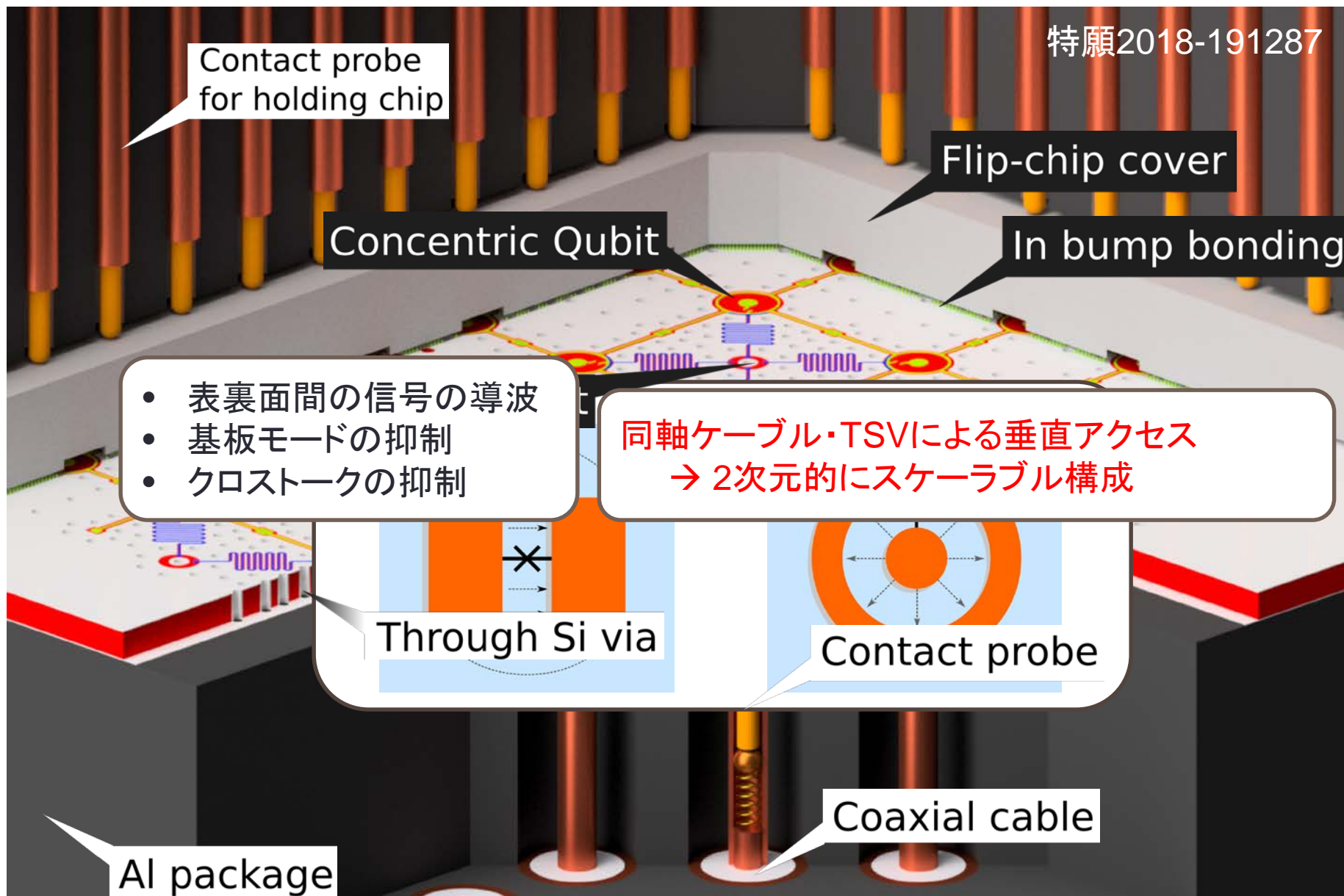
同軸ケーブル・TSVによる垂直アクセス
→ 2次元的にスケーラブル構成

Through Si via

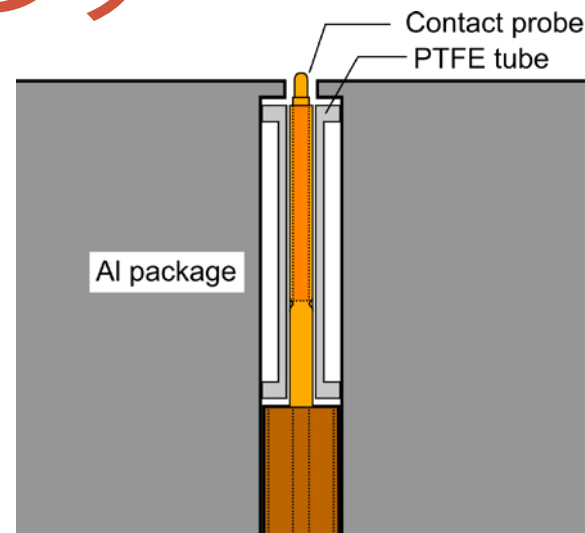
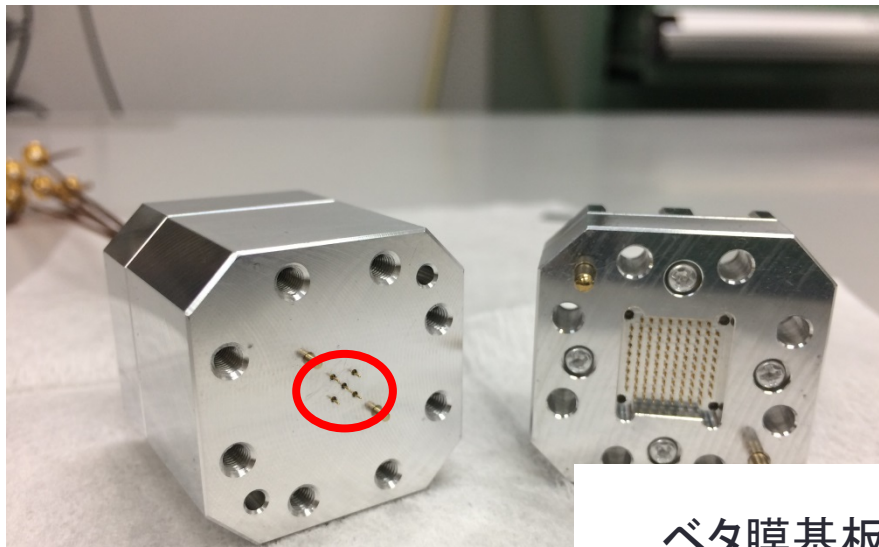
Contact probe

Coaxial cable

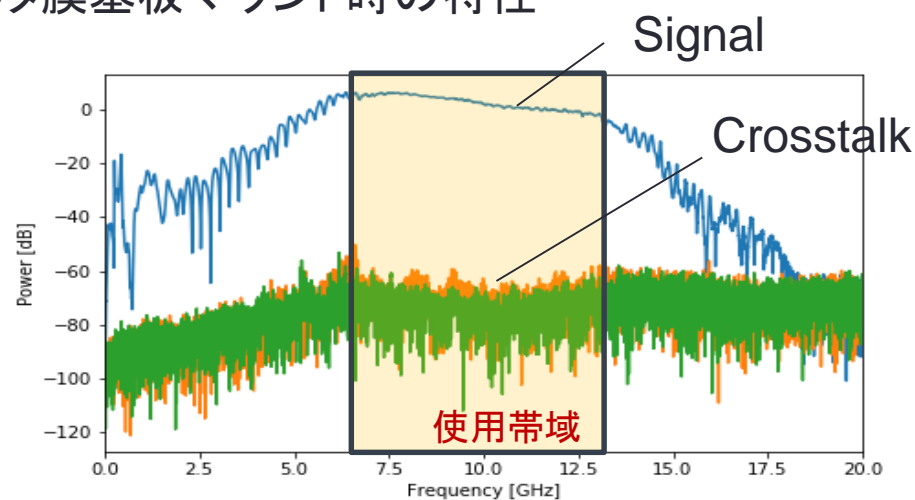
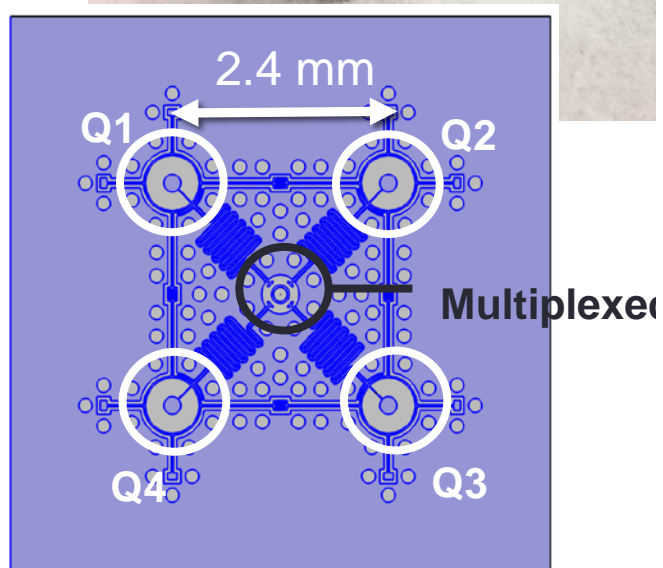
Al package



量子ビットのパッケージング



ベタ膜基板マウント時の特性



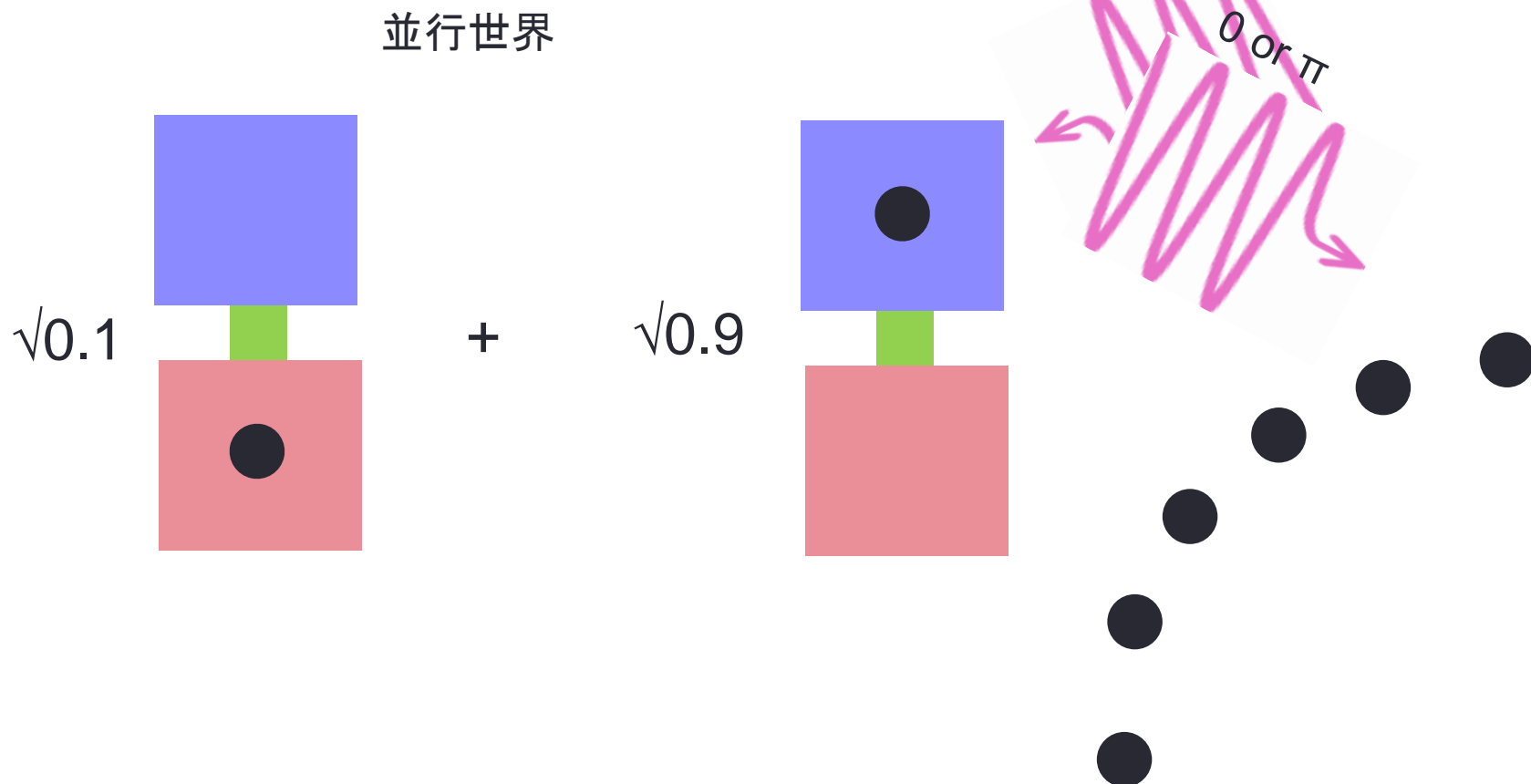
漏話 < -60dB

デジタル量子コンピュータ

観測、符号化と誤り訂正

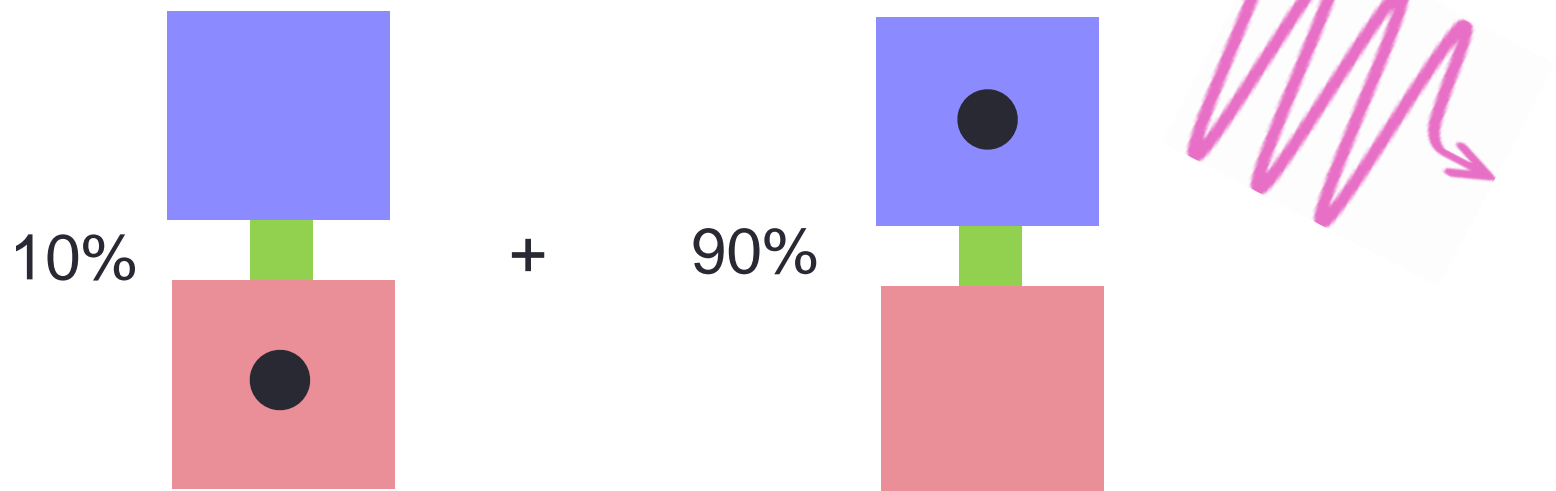
電荷の粒を観測する

- 電流電荷計とマイクロ波電荷計
- 波束の収縮とデジタル化



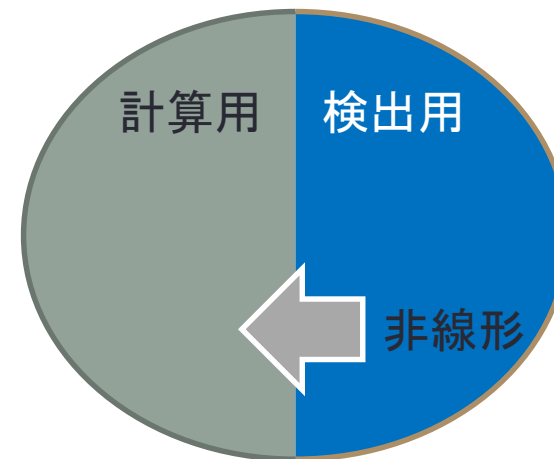
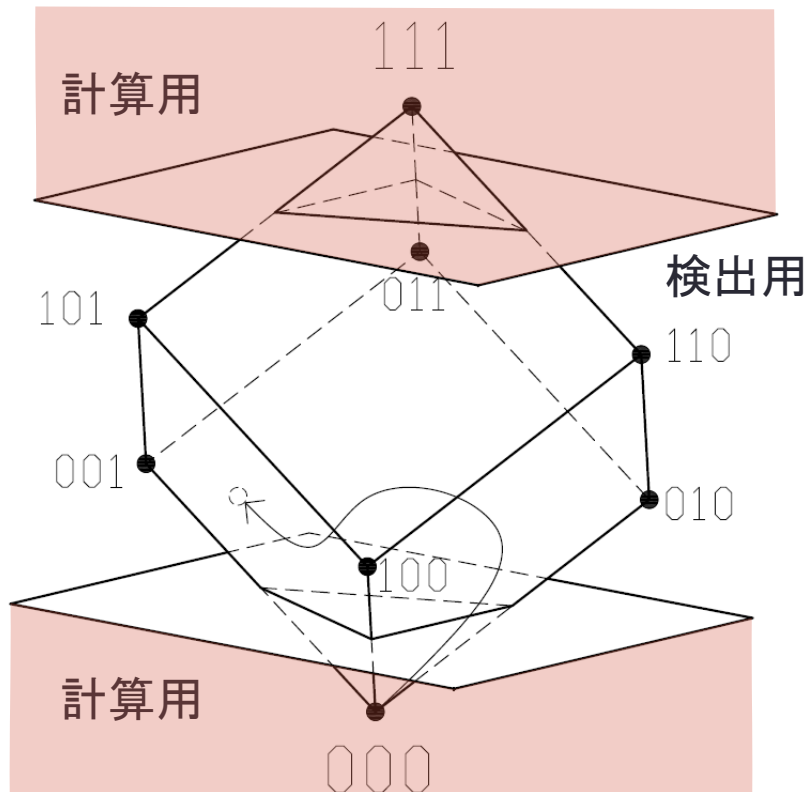
電荷の粒を観測する

- 電流電荷計とマイクロ波電荷計
- 波束の収縮とデジタル化 (あいまい除去)



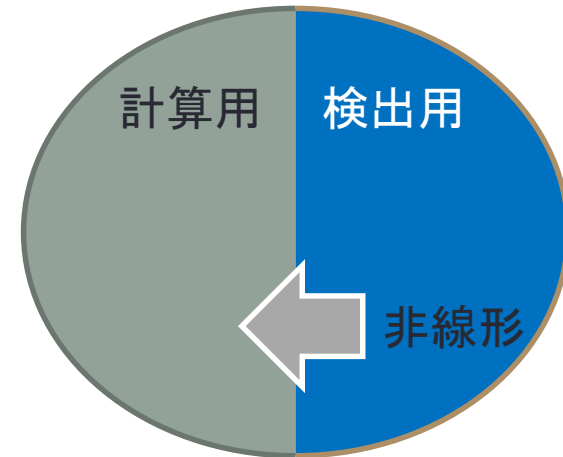
量子誤り訂正符号

- 部分的な観測＝波束の収縮＝空間への収縮
 - 誤り→デジタル化、顕在化
 - 計算用→アナログ値保持

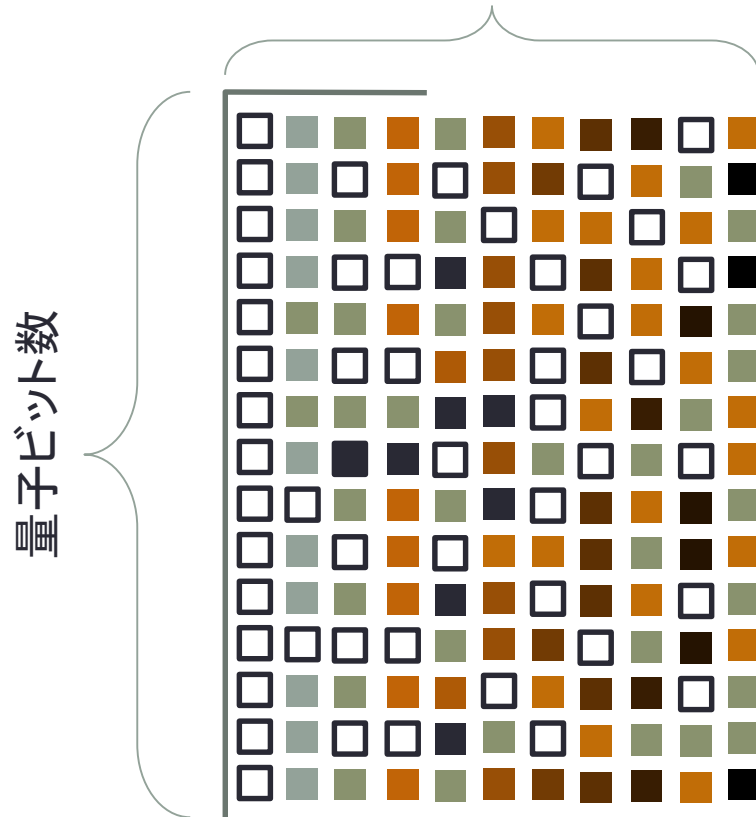


量子誤り訂正符号

- 誤り訂正符号の導入
 - 部分的な観測(非線形)



計算ステップ
= ゲート印加回数



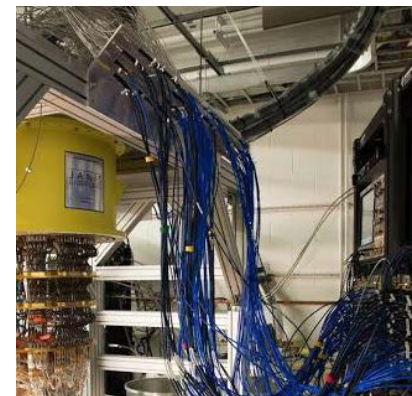
エラーは積み重なるが、観測により
検出され適切に訂正される

動作可能エラー域 0 ~ 0.1 % 程度

- 60 dB の量子ビット間漏話を許容
- 60 dB のダイナミックレンジ、雑音を許容

超伝導量子コンピュータの挑戦

- 内因的な量子ゲート誤り率 $< 0.1 \%$
 - 量子ビット結合する不明な電磁雑音 (MHz ~ THz) の除去
⇒ 量子物理、固体物理
- (拡張性を維持した上で)
外因的な量子ゲート誤り率 $< 0.1 \%$
 - 量子ビット—制御線の漏話 -60 dB以下 @ $< 2\text{mm}$ ピッチ
 - 量子ビット間の漏話 -60 dB 以下 @ $< 2\text{mm}$ ピッチ
⇒ マイクロ波アナログ回路設計技術
 - 量子ビットの制御波形の改善、低雑音化
⇒ 重畳雑音 -150 dBm/Hz, SFDR > 70 dB
- 量子ビット数に依存しない配線資源の効率利用化



END
