

# Coherent Ising MachineにおけるFPGA 測定フィードバックシステム

本庄利守<sup>†</sup> 稲垣卓弘<sup>†</sup> 稲葉謙介<sup>†</sup> 生田拓也<sup>†</sup> 武居弘樹<sup>†</sup>

<sup>†</sup> 日本電信電話株式会社 物性科学基礎研究所  
神奈川県厚木市森の里若宮 3-1

E-mail: †{honjo.toshimori,inagaki.takahiro,inaba.kensuke,honjo.toshimori,honjo.toshimori}@lab.ntt.co.jp

あらまし 組合せ最適化問題を解く手法として、新しいタイプのコンピュータを活用する方法に注目が集められている。コヒーレントイジングマシン (Coherent Ising Machine) は、光ファイバループ中の縮退光パラメトリック発振器による光パルスのネットワークを利用したイジングモデルの基底状態を探し出す計算機である。光パルス間の相互作用は、光ファイバループの周回ごとに測定とフィードバックを繰り返すことにより行う。この測定とフィードバックを行うシステムは、リアルタイム性と大規模計算の両立が求められ、FPGA が適したアプリケーションである。本稿では、FPGA を活用した測定フィードバックシステムの試作について述べる。

キーワード コヒーレントイジングマシン, イジングモデル, 測定フィードバック, FPGA

## Design and implementation of FPGA measurement feedback system in Coherent Ising Machine

Toshimori HONJO<sup>†</sup>, Inagaki TAKAHIRO<sup>†</sup>, Kensuke INABA<sup>†</sup>, Takuya IKUTA<sup>†</sup>, and Hiroki TAKESUE<sup>†</sup>

<sup>†</sup> NTT Basic Research Laboratories, NTT Corporation  
3-1 Wakamiya Atsugi-shi Kanagawa, Japan

E-mail: †{honjo.toshimori,inagaki.takahiro,inaba.kensuke,honjo.toshimori,honjo.toshimori}@lab.ntt.co.jp

**Abstract** To solve combinatorial optimization problems, the way to utilize new type of computer that can find ground state of Ising model has been getting attention. Coherent Ising machine is one of such analog computers, that utilizes a network of degenerated optical parametric oscillators in an optical cavity for solving ground-state-search problems. The interaction between optical pulses is realized by measurement and feedback scheme, which performs in every circulation in the optical cavity. This measurement-and-feedback system requires both real-time processing and large matrix multiplication, thus it is suitable for FPGA application. In this paper, we describe our prototype implementation of a FPGA measurement-and-feedback system.

**Key words** Coherent Ising Machine, Ising model, measurement and feedback, FPGA

### 1. はじめに

近年、半導体の微細加工技術の限界によりムーアの法則の終焉が叫ばれる中、この状況を打破すべく新しいタイプのコンピュータに対する研究が盛んに行われている。リコンフィギュラブルコンピューティング [1]、ニューロモフィックコンピューティング [2]、量子コンピュータ [3] などがその代表例である。

その中でも、従来のノイマン型のコンピュータでは効率的に解くことが難しいとされる組合せ最適化問題をイジングモデルにマッピングし、物理系を用いてイジングモデルの最低エネルギー状態を求めることで、効率良く組合せ最適化問題を解くアプローチが注目されている。このようなアプローチで最も著名なものがカナダのベンチャー企業である D-Wave が研究開発を進めている超電導を用いた量子アニーリングシステムである [4]。彼らは、数千個の超伝導磁束量子ビットを並べ、量子アニーリングと呼ばれる手法によりイジングモデルを解いている。本システムは商用化されており、NASA や Google などに販売すると共に、クラウドサービスによるサービスも展開し、ユーザ層の拡大に貢献している。

そのような中、我々は光を使ったアプローチに取り組んでいる。コヒーレントイジングマシンは、光技術を用いたイジング

ソルバーである [5]～[8]. 光ファイバーキャビティ中の縮退光パラメトリック発振器を人工的なスピンに見立て、そこでイジングハミルトニアンをエミュレートすることで、最低エネルギー状態を求める. スピン間の相互作用は、測定フィードバック法と呼ばれる方式により実現しており<sup>(注1)</sup>、光ファイバーキャビティをまわるスピン群に対して、每周、測定とフィードバック量の計算、フィードバックを行うことで相互作用を実現する. これにはリアルタイム性と大規模な計算の両立が求められることから、ここは FPGA を用いて実現している.

本稿では、コヒーレントイジングマシンにおける FPGA を用いた測定フィードバックの設計と実装に関して述べる.<sup>(注2)</sup>

## 2. コヒーレントイジングマシン

イジングモデルとは、相互作用するスピンの振る舞いを記述する統計力学上のモデルであり、そのハミルトニアンは以下で記述される.

$$H = - \sum_{i < j} J_{ij} \sigma_i \sigma_j \quad (1)$$

$\sigma_i$  は、 $i$  番目のスピンの状態 (アップ、ダウン) を表し、 $J_{ij}$  は、 $i$  番目と  $j$  番目のスピン間の相互作用を表す. イジングモデルの基底状態、すなわち最低エネルギー状態を見つけることは、式 (1) でハミルトニアンを最小になるスピンの組合せ  $\{\sigma_i\}$  を見つけることに相当する.

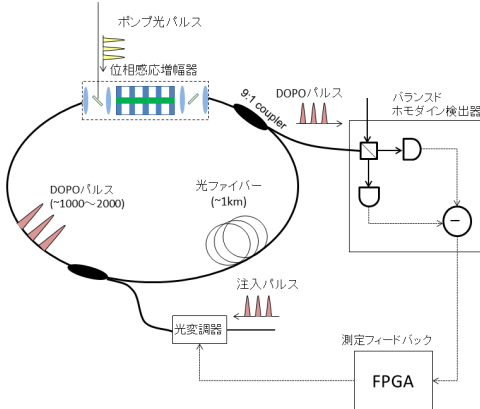


図1 コヒーレントイジングマシンのセットアップ

コヒーレントイジングマシンは、上記のイジングモデルを人工スピン系で模擬するシステムである. 図1にセットアップを示す. 中央に記載の光ファイバーキャビティ (ループ) 中に、時分割多重された光パルス群を発生させ、それをスピンに見立て、光ファイバーキャビティ中に位相感応増幅器と呼ばれるポンプ位相に対して 0 もしくは  $\pi$  位相の成分のみが効率よく増幅

される増幅器を配置することで、0 もしくは  $\pi$  のみで発振する縮退光パラメトリック発振器 (DOPO) が構成できる. これをスピンに見立て、位相が 0 のものをスピニアップ、位相が  $\pi$  のものをスピンドアウンとすることで、人工スピンを実現する.

計算過程 (イジングモデルの基底状態の探索) では、真空の状態から始め、徐々にポンプ光を強めることで発振状態に移させる. これらの DOPO 群は、全体のエネルギー損失をもっとも下げる位相の組合せで発振する確率が高くなることから、発振状態での各パルスの位相を読み出すことで、式 (1) を最小化するスピンの組合せを見つけることができる.

スピン間の相互作用、すなわち式 (1) の  $J_{ij}$  に相当する箇所は、測定フィードバック法と呼ばれる方式により実現する. 光ファイバーキャビティ中からカプラーにより分岐し、ホモダイン検出により各パルスの位相を測定し、その測定結果に基づいて、各パルスに対して相互作用に相当する  $\sum_j J_{ij} \sigma_j$  を計算し、それに相当するフィードバック光を各パルスに入れる. これを每周繰り返すことで、相互作用を与えながら、真空状態から発振状態へ遷移させていく.

今回の実験系では、1km の光ファイバーを利用して光ファイバーキャビティを構成している.  $1.5\mu\text{m}$  帯の通信波長の光パルスを使用しており、1 周にかかる時間は約  $5\mu\text{sec}$  である. すなわち、上記の測定フィードバックは、 $5\mu\text{sec}$  以内に行う必要がある. この光ファイバーキャビティ中に 1nsec 間隔で 1000 から 2000 個程度の DOPO を発生させて上記の計算に使用する.

## 3. FPGA による測定フィードバックシステム

コヒーレントイジングマシンでは、DOPO による人工スピン群が自発的に基底状態を探索することになるが、光パルス列のスケジュール管理や周回ごとに強度を変化させていく光ポンプパルスの生成、測定フィードバックによる相互作用を実現するなど、電気系のシステムのサポートが欠かせない. そのような意味ではコヒーレントイジングマシンは、光電子ハイブリッドなシステムであるとも言える.

$5\mu\text{sec}$  周期で 1km の光ファイバーを回る光パルスを制御すると共に、每周測定と相互作用の計算、フィードバックを行う必要がある. これにはリアルタイム性と大規模計算の両立が求められる. FPGA が得意とする領域のアプリケーションである. そこで、我々は FPGA を用いてコヒーレントイジングマシンの制御システムを試作した. 今回のシステム設計にあたっては、以下を目標とした. (1) 相互作用の計算においては、浮動小数点を扱う行列演算を行うこと.  $J_{ij}$  の精度により解きたいイジング問題に制約を課さないためである. (2) 相互作用の計算箇所は、高位合成により実現すること. 将来の実験において多体問題など相互作用計算に対する改変を容易にするためである. (3) FPGA ボードの通信には Ethernet を用いること. ユーザとの接点となるパソコンとの連携性を高めると共に、疎結合にすることでデバッグを容易にするためである.

## 4. デザイン概要

本システムは、図2のように4つの主要なパートによる構成

(注1): 光干渉計によるオプティカルカプリングにより相互作用を実現する方法もある.

(注2): [7] [9] などで記載の FPGA システムは、計算の簡略化などにより小規模な FPGA で実現されており、本稿のシステムとは異なる.

とした。AWG パートは、全体のスケジュールを管理するパートである。ポンプパルスの強度変調、後述する ADC や DAC パートに計算開始、測定、フィードバック信号送出のトリガーを供給する。

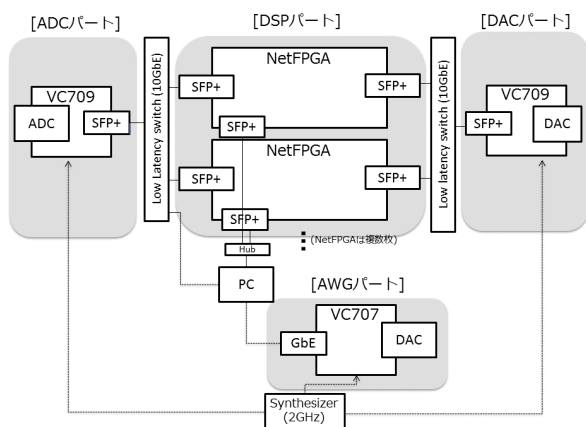


図2 全体の構成

ADC パートは、ホモダイン検出による測定結果をデジタル化して、DSP パートに送出する。DSP パートは、相互作用を計算する部分であり、複数の FPGA ボードから構成されることを想定している。DAC パートは、計算結果を元にフィードバック光信号を作成する変調器を駆動する。ADC と DSP、DSP と DAC パートは、Ethernet (10G) によるネットワークで接続する。

ここでシステムに要する時間について述べる。ADC において 1Gbps で 1000 スピンを 10bit の分解能でサンプリングすることを想定し、PC での扱いやすさなどから 10bit をバイト単位 (16bit) にて転送するとすると、1 周で 16Kbit となる。これを 10Gbps のリンクで転送するとすると、 $1.6\mu\text{sec}$  かかることになる。<sup>(注3)</sup> DSP パートでは、10GbE のワイヤレートで処理が進められるとすると、最後のスピンの到着してから、その計算が完了するまでの時間がかかる。ここで 156.25MHz で 150 サイクルで抜けると想定すると、 $960\text{nsec}$  かかることになる。その後、DAC パートへの転送にも ADC からの転送と同じだけの時間がかかるので、前後やスイッチのオーバーヘッドを考慮していないが、 $4.2\mu\text{sec}$  でフィードバックの準備ができる試算になり、 $5\mu\text{sec}$  以下に収まる。

次に、計算性能について述べる。DSP パートにおいて、1000 スピンの相互作用を計算する場合、 $1000 \times 1000$  の行列に 1000 行のベクトルを乗算することになる。1 周ごとに浮動小数点の乗算加算を 2,000,000 回行うことになる。1 週の演算自体を  $2\mu\text{sec}$  程度で処理しなければならないと仮定すると 1T flops の性能が要求される。昨今の GPGPU のスペックシートからすると容易に達成できる性能のように思われるが、ストリーミングの入出力に対して GPGPU でこれだけの性能を出すことは困難で

ある。

## 5. AWG

まずは、全体のスケジュールを管理する AWG パートについて述べる。AWG パートでは、全体スケジューリングを管理するため、シンセサイザーからのマスタークロックを元に、(1) CW の光源からポンプ用のパルス光を生成するためのパルス発生器への 1GHz のクロック (2) DOPO の周回に応じてポンプ強度を変化させるための光強度変調器をドライブする 1Gbps のアナログ信号 (3) ADC への測定開始を指示する  $5\mu\text{sec}$  間隔のトリガー信号 (4) DAC へのフィードバック出力の開始を指示する  $5\mu\text{sec}$  間隔のトリガー信号 (5) ADC へ計算開始を指示する  $5\text{msec}$  間隔のトリガー信号、の 5 種類の同期した信号を生成する。

(1) および (3)~(5) はデジタル信号であり、(2) に関しては複数レベルの信号を発生させなければならないため、DAC によるアナログ信号を扱う必要がある。図3にブロックダイアグラムを示す。(1) に関しては、マスタークロックからの信号の分周により実現し、(2) に関しては高速 DAC、(3)~(5) は高速シリアルトランシーバからの出力を利用するデザインとした。

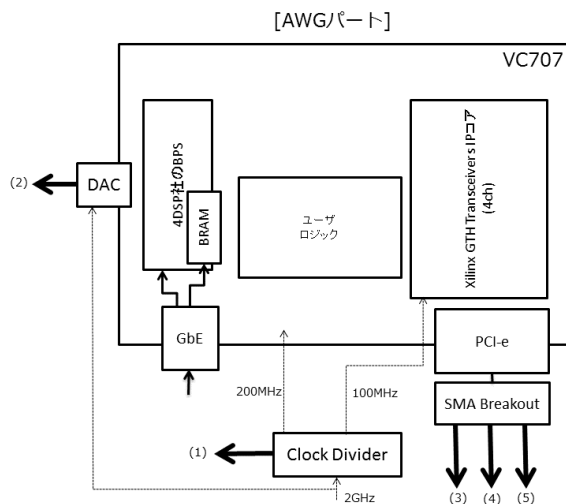


図3 AWG のブロックダイアグラム

DAC には Avaco(旧 4DSP) 社の FMC230 (5.7Gbps 14-bit 解像度の DAC を搭載した FMC モジュール)、本体には Xilinx 社の評価ボードである VC707 (Virtex-7 XC7VX485T-2FFG1761C) を用いた。PCI Express コネクタからの出力の SMA コネクタへ変換には Global Hitech 社の SMA Breakout Board を用いた。また、クロックの分周期器には、Analog Deices 社の HMC7043LP7F を用いた。

DAC の制御に関しては、4DSP 社の BSP(Board Support Package) をベースに BRAM 上に配置した信号データを所望の手順で再生するように実装した。BRAM 上のデータは、VC707 に搭載されている GbE を経由して変更できるようにしてあり、実験に応じてポンプ強度の変化を変えることができるようにし

(注3) : ADC のサンプリングレートに合わせてデータを 10GbE でパッパなく送出するためには、10bit でパディングするか、2ch 使う必要がある。

である。また、デジタル信号の出力に関しては、Xilinx 7-Series Transceiver の IP コアを用いて、各チャネル独立に固定の信号パターンを出力するように実装した。

シンセサイザーからは 2GHz のクロック信号を供給し、分周器と DAC への外部クロックに供給した。分周器では 1GHz、200MHz、100MHz のクロックを生成し、それぞれ (1) のパルス発生器へのクロック、FPGA ボードのマスタークロック、GTH のクロックとした。これによりマスタークロックに同期した信号出力が可能となる。

DAC は、1Gsps の変調信号出力が要件であるが、同一周回の 1000~2000 のパルスに関しては同一振幅とするため、1Gsps の信号では低周波の DC 成分が増え、DAC の周波数特性から所望の信号とならない。そこで、2Gsps として 1 シンボルごとに反転信号を出力させることにより周波数特性の改善を図っている。

## 6. ADC/DAC

ADC パートは、ホモダイン検出による測定結果をデジタル化し、10GbE を経由して、DSP パートに送出する部分である。図 4 の左にブロックダイアグラムを示す。AWG パートから計算開始のトリガーを受信した後、規定の周回数分 (1000 周)、1GHz 間隔で送られてくる 1000~2000 個のスピンの測定を行う。各測定は、AWG パートからの 5μsec 間隔の周回トリガーを起点に毎回同じスピンが測定できるようにする。ADC でのサンプリング位置を調整できるように周回トリガーから測定開始までの遅延時間を調整できるように実装してある。

ADC パートの有効化/無効化、遅延量などの制御は、10GbE を経由して L2 のフレームでできるようにした。ただし、ADC の初期化に関しては、4DSP 社の BSP の都合上、PCI Express を経由して行う形態を取っている。

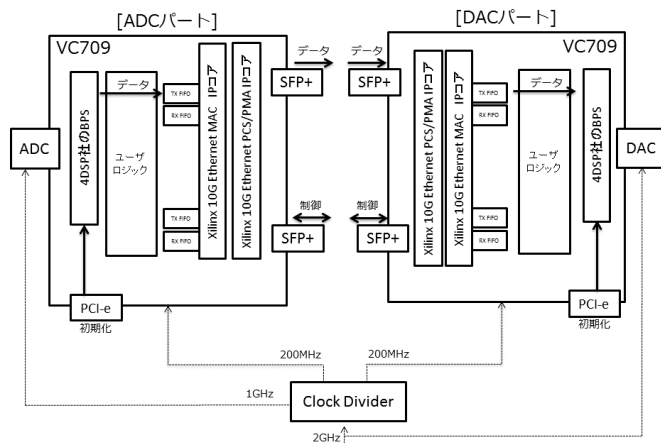


図 4 ADC/DAC のブロックダイアグラム

ADC には Avaco(旧 4DSP) 社の FMC126 (5.0Gsps 10-bit 解像度の ADC を搭載した FMC モジュール)、本体には Xilinx 社の評価ボードである VC709 (Virtex-7 XC7VX690T) を用い

た。この VC709 には、SFP ポートが 4ch 搭載されており、現状の実装では、1ch をコントロール用、もう 1ch を測定結果の送出用に使っている。

クロックの方は、シンセサイザーから 2GHz のクロック信号を供給し、分周器にて 1GHz、200MHz のクロックを生成し、ADC の外部クロック、FPGA ボードのマスタークロックとして供給し、ADC およびロジックがマスタークロックに同期して動くようにした。

DAC パートは、DSP パートから送出された計算結果を元にフィードバック光信号を作成する変調器を駆動する部分である。図 4 の右にブロックダイアグラムを示す。AWG パートからのフィードバック出力の周回トリガーの受信を起点に BRAM に積まれたフィードバック信号を再生する仕掛けとした。非同期で行われる DSP パートの計算および転送、BRAM への保管は、再生時まで完了する設計である。また、ADC の場合と同様にフィードバック出力の位置を調整できるように周回トリガーから測定開始までの遅延時間を調整できるように実装してある。

DAC には、AWG と同様に Avaco(4DSP 社) の FMC230、本体には Xilinx 社の評価ボードである VC709 (Virtex-7 XC7VX690T) を用いた。この VC709 にも、SFP ポートが 4ch 搭載されており、1ch をコントロール用、もう 1ch を DSP からの結果の受信用に使っている。

クロックの方は、シンセサイザーから 2GHz のクロック信号を DAC の外部クロックと分周器に供給している。分周器にて 200MHz のクロックを生成し、FPGA ボードのマスタークロックとして供給し、DAC およびロジックがマスタークロックに同期して動くようにした。

## 7. DSP

DSP パートは、每周ごとに ADC パートの測定結果にもとづいて、式 (2) に相当する相互作用を計算する部分である。

$$\begin{pmatrix} \hat{\sigma}_1 \\ \hat{\sigma}_2 \\ \vdots \\ \hat{\sigma}_n \end{pmatrix} = \begin{pmatrix} J_{11} & J_{12} & \cdots & J_{1n} \\ J_{21} & J_{22} & \cdots & J_{2n} \\ \vdots & \vdots & \ddots & \vdots \\ J_{n1} & J_{n2} & \cdots & J_{nn} \end{pmatrix} \times \begin{pmatrix} \sigma_1 \\ \sigma_2 \\ \vdots \\ \sigma_n \end{pmatrix} \quad (2)$$

$\sigma_i$  が各スピンに対する測定結果であり、 $J_{ij}$  が予め問題として設定されたスピン間の相互作用、 $\hat{\sigma}_i$  が各スピンに対するフィードバックの大きさである。上式から分かるように、この計算は行ごとに分割して並列かつ分散して実施することが可能である。行列の行単位で複数の FPGA ボードに振り分けることで、並列化する。各 FPGA ボードで処理できるスピン数に応じて、FPGA ボードの枚数を増やすことで、スケールさせることが可能である。

図 5 にブロックダイアグラムを示す。 $J_{ij}$  に関しては、計算を始める前に予め 10GbE 経由で設定しておく想定である。 $J_{ij}$  は、単精度の浮動小数点数である。ADC パートから 10GbE 経由で測定結果が到着したら、順次行列計算を進め、全てが完了

したら DAC パートに送出する。ADC パートからのパケットに応じて駆動するイベントドリブン型の構成である。

各行の計算ごとに個別にベクトル乗算のモジュールを作成する構成とした。各モジュールは、入力データに対してストリーミングで計算できるように図 6 のような構成にした。第 1 段のループでは 4 入力の前積を行い、第 2 段のループでは 16 入力の積和を行い、最終段で足算の累積を行うデザインである。

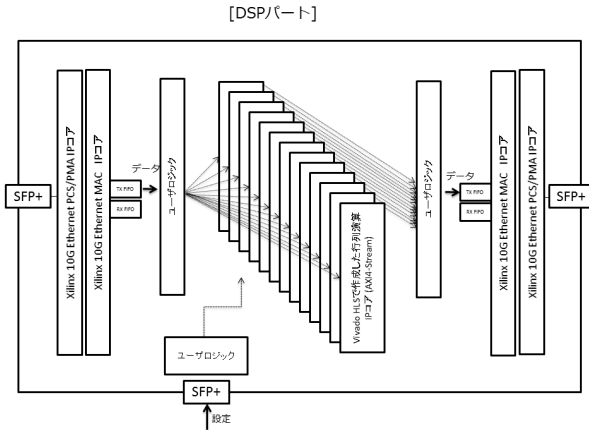


図 5 DSP のブロックダイアグラム

行列演算部分に関しては、Vivado HLS による高位合成により実装した。例えば、2048 スピンの場合は、レイテンシーは 621 サイクルで、インターバルは 564 サイクルとなった。高位合成による実装としたことで、今後の実験において、柔軟に各種のフィードバックアルゴリズムが試せることを期待している。

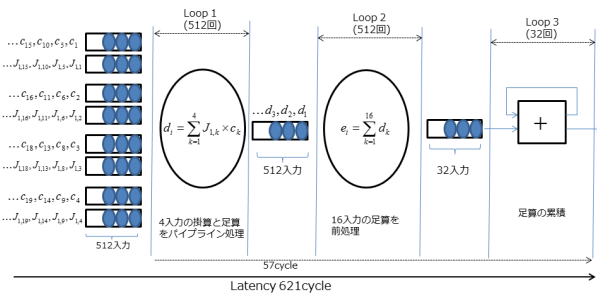


図 6 行列計算のロジック

DSP パートとしては、Digilent 社の NetFPGA SUME(Xilinx Virtex-7 XC7V690T FFG1761-3) を使用した。この NetFPGA SUME には SFP ポートが 4ch 搭載されており、 $J_{ij}$  の設定などコントロール用、ADC からの測定結果の受信用、DAC への計算結果の送信用にそれぞれ 1ch づつ割り当てた。現状の実装では、156.25MHz クロックで動かしており、1 枚に 100 スピン分のモジュールを搭載することができている。従って、1000 スピンの実験では 10 台の NetFPGA を並べて使用し、2000 スピンの場合には 20 台使用することになる。

## 8. スイッチ

本システムでは、ADC/DAC パートおよび複数の DSP パー

トのインターコネクトは 10GbE スイッチで行うデザインである。スイッチ自体には、帯域もさることながら、低レイテンシー性が要求される。そこで、今回は Exablaze 社の ExalinkFusion を選定し、利用することとした。あるポートからの入力を複数のポートに拡散させる Fan-out に関しては  $5ns$ 、複数のポートの入力があるポートに集める Mux に関しては  $39ns$  と非常に低遅延でパケットの転送を行うことが可能である。また、本スイッチでは、各ポートの入出力をタップすることも可能であり、データ抽出やデバッグに大きな効力を発揮する。

今回は、ADC から複数の DSP パートへの転送に Fan-out の構成を利用し、複数の DSP から DAC パートへの転送には、Mux の構成を利用した。また、後述する PC へのデータ取込みに関しては、タップの機能を利用した。

## 9. PC との連携

コヒーレントイジングマシンを組合せ最適化問題のソルバーとして活用するためには、PC との連携は欠かすことはできない。問題行列の設定やデータの PC への転送に時間がかかるようでは、物理系が答えを導き出す時間が短くとも、トータルでは、優位性が示せない可能性がある。そのため今回の試作では高速性も保ちつつ、分離性からデバッグも比較的容易になる Ethernet(10GbE) による通信を採用した。PC 側には、CPU に Intel Corei7, OS に Linux(Ubuntu16.04LTS) を使い、ネットワーク I/F には、PCI Express ボードタイプの Intel Ethenret Sever Adapter X710-DA2 SFP+ を使用した。

ここで問題となるのが、10GbE 経由で送られてくるトラフィックの量である。PC では、主に ADC パートで測定された結果が DSP パートに転送されるパケットをモニターすることによって、各スピンの状態を把握する。2000 スピンの場合には、 $5\mu sec$  間隔で 32Kbit のデータが流れることとなる。平均で 6.4Gbps のトラフィックが流れ続けることになる。実験では、各周回におけるスピンの振幅を連続的に測定してスピンの成長度合いやエネルギーの変化を測定するため、全てのパケットをダンプできる必要がある。また、各計算結果のみを取得したい場合には、 $5msec$  ごとに必要なパケットのみをダンプすれば良いが、ヘッダ解析をして必要なパケットを選別する必要がある。通常の PC において、既存の OS のプロトコルスタックで wireshark などの raw socket を経由したパケットダンプ方式で、この性能を出すことは難しく、パケットロス避けられない。そこで、我々は OS のネットワークドライバの上に実装される I/O パケットドライバである netmap [10] を用いてパケットダンプを行なった。netmap は、カーネル内のネットワーク I/F ドライバの直上に実装され、ダンプの際のパケットコピーの回数を減らし、軽量化を図っている。

netmap を利用したサーバにより取得されたデータは、Python によるコードで解析し、次節で述べるスピンの成長度合い (トラジェクトリー) や MAXCUT のスコア、イジングエネルギーなどを表示するようにしている。



## 10. 評価

FPGA システム自体の性能評価はこれからであるが、まずは実装した FPGA システムと光学系を結合し、組合せ最適化問題の一つであり NP 困難問題とされているグラフの最大カット (MAX-CUT) 問題を解かせてみた。最大カット問題とは、グラフの頂点を 2 つのグループに分ける問題であり、その際、2 つのグループに跨る辺の重みの和が最大になるような組合せを選ぶ問題である。式 (1) と一対一対応する問題であり、この基底状態を求めることは、最大カット問題の解を求めることに相当する。ここでは、グラフのベンチマークとして広く使われている G-Set [11] のうち 2000 ノードで重みが  $\pm 1$  のランダムグラフである G39 を用いた。この規模になると厳密解は未知であるが、これまで知られているベストの解は 2408 である。

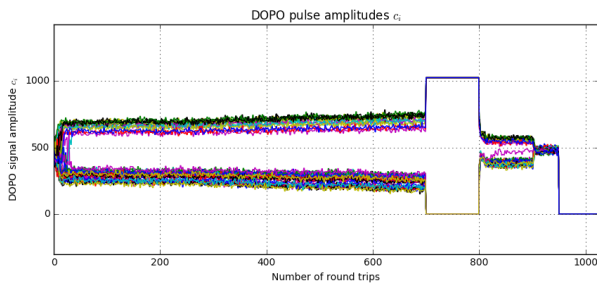


図 7 スピン振幅の変化

図 7 は、先頭の 50 スピンに関して毎週ごとのスピンの振幅 (ホモダイン検出の出力) をプロットしたものである。スピンの振幅が徐々に増加させながら、解を探索できていることが分かる。徐々にポンプの強度を上げているが、最後の 700~800 周目にかけはスピンの値を確定させるため、ポンプ強度を極端に上げている。

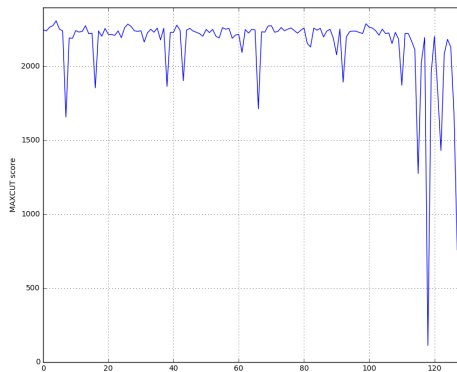


図 8 MAX-CUT のスコア

図 8 は、128 回連続で計算し、750 周目でのスピンの値を読み取り、MAX-CUT のスコアをプロットしたものである。解精度の保証のあるアルゴリズムである GW-SDP では 2200 となることから、これ以上の値を成功と考えると 92% の成功確率が得られたことになる。以上から一例ではあるが、今回試作し

た FPGA 測定フィードバックシステムを用いてコヒーレントイジングマシンでイジングモデルの計算ができることを示した。

## 11. まとめ

本稿では、光を用いたコンピュータであるコヒーレントイジングマシンにおける FPGA システムの試作について述べた。

リアルタイム性と大規模計算の両立を求められる測定フィードバックシステムを FPGA により実装し、実際に組合せ最適化問題が解けることを示した。今後の研究としては、本システムをベースに光学系との連携部分や操作性の完成度を高め、さまざまな組合せ最適化問題への応用や機械学習などへの応用を探索する予定である。また、本研究により物理システムとデジタルシステムの連携によるコンピューティングシステムにおいて、FPGA が有益であることを示した。今後は、このようなフィジカル/アナログコンピューティングの分野で FPGA の応用が広がり、研究分野が盛り上がることを期待している。

本研究は、革新的研究開発推進プログラム (ImPACT) の支援のもとで行われました。

## 文 献

- [1] S. Hauck and A. DeHon, “Reconfigurable computing: the theory and practice of FPGA-based computing,” Morgan Kaufmann, 2008.
- [2] F. Akopyan et al., “Truenorth: design and tool flow of a 65 mW 1 million neuron programmable neurosynaptic chip,” IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems 34, 1537-1557 (2015).
- [3] M. Nielsen and I. Chuang, “Quantum Computation and Quantum Information,” Cambridge University Press, 2000.
- [4] M. W. Johnson. et al., “Quantum annealing with manufactured spins,” Nature 473, 194-198 (2011).
- [5] Z. Wang, A. Marandi, K. Wen, R. L. Byer, Y. Yamamoto, “Coherent Ising machine based on degenerated optical parametric oscillators,” Phys. Rev. A 88, 063853 (2013).
- [6] A. Marandi, Z. Wang, K. Takata, R. L. Byer, and Y. Yamamoto, “Network of time-multiplexed optical parametric oscillators as a coherent Ising machine,” Nat. Photon. 8, 937-942 (2014).
- [7] T. Inagaki, Y. Haribara, K. Igarashi, T. Sonobe, S. Tamate, T. Honjo, A. Marandi, P. L. McMahon, T. Umeki, K. Enbutsuu, O. Tadanaga, H. Takenouchi, K. Aihara, K. Kawarabayashi, K. Inoue, S. Utsunomiya and H. Takesue, “A coherent Ising machine for 2000-node optimization problems,” Science 354, 6312, 603-606 (2016).
- [8] P. L. McMahon, A. Marandi, Y. Haribara, R. Hamerly, C. Langrock, S. Tamate, T. Inagaki, H. Takesue, S. Utsunomiya, K. Aihara, R. L. Byer, M. M. Fejer, H. Mabuchi, and Y. Yamamoto, “A fully-programmable 100-spin coherent Ising machine with all-to-all connections,” Science 354, 614-617 (2016).
- [9] T. Honjo, T. Inagaki, K. Inaba, T. Ikuta and H. Takesue, “Long-Term Stable Operation of Coherent Ising Machine for Cloud Service,” CLEO2018, JTu2A.87 (2018).
- [10] L. Rizzo, “netmap: a novel framework for fast packet I/O,” Usenix ATC’12, 101-112 (2012).
- [11] C. Helmberg, F. Rendl, “A spectral bundle method for semidefinite programming,” SIAM J. Optim. 10, 673-696 (2000).
- [12] M. X. Goemans and D. P. Williamson, “Improved approximation algorithms for maximum cut and satisfiability problems using semidefinite programming,” J. ACM 42, 1115-1145 (1995).