

超微弱電流センシングのための MOSFET 超高抵抗構成手法の提案

張 興淮[†] 中武 繁寿[†]

[†] 北九州市立大学大学院 国際環境工学研究科 情報工学専攻

〒808-0135 福岡県北九州市若松区ひびきの 1-1

E-mail: †z8mcb006@eng.kitakyu-u.ac.jp, ††nakatake@kitakyu-u.ac.jp

あらまし 本研究は、数 pA~nA までの超微弱電流を検出するために、I-V 変換回路に利用される $1\text{G}\Omega$ 以上の超高抵抗をオンチップで構成する手法を提案する。具体的には、遮断領域の MOSFET を直並列で接続することで、所望の抵抗値を実現する。直並列接続の段数に違いによる I-V 変換特性、温度特性、面積の影響をシミュレーションにより確認し、適切な構成手法を導出する。また、既存 Poly 抵抗との比較も行い、提案 MOSFET 抵抗の実用性についても議論する。

キーワード オンチップ抵抗, 超高抵抗, I-V 変換回路, 超微弱電流センシング

MOSFET-based ultra high resistance configuration for ultra low current sensing

Xinghuai ZHANG[†] and Shigetoshi NAKATAKE^{††}

[†] Graduate School of Environmental Engineering, The University of Kitakyushu 1-1 Hibikino, Wakamatsu, Kitakyushu, Fukuoka, 808-0135 Japan

E-mail: †z8mcb006@eng.kitakyu-u.ac.jp, ††nakatake@kitakyu-u.ac.jp

Abstract In this work, we propose a method to configure an ultrahigh resistance of $1\text{G}\Omega$ or more on a chip, which is used for I-V conversion circuit, in order to detect ultra-weak currents of several pA ~nA. In our method, a desired resistance value is realized by connecting MOSFETs in the cutoff region in series-parallel. The influence of I-V conversion characteristic, temperature characteristic, area due to the difference in the number of stages of series-parallel connection is confirmed by simulation. Hence, an appropriate configuration method is derived. We also compare with the existing Poly resistance and discuss the practicality of proposed MOSFET resistance.

Key words On-chip resistance, Ultrahigh resistance, I-V converter, Ultra weak current sensing

1. はじめに

近年、微弱電流の測定技術は、物理学、電気化学、天文学、生物医学など、幅広い分野での応用が期待されている。従来の電流測定回路は高性能・高分解能の場合には大型のことが多い。しかし、近年のバイオセンシング技術やインプラントセンシング技術の進歩により、センサフロントエンド回路の多様化が進み、微弱電流計測に対する高性能化と小型化の両立の要求が強まっている。そこで、超高抵抗をオンチップで実現する手法が必要となる。本研究では、電気化学測定法の中でもポテンショスタット手法に使用される電流測定回路に着目し、遮断領域の MOSFET を抵抗として利用し、小面積でありながら微弱電流を検出可能な電流測定回路を提案する。

オンチップで高抵抗を作成する場合、数 $\text{k}\Omega/\text{sq.}$ 程度の高い

シート抵抗を有するポリシリコンで構成することが一般的であるが、 $1\text{G}\Omega$ 以上の高抵抗を作成する場合、シート抵抗が高いものを利用してもチップ内に搭載できないほど大面積となる。本研究で扱う電流測定回路は、基本的な電流-電圧変換回路 (I-V 変換回路) で構成されており、変換抵抗の抵抗値により電圧に変換され出力される。仮に 1nA の電流から 1V の出力を得たい時には $1\text{G}\Omega$ の抵抗が必要となるため、超微弱電流を扱う場合は回路のワンチップ化には適していない。そこで、本研究は遮断領域の MOSFET をホイートストンブリッジ回路において利用し、 $1\text{G}\Omega$ 以上の高抵抗を小面積で構成する方法を提案する。

本稿では、まず三電極法とポテンショスタットについて紹介する。次に、遮断領域の MOSFET の抵抗値測定方法、および所望の抵抗値に対する MOSFET の直並列の接続方法について説明する。直並列接続の段数に違いによる I-V 変換特性、温度

特性、面積の影響をシミュレーションにより確認し、適切な構成手法を導出する。さらに、提案抵抗は既存 Poly 抵抗との比較も行い、提案 MOSFET 抵抗の実用性についても議論する。

2. ポテンシオスタット

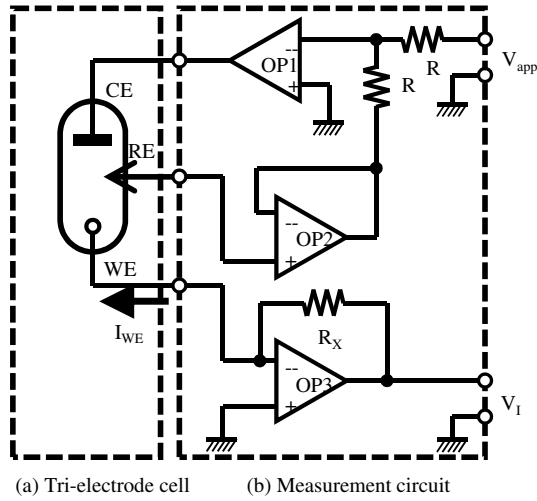


図 1 Potentiostat method

2.1 三電極法

一般的に電気化学測定法は、電位差測定手法と電流測定手法と分かれている。電位差測定では、2つの電極間の起電力を電位差計で検出するのに対し、電流の測定手法は、多くの場合3つの電極を用い、電気分解の際の電流検出を行う。両者ともに電極には、基準電位を取るための参照電極と、測定対象を検出するための作用電極を用いるが、後者は、参照電極と作用電極の間に電圧を印加し、対極と呼ばれる3つ目の電極と作用電極の間に流れる電流を測定する。

本研究では、3電極式電解セルとポテンシオスタット装置一緒に扱うため、まず、三電極法について紹介する。典型的な3電極式電解セルは図1(a)に示すように、測定対象を検出するための作用電極(WE)、基準電位を取るための参照電極(RE)、2つの電極間に電圧を印加し規制するための対極(CE)を持つ。参照電極と作用電極で電気分解を行う場合、電気分解反応に伴って、印加電圧が変動することを防ぐためポテンシオスタットを利用する。ここで、ポテンシオスタットは以下3つの機能を持つ。

- (1) 参照電極(RE)の電位を基準として作用電極(WE)の電位を制御する。
- (2) 作用電極(WE)と対極(CE)間に流れる電流を測定する。
- (3) 参照電極(RE)には電流は流さない。

2.2 ポテンシオスタットの操作

ポテンシオスタットの動作原理とオペアンプを用いた基本回路構について説明する。前節が述べたように、ポテンシオスタットは3つの機能を持っている。図1(a)のように T_{RE} の電位 (E_{RE}) に対する T_{WE} の電位 (E_{WE}) を外部から印加した電位 (V_{app}) と等しくなるように T_{WE} と T_{CE} 間の電圧を制御

する、すなわち、

$$V_{app} = E_{WE} - E_{RE} \quad (1)$$

を満たすことを用件とする。ここで、 T_{WE} が接地される ($E_{WE} = 0V$) とした場合、式(1)は次のようになる。

$$V_{app} = -E_{RE} \quad (2)$$

式(2)を満たす回路は、反転増幅器を用いて、図1(b)におけるOP1の回路のように実現することができる。図1(b)ではOP1のIN-において仮想接地であるため、式(2)を満たすように電圧を出力する。CEに対するREの電位差 ($E_{RE} - (E_{CE})$) に関わらず、常にその分が加算された $-V_{app} + (E_{RE} - (E_{CE}))$ を出力する。

実際の電解セルでは、作用電極界面の電位差に応じて電荷移動反応が起こり、 $T_{CE} - T_{WE}$ 間に電流が流れるが、このときOP1はその分だけ電流を流す。また、このとき参照電極について、内部抵抗は無視できるほど小さく、電流が流れても差し支えないという条件が必要になるため、図1(b)のOP2(ボルテージフォロワ回路)を用いる。ボルテージフォロワによりREには電流が流れないことから、WE-CE間に流れる電流 I_{WE} を測ることを考える。

最終的な出力についてはデジタル変換を行って得られたデータを取り込み処理を行う。そのためには得られた電流を電圧に変換する必要があるため、I-V変換回路を組み込む I_{WE} を電圧に変換する。以上より、図1(b)に示したようにOP3に関する回路が必要となる。この回路では、WEは仮想接地されているため上記の式(1)と式(2)が成立する。 I_{WE} はWEからCEへの流れを正とするためポテンシオスタットは

$$V_I = -I_{WE} \cdot R_X \quad (3)$$

を出力する。また、OPアンプの保護や動作の安定のためにいくつか素子を追加することはあるが、ポテンシオスタットの基本的な回路は図1に示すように、3つのOPアンプ回路によって構成される。

本研究では、図1(b)のI-V変換回路の抵抗 R_X を遮断領域のpMOSにより入れ替え、超微弱電流の測定が実現する。また本稿で使用するオペアンプは、直流利得:84.735[dB], カットオフ周波数 2.567[kHz], ユニティ・ゲイン周波数:42.635[MHz], 位相余裕:74.921[°], 入力電圧範囲:0.752~4.713[V], 出力電圧範囲:0.146~4.894[V], オフセット電圧:0.108[mV] の特性を有する。

3. 提案抵抗に関する測定

3.1 トランジスタサイズの選定

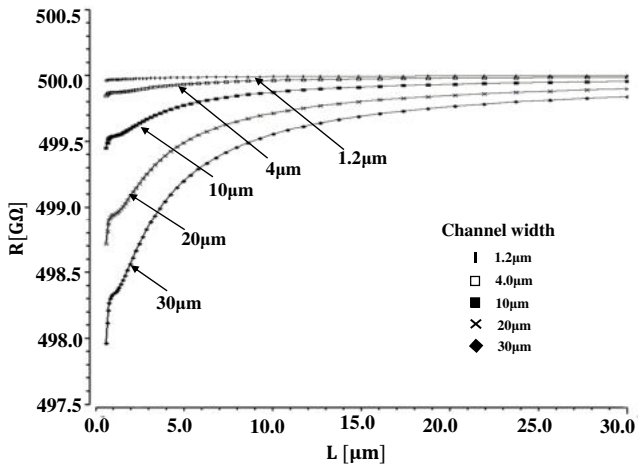


図 2 Channel length · width and Resistance

トランジスタの利得係数：

$$\beta = \mu C_{ox} \frac{W}{L} \quad (4)$$

トランジスタの抵抗は利得係数と関係があるため、上の式から見るとトランジスタサイズはその抵抗値に影響が存在する。ここではトランジスタサイズと抵抗値との関係を明らかにし、適切なトランジスタサイズを選定する。本研究では、Phenitec0.6μm プロセス、Cadence Spectre を用いて、MOSFET を遮断領域で動作させることによって超高抵抗を得る。図 2 について、縦軸は抵抗値、横軸はチャンネル長で、シミュレーションの結果によりトランジスタのチャンネル長が大きく、チャンネル幅が小さくなるほど抵抗値が大きくなることを確認した。また、実際にワンチップ化を検討するには単位 MOSFET あたりの面積は可能の限り小さく抑えたいため、上の結果と面積の両面を考慮し、今回チャンネル幅 W を $1.6\mu\text{m}$ 、チャンネル長 L を $6.4\mu\text{m}$ と設定した。

3.2 トランジスタ抵抗値の測定

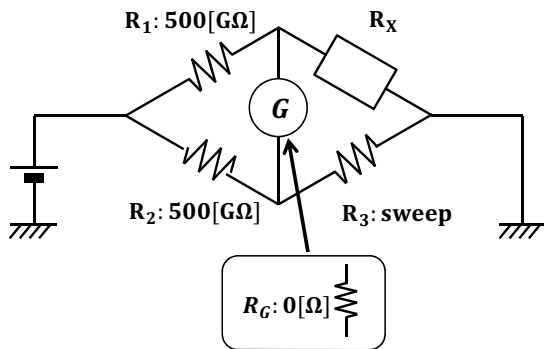


図 3 Wheatstone bridge

次に、電気化学測定手法の中でよく使用されるホイートストンブリッジ回路を用いて、未知の MOSFET 抵抗を測定する。図 3 では R_1 と R_2 をそれぞれ $500\text{ G}\Omega$ の抵抗値と設定し、 R_3

を可変抵抗と設定し、 R_X のところに MOSFET を配置する。また、電流を測定しやすいために、回路の中で R_G を 0Ω と設定する。

$$R_1 \cdot R_3 = R_2 \cdot R_X \quad (5)$$

以上の設定を用いて、 R_G に電流が流れないように調整する。つまり、 R_G に電流がゼロになるように、零位法により R_3 の抵抗値を調節する。このとき、 R_1 と R_2 の抵抗値が等しいため、式 (5) により、 R_3 の抵抗値と MOSFET の抵抗値も等しい。

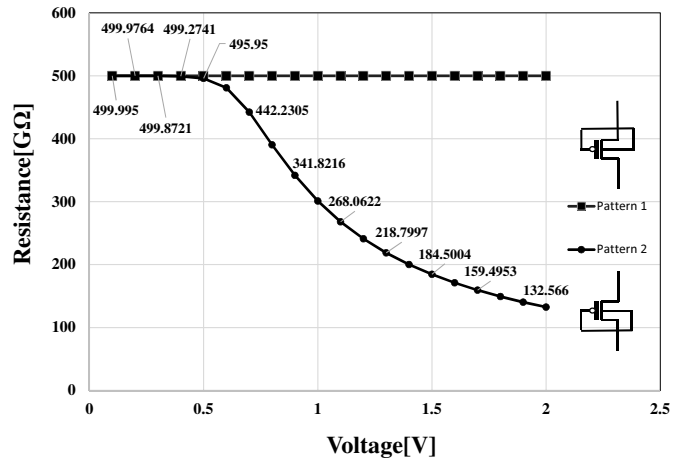


図 4 Resistance value with Patterns

以上の方法を用いて、MOSFET の抵抗を測定する。まず、MOSFET のゲートとバックゲートの接続方法を 2 パターン用意し、それぞれの抵抗値の測定を行う。ここで、図 3 の電源電圧を 0.1 [V] から 2.0 [V] まで 0.1 [V] ずつ変化させる。図 4 については、パターン 1 は完全に遮断領域で動作し、MOSFET による抵抗値はあまり変化せず、約 $500\text{ G}\Omega$ である。

一方、パターン 2 については、ドレイン・ソース間電圧の変化に従い MOSFET の領域も変化するため、MOSFET の抵抗が減少している。また本研究では、MOSFET が遮断領域で動作することを前提としている。図 4 から見ると電源電圧が 0.5 [V] 以下であるとき、パターン 2 の MOSFET の抵抗値は約 $500\text{ G}\Omega$ である。つまり、パターン 2 の MOSFET が遮断領域で動作し、 $500\text{ G}\Omega$ を保つためには、MOSFET 両端の電位差は 0.25 [V] 以下である必要である。以上 2 つのパターンの測定結果により、1 個の MOSFET の抵抗値は約 $500\text{ G}\Omega$ であることを決定した。

3.3 トランジスタ構成パターンの選定

本節では、単位抵抗を組み合わせる必要な抵抗値を作成するための基本的な概念を説明する。3.2 節の測定結果より、単位 MOSFET 当たりのゲートオフ抵抗の値は約 $500\text{ G}\Omega$ であるため、直列と並列の接続数を変えることで所望の抵抗値を得る。今回、省面積のために、図 5 に示すように、基本構成を 2 つの MOSFET のセットとする。

しかしながら、同じの抵抗値であっても、複数の接続の組み合わせが存在する。そのため、構成パターンを検討する。以下、仮に 1 つの MOSFET の抵抗値は $500\text{ G}\Omega$ として、接続の組み合わせることにより $100\text{ G}\Omega$ を作成する例を用いて説明する。構

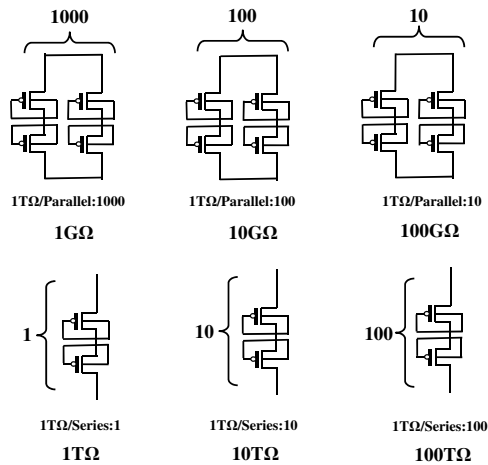


図 5 How to configure a huge resistance

成パターンは既存 Poly 抵抗を含めて、7 パターンを作った。

- (a) HR-Poly 抵抗
- (b) 直列：1[1T]/並列：10[トランジスタ数：20]
- (c) 直列：2[2T]/並列：20[トランジスタ数：80]
- (d) 直列：3[3T]/並列：30[トランジスタ数：180]
- (e) 直列：4[4T]/並列：40[トランジスタ数：320]
- (f) 直列：5[5T]/並列：50[トランジスタ数：500]
- (g) 直列：6[6T]/並列：60[トランジスタ数：720]

これらの 7 パターンは、ポテンショスタットに用いる I-V 変換回路の変換抵抗として利用し、室温 27℃におけるシミュレーションにより、各パターンの性能比較を行った。シミュレーション項目は以下の I-V 変換特性と温度特性の 2 項目により比較する。

まず、7 パターンの抵抗を I-V 変換回路に組み込み、入力電流を変化させた時のシミュレーション結果を図 6 のように示す。オペアンプの電源は-2.5V~+2.5V とし、入力範囲-30pA~30pA に対する線形性を確認する。図 6 の結果から、(f)、(g) の線形範囲が最も広く、傾きも Poly 抵抗の傾きに近似している。つまり、(f)、(g) の構成による抵抗は、Poly 抵抗と同等であるとみなせる。このとき、(f) の MOSFET の両端電位差は約 0.25[V] であり、3.2 節で述べた結論と同じであった。

また、MOSFET の両端電位差は 0.25[V] 以下という条件の下で、抵抗値に対する MOSFET 数の依存性を確認した。結果としては MOSFET 数にかかわらず、同様の結果であった。つまり、MOSFET の両端電位差条件を満たす限り、遮断領域の MOSFET による抵抗値は、MOSFET 数に影響を受けず、MOSFET の直列数に関係あることが確認できた。

さらに、図 6 のシミュレーションの結果により、100GΩ に対しては (f) の採用となった。

図 7 は、7 パターンに対する温度特性のシミュレーションの結果を示す。-25℃~80℃の範囲で温度を変換させている。シミュレーション結果は、I-V 変換回路に抵抗パターンを接続し温度変化させたときの出力電圧を示す。ここでは、入力電流は 10pA とし、オペアンプの温度特性は相対的に無視する。結果において、(f) と (g) は温度変化による影響が小さく、Poly 抵

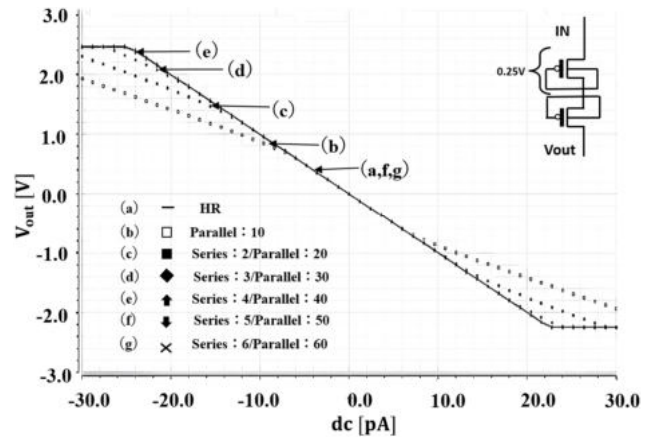


図 6 I-V conversion characteristics for each pattern

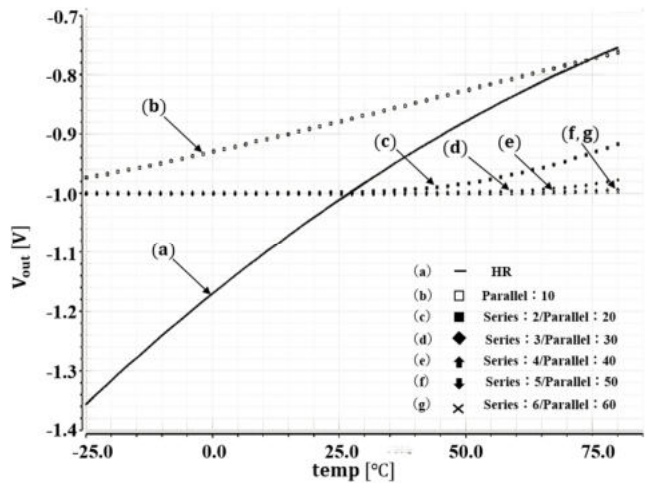


図 7 Temperature characteristics for each pattern

抗は温度変化による影響が大きいことを確認できる。

また、100GΩ と同様の検証を、1GΩ、10GΩ、1TΩ、10TΩ、100TΩ について適用し、各抵抗値において表 1 のような最適な構成パターンを選定した。

表 1 Constitution of Each Resistance Value

Resistance	Composition	Transistors
1GΩ	(Series:1TΩ*5)/ (Parallel:5000)	50000
10GΩ	(Series:1TΩ*5)/ (Parallel:500)	5000
100GΩ	(Series:1TΩ*5)/ (Parallel:50)	500
1TΩ	(Series:1TΩ*5)/ (Parallel:5)	50
10TΩ	(Series:1TΩ*10)	20
100TΩ	(Series:1TΩ*100)	200

3.4 ポストレイアウトシミュレーション

本節では、100GΩ に対して、機能シミュレーションとポストレイアウトシミュレーションを実行し、提案抵抗の性能の比較を行った。以下にシミュレーションの結果を示す。

図 8 は 1 セットの MOSFET と 100GΩ のレイアウト図である。面積を節約するために、レイヤのサイズはプロセスによってすべて最小サイズを採用した。このレイアウトに対して、既存 Poly 抵抗と MOSFET のポストレイアウトシミュレーションの比較を行った。

表 2 I-V conversion characteristics and output range:
comparison between Poly resistance and suggested resistance

	Poly Resistance	1GΩ	10GΩ	100GΩ	1TΩ	10TΩ	100TΩ
Output voltage (-1[V])	-999.732mV	-999.707mV	-999.707mV	-999.707mV	-999.707mV	-999.726mV	-999.731mV
Error(-1[V])	0%	0.0025%	0.0025%	0.0025%	0.0025%	0.0003%	0.0001%
Offset Voltage(0[V])	-38.161uV	-38.161uV	-38.161uV	-38.161uV	-38.161uV	-38.161uV	-38.161uV
Output Range:V (Error within 1%)	—	2.460[V] ~ -2.250[V]	2.460[V] ~ -2.250[V]	2.460[V] ~ -2.250[V]	2.460[V] ~ -2.250[V]	2.460[V] ~ -2.250[V]	2.460[V] ~ -2.250[V]
Output Range:I (Error within 1%)	—	-2.516[nA] ~ 2.280[nA]	-251.168[pA] ~ 228.000[pA]	-25.130[pA] ~ 22.800[pA]	-2.513[pA] ~ 2.280[pA]	-251.301[fA] ~ 228.000[fA]	-25.130[fA] ~ 22.800[fA]

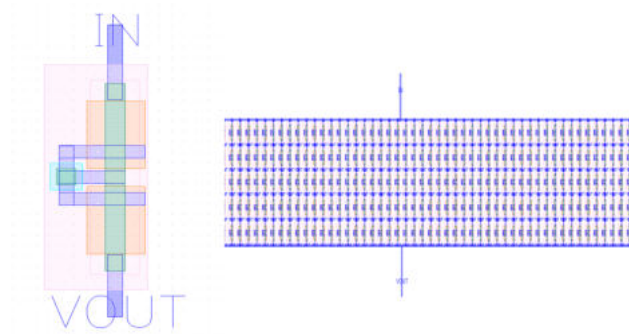


図 8 Post layout figure

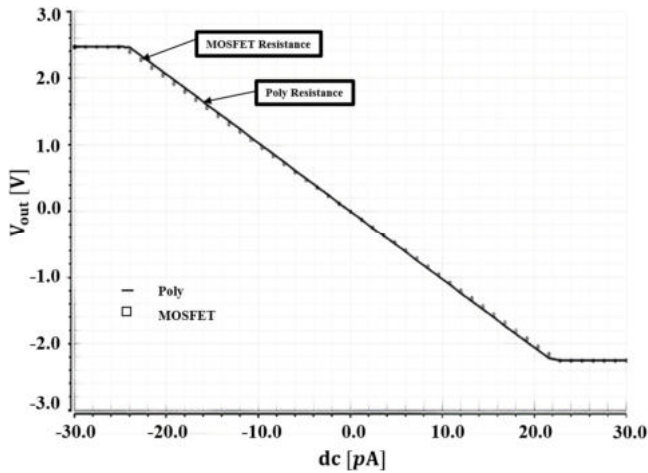


図 9 Post layout simulation

また、3.3 節の図 6 のパターン (f) の結果と合わせて、以下の抵抗式が得られる。ここで、X の単位は [pA]、offset の単位は [μV]、Y の単位は [mV]、offset の電圧は約-38.161[μV] である。

(1) HR-Poly 抵抗式：

$$Y = -0.09995 * X + offset \quad (6)$$

(2) 機能シミュレーションの抵抗式：

$$Y = -0.09990 * X + offset \quad (7)$$

(3) ポストレイアウトシミュレーションの抵抗式：

$$Y = -0.10045 * X + offset \quad (8)$$

この結果、MOSFET のポストレイアウトシミュレーションと機能シミュレーション、Poly 抵抗を比較するとそれぞれ約 0.5%、0.5% の誤差が確認できた。

4. 提案抵抗と Poly 抵抗の比較

表 3 Result of Area Comparison

	Poly Resistance[mm ²]	MOSFET Resistance[mm ²]
1G	1.279	8.525
10G	7.001	0.826
100G	70.741	0.086
1T	708.103	0.008
10T	7081.723	0.002
100T	70817.923	0.022

本章では、前節で決定した 1GΩ~100TΩ の提案抵抗と 0.6μm プロセスの HR-Poly 抵抗の特性比較を行う。既存 Poly 抵抗の特性は、シート抵抗 (W/L=1.2/80.0)=7000[Ω/sq.]、抵抗温度係数 TC1=-5.75E-03[1/°C]、抵抗温度係数 TC2=2.12E-05[1/°C²]、抵抗電圧係数 VC1=-4.80E-04[1/V]、抵抗電圧係 VC2=4.42E-06[1/V²] である。

表 2 は、前節の I-V 変換特性に関するシミュレーションと同様の検証を各抵抗について行い、室温 27°C における既存 Poly 抵抗の出力を理想値とすると誤差 1% 以内のレンジを求めた結果である。また、図 7 では、既存 Poly 抵抗に対し、提案抵抗では温度変化に対する出力の影響は小さくなることを確認した。表 3 に面積の比較結果を示す。既存 Poly 抵抗は抵抗値に比例して面積が増加するが、提案抵抗は表 1 に示したトランジスタ数に応じて面積が変化する。既存の HR - Poly 抵抗と比

べて、提案抵抗の抵抗値が $10\text{G}\Omega$ 以上の時、面積が節約できることが確認できた。

5. ま と め

本研究では、遮断領域で MOSFET の抵抗を測定し、MOSFET の直並列接続の段数の違いによる各抵抗の適切な構成パターンを選定した。また、既存の Poly 抵抗との比較を行って、I-V 変換特性、温度特性、面積の影響、レイアウト依存性の検証をシミュレーションにより確認した。I-V 変換特性については、提案 MOSFET 抵抗は直列段数による抵抗値が変わることを確認した。温度特性については、 $100\text{G}\Omega$ のとき回路シミュレーションを行って、提案 MOSFET 抵抗のほうが安定することを示した。面積については、使用したプロセスとトランジスタの数に関係性が存在する。今回使用したプロセスでは、 $1\text{G}\Omega$ のとき、既存の Poly 抵抗のほうが面積が小さい。 $10\text{G}\Omega$ 以上のとき、提案 MOSFET 抵抗のほうが面積が節約できる。今後の課題として、提案 MOSFET 抵抗の I-V 変換特性、温度特性については微細プロセスを用いると面積と精度の制限が緩くなるが、短チャネル効果のなどから、サイズ及び構成パターンの検証が必要であると考ええる。ゆえに異なるプロセスでの検証の必要性を挙げる。また、トランジスタ数が少ない場合、プロセス及び温度ばらつきの影響が大きくなることが考えられるため、ばらつきについての検証も必要である。

謝 辞

本研究は、JST、未来社会創造事業、JPMJMI17B4 の支援を受けたものである。

文 献

- [1] D.Isogai,T.Shirakawa,S.Nakatake, *On-chip and ultra low current measurement circuit based on potentiostat method*, IEICE Tech.Rep.,vol.117, no.455,IEICE-VLD2017-119,pp.181-186, Feb.2018
- [2] H. Katano, *Characteristics of electrochemical analysis method viewed from potentiostat*, Review of Polarography2012.
- [3] K. Ueno, T. Hirose, T. Asai, Y. Amemiya, *An Ultra-low Power Voltage Reference consisting of Subthreshold MOSFETs*, IEICE Tech. Rep., vol. 108, no. 253, ICD2008-68, pp. 55-60, Oct. 2008.
- [4] M.Hashimoto, *Ultra Low Voltage Subthreshold Circuit Design*, Fundamentals Review, Vol.7,no.pp.30-37,Jul.2013