

水平方向チップ間ワイヤレスバスの解析と設計

門本淳一郎[†] 浅野凌治^{††} 入江英嗣[†] 坂井修一[†]

[†] 東京大学 大学院情報理工学系研究科

^{††} 東京大学 工学部

E-mail: †{kadamoto,irie}@mtl.t.u-tokyo.ac.jp

あらまし 水平方向チップ間ワイヤレスバスは、チップの外周に沿って形成されたコイル同士の誘導結合を利用することで複数チップ間を無線で接続する技術である。これまでにシミュレーション評価によって基本的な伝送特性が示された段階であり、正方形以外のチップを用いる場合やチップ同士が斜めに配置された場合の伝送特性、あるいはチップ上に存在するリング状配線に流れる渦電流の影響といったものは十分に調査されていなかった。そこで本論文では、チップの形状、チップ同士の相対位置や相対角度の変化に応じた水平方向誘導結合通信特性の変化と、電源リングやシールリングといったリング状配線に流れる渦電流が通信特性に与える影響についてシミュレーションをおこない、詳細な設計理論を明らかにする。さらに、プロトタイプ基板による実測評価をおこなう。プロトタイプ基板上のコイルを介してデータは正常に転送され、3 mm 角のコイルを利用した場合において最大 2.6 Gb/s の転送速度を達成した。

キーワード チップレット、システムインパッケージ (SiP)、誘導結合、三次元実装

Analysis and Design of Horizontal Inter-Chip Wireless Bus

Junichiro KADOMOTO[†], Ryozi ASANO^{††}, Hidetsugu IRIE[†], and Shuichi SAKAI[†]

[†] Graduate School of Information Science and Technology, The University of Tokyo

^{††} Faculty of Engineering, The University of Tokyo

E-mail: †{kadamoto,irie}@mtl.t.u-tokyo.ac.jp

Abstract Implementing large coils and transceiver circuits on each chip enables wireless communication between multiple chips via horizontal inductive coupling and it is possible to realize an embedded system with various shapes. In this paper, we investigate a change of inductive-coupling communication characteristics according to a change of shapes of chips, a relative position and a relative angle between chips. An influence of ring-like wirings such as a power ring and a seal ring on the communication characteristics is also investigated. By these investigations, we clarify the design theory of the horizontal chip-to-chip wireless bus. Experimental results with a prototype in which coils are formed on PCB are shown. The maximum data transfer rate of 2.6 Gb/s is achieved when 3 mm square coil is used.

Key words chiplet, system-in-a-package (SiP), inductive coupling, 3-D integration

1. はじめに

SoC (System-on-a-Chip) は CPU、特定用途向けアクセラレータ、メモリ、アナログ回路、センサ、I/O 回路といった種々の要素回路を同一チップ上に混載したものであり、多様な組み込みシステムにおいて採用されている。システムに必要とされる諸回路を 1 チップに集積することで、高性能化や省電力化、省面積化に寄与している。しかしながら、半導体の微細化に伴って SoC の設計・製造コストは増加の一途を辿っている。近年のプロセスノードにおいては微細加工を達成するために製造工程が複雑化しており、設計者は込み入ったデザインルールの制

限の中で多くのマスク用データを作り上げる必要がある。そのため SoC の新規設計に付随する NRC (Non-Recurring Cost) は膨大なものとなっている。また、複雑な製造工程はチップの歩留まり悪化やウェハ当たりの生産コスト増加にもつながっている [1]。

こうした設計・製造コストの課題を解決するため、単一の SoC をチップレットと呼ばれる小さなチップへと分割し、それらを密に組み合わせることでシステムを構築する手法について研究が進められている [1]~[10]。分割によって、設計者は小さなチップ単位で短期間に設計や検証をおこなうことができる。さらに、そうした検証済みチップのデータをハード IP として再

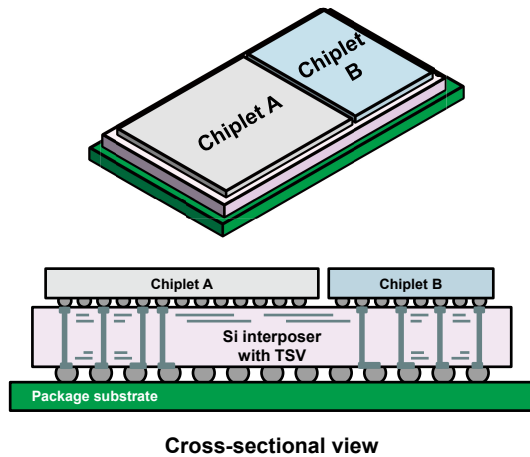


図 1 シリコンインタポーザを用いた 2.5D 実装によるチップレット間接続

利用することにより、新規設計コストを抑えつつ新たなシステムを構築することができる。また、1チップ当たりの面積は小さくなるため歩留まりは向上する。異なる製造プロセスのチップを組み合わせることで、異種デバイスを容易に集積することもできる。ここでチップレット間を接続する手法としては、図 1 に示すシリコンインタポーザを用いた 2.5D 実装 [1]~[6] や、シリコンフォトリソ技術によるもの [7], [8]、コイル間誘導結合技術によるもの [9] が提案されている。

こうしたチップレット接続手法の一つとして、水平方向の誘導結合を用いたチップ間ワイヤレスバスが提案されている [10]。低コストに柔軟なチップ構成、多様な実装形状のシステムを構築可能な点が特徴となっている (図 2)。各チップの外周に沿って大きなオンチップコイルを形成することで、コイル間の誘導結合を介して横並びにした複数のチップレット間を無線で接続する。あるチップが送信したデータは隣接する全てのチップにブロードキャストされる。また、各チップが送信したデータ同士の衝突は磁界の変化を利用することで検出することができる。シリコンインタポーザを用いた 2.5D システムの開発においては、チップ間ネットワーク構築のために各チップにおける接続用端子のフロアプラン策定や、シリコンインタポーザ内の配線レイアウト策定作業が必要となる。一方、水平方向ワイヤレスバス技術を用いる場合にはこうした作業は必要なく、特定プロセス向けに設計したハード IP の搭載のみで複数チップ間ネットワークを容易に構築することができる。また、I/O 回路は AC 結合であるため、異なる電源電圧のチップレットを電圧レベルの変換無しに混載できる。

チップ間ワイヤレスバスとオンチップコイルによる無線給電技術 [11] を併用することで外部との有線接続が無くなり、チップ同士を隣接して配置するだけでシステムが構築可能となる。チップ同士の相対角度が変わっても対向する辺同士は結合するため、図 3 に示すような自由な形状、変形可能なシステムが実現可能となり、デバイスの形状変化を伴うウェアラブルコンピューティングやマイクロロボットといったアプリケーション

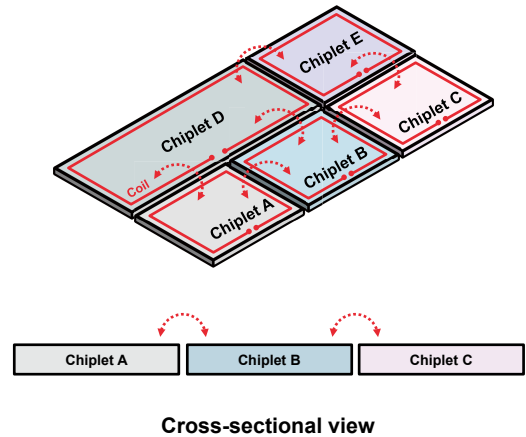


図 2 水平方向チップ間ワイヤレスバスによるチップレット間接続

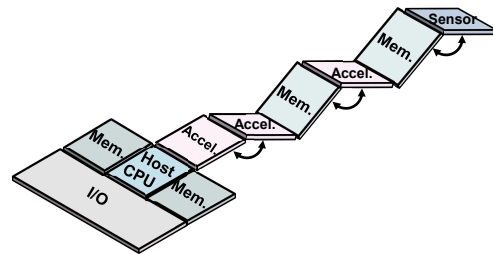


図 3 ワイヤレスバス技術を用いたシステム実装

の高性能化・高機能化が達成できる。

チップ間ワイヤレスバス技術については、我々の先行研究 [10] でその大枠が示されたものの、コイルの形状が正方形でない場合や、チップ同士の相対角度が変化した場合のコイル間結合については詳細な調査がなされておらず、図 3 に示したような長方形のコイルを含みチップの相対角度が変化する実装形状のシステムが実際に実現可能かどうかは明らかになっていなかった。また、チップ上に配置されたリング状配線が通信特性に与える影響については調査されていなかった。多くのチップ内には電源分配のための電源リングや、チップを水分やイオンの影響から保護するためのシールリングといったリング状配線が存在する。外周のコイルに電流が流れる際、これらの配線に渦電流が流れ磁界の変化を妨げる可能性がある。加えて、数 mm オーダのコイルを用いた水平方向誘導結合通信についてはこれまでに実測結果が報告されておらず、実世界のノイズ環境における性能や信頼性は十分に評価されていなかった。

そこで本論文では、チップの形状、チップ同士の相対位置や相対角度の変化に応じた誘導結合通信特性の変化や、通信特性に対するリング状配線の影響について調査する。また、プロトタイプによる実測評価をおこなう。以降に本論文の構成を示す。

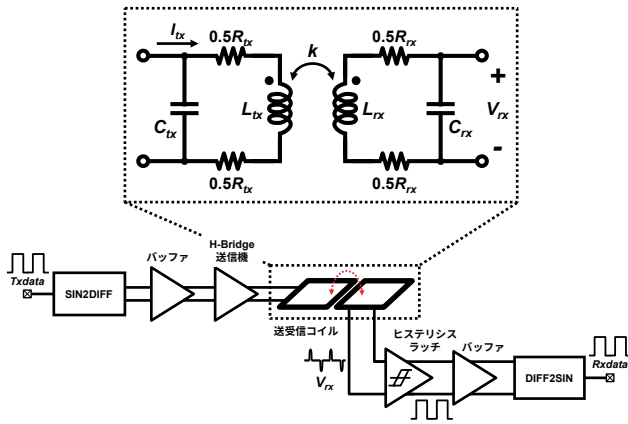


図 4 コイルの等価回路と送受信コア回路

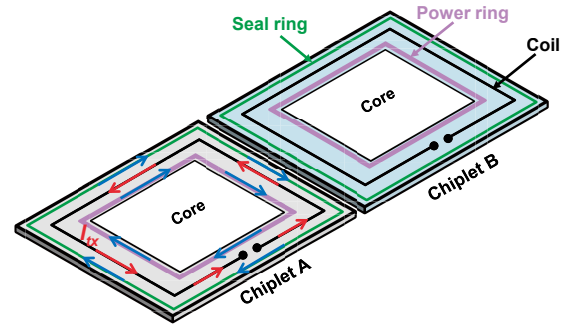


図 5 リング状配線の影響

2 章で水平方向誘導結合を利用したワイヤレスバス技術の原理や送受信コア回路の詳細について述べ、続いて 3 章でチップの形状やチップ同士の相対位置、相対角度の変化に応じた通信特性の変化と、電源リングやシールリングといったリング状配線が通信特性に与える影響についてシミュレーションによる評価結果を示す。4 章では PCB 上にコイルを形成したプロトタイプによる実験評価の結果を示す。最後に 5 章で本論文の結論を述べる。

2. 水平方向誘導結合を用いたワイヤレスバス

2.1 水平方向コイル間の誘導結合

水平方向コイル間誘導結合の特性は図 4 のような等価回路モデルによってあらわすことができる。送信機を動作させ送信電流 I_{tx} を流した際に受信側へ誘起される受信信号 V_{rx} の振幅はコイル同士の相互インダクタンス $M = k\sqrt{L_{tx}L_{rx}}$ に比例して決まる。このうちコイル同士の結合係数 k はそれぞれのコイルの形状や相対位置・相対角度に応じて変化する。一方、自己インダクタンス L_{tx} , L_{rx} は、それぞれのコイルの形状によって変化する。コイルはチップ内の標準的な CMOS プロセスの配線層を利用して形成するため、数十 Ω から数百 Ω の寄生抵抗と数十 fF から数百 fF の寄生容量を持つ。そのため、伝送特性は理想的な 1 階微分特性と、寄生抵抗と寄生容量の影響による 2 次ローパスフィルタ特性が合わさったものになる。

ここでコイルの周囲に同程度の大きさのリング状配線が存在する場合、図 5 に示すように送信電流と反対方向の渦電流がリング上に流れる。この電流の影響で磁界の変化が妨げられ通信特性に影響が及ぶことが予想される。3 章ではこの影響についてのシミュレーション結果を示す。

2.2 送受信回路

水平方向ワイヤレスバスにおいては変調を利用せず、ベースバンド信号をそのまま伝送することができる。そのため一般に RF 無線通信回路に必要となる変復調回路は存在せず、送受信回路のコア部分は図 4 のようなシンプルな構成となる。したがって送受信回路の面積や消費電力は従来の有線通信技術と同

等である。送信回路には NRZ のデジタル信号が入力され、対応する向きの電流 I_{tx} が送信コイルに流れる。前述したようにコイルの伝送特性は理想的には 1 階微分特性であるため、受信コイルに誘起される V_{rx} はパルス状の波形になる。受信回路ではヒステリシスコンパレータによってこれを元の NRZ 信号へと復元する。先行研究においては 10 mW 以下の電力で 1 Gb/s の信号伝送が可能であることが示されている [10]。

送受信コア回路は SerDes 回路を介してネットワークインタフェースとつながり、これを経由して各種演算コアに接続される。演算コアが他のチップ上の演算コアへデータを送る場合、まずネットワークインタフェースへ演算コアの動作クロックに同期してパラレルデータが送られ、適切なルーティングやハンドシェイクの後、シリアルライズされたデータが送信コア回路へと送られる。送信コア回路はデータ 1 フリット毎に高速なシリアル転送をおこない、受信側のチップ上では受信コア回路から逆の手順で演算コアへパラレルデータが届けられる。

3. シミュレーション評価

3.1 長方形コイル間の誘導結合

チップの形状に応じた伝送特性の変化について調査するため、三次元電磁界シミュレーションによりコイルの形状や相対位置変化に応じた相互インダクタンスの変化を評価した。送信コイルの縦横の比を変えた場合に、相互インダクタンスがどのように変化するかを確かめた。ここで電磁界シミュレーションのツールには Keysight 社の Momentum を利用した。コイルや基板のシミュレーションモデル作成時には製造プロセスとして金属配線 10 層の 45 nm CMOS プロセスを想定した。正方形のコイル径は 1 mm でコイルの巻き数は 2、通信距離は 125 μm であり、コイル径 D とコイル同士の通信距離 X は $D/X = 8$ という条件になっている。図 6 は電磁界シミュレーションモデルの一例である。シミュレーションツール上でコイルやシリコン基板のモデルを作成し、電磁界シミュレーションをおこなうことで S パラメータを取得している。取得した S パラメータを前述した等価回路へとフィッティングすることで、結合係数や

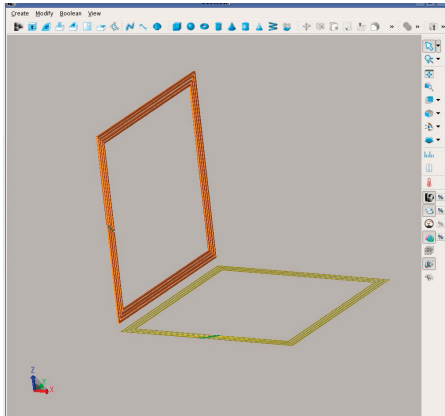


図 6 電磁界シミュレーション用モデル

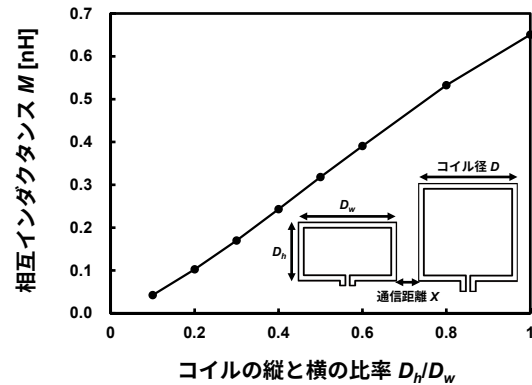


図 8 横に長い長方形コイルの相互インダクタンス

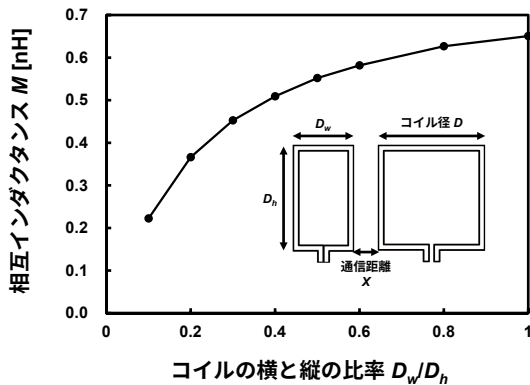


図 7 縦に長い長方形コイルの相互インダクタンス

相互インダクタンスといった値を求めている。

図 7, 8 は送信側コイルの縦と横の辺の比率を変更した場合における相互インダクタンスのシミュレーション結果である。図 7 の結果は隣接コイルに最も近い辺と垂直な辺 D_w を短くした場合の相互インダクタンスの変化を示している。結果からわかるように D_w が D_h の半分になった場合でも相互インダクタンスは $D_w/D_h = 1$ のときの 85% 程度であり、相互インダクタンスへの影響が比較的少ないことがわかる。一方、図 8 の結果は隣接コイルに最も近い辺を短くした場合の相互インダクタンスの変化を示している。辺の比率 D_h/D_w が小さくなるにしたがって相互インダクタンスは線形に減少しており、 D_h が D_w の半分になった場合に相互インダクタンスは $D_h/D_w = 1$ のときの 49% 程度となる。

結果からわかるように、隣接コイルと最も近い辺が結合に強く寄与するため、この辺と垂直な辺を短くする場合は緩やかに相互インダクタンスが減少し、この辺自体が短くなる場合には線形に相互インダクタンスが減少する。たとえば相互インダクタンスをコイルが正方形の場合と比較して 90% 以上の値に保つ場合、 D_w については元の値の 60% 以上に、 D_h については元の値の 90% 以上とする必要がある。

3.2 斜めに配置されたコイル間の誘導結合

チップ同士が斜めに配置される際の伝送特性の変化やそれに応じた送受信回路設計上の制約について調査するため、三次元電磁界シミュレーションによってコイルの相対角度変化に応じた結合係数の変化を評価した。ここで電磁界シミュレーションのツールには Keysight 社の EMPro を利用した。コイルや基板のシミュレーションモデル作成時には製造プロセスとして金属配線 10 層の 45 nm CMOS プロセスを想定した。モデルにおいては隣接するチップ同士の辺を接触させ回転軸とし、コイル径 D とコイル同士の通信距離 X は $D/X = 48$ という条件になっている。

図 9 に相対角度を変化させた場合の結合係数のシミュレーション結果を示す。相対角度 θ が減少するにしたがって結合係数 k は単調に増加している。相対角度が 180 度のときの結合係数を基準にすると、90 度のときの値は 1.5 倍程度に、0 度のときの値は 7.6 倍程度にそれぞれ増加している。

結果からわかるように、相対角度に応じて結合係数とそれによって定まる受信信号振幅とが変化する。たとえば相対角度 0 度のときの受信信号振幅は相対角度 180 度のときの振幅の 7.6 倍程度となる。ここで受信回路にはヒステリシスコンパレータを用いるため、受信信号振幅はコンパレータの閾値以上かつ電源電圧の範囲を超えないことが要求される。したがって、いずれの相対角度条件においてもこの要求を満たすよう送受信回路を設計する必要がある。

3.3 リング状配線の影響

リング状配線の伝送特性に対する影響について調査するため、コイルの外側・内側にリング状配線を形成したときの伝送特性の変化を三次元電磁界シミュレーションと回路シミュレーションによって評価した。電磁界シミュレーションのツールには Keysight 社の Momentum を利用した。コイルや基板のシミュレーションモデル、シミュレーションに用いたトランジスタモデルは、製造プロセスとして金属配線 10 層の 45 nm CMOS プロセスを想定している。コイル径は 1 mm でコイルの巻き数は 2、通信距離は 125 μm であり、コイル径 D とコイル同士の

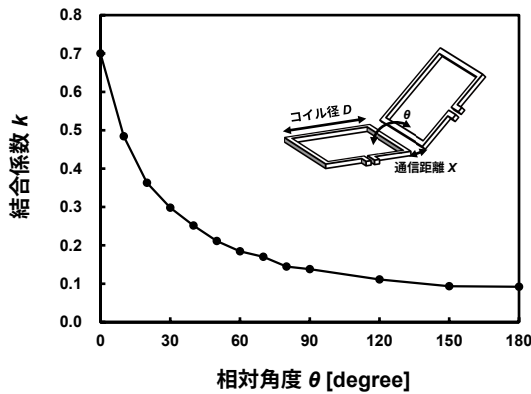


図 9 相対角度と結合係数の関係

通信距離 X は $D/X = 8$ という条件になっている。10 層の金属配線全てを使い、コイルの内側にリング配線を形成することで電源リングを、コイルの外側にリング配線を形成することでシールリングを模擬している。電磁界シミュレーションをおこなうことで S パラメータを取得し、取得した S パラメータを用いて回路シミュレーションをおこなうことでリング状配線の有無に応じた受信信号振幅の変化について調査している。

図 10 は電源リングが存在する場合の受信信号振幅とリングが存在しない場合の受信信号振幅の比を示したものである。ここで凡例の W は電源リングの太さ [μm] を表している。シミュレーション結果によれば、電源リングが存在しその太さが太いほど顕著に受信信号振幅が減衰している。また、コイルと電源リングとの距離が近いほど受信信号振幅が減衰している。

結果から、電源リングが存在する場合にも所望の受信信号振幅が得られるようなデザインルールを考えることができる。たとえば電源リングが無い場合と比較して 90% 程度の受信信号振幅を得ようとすれば、今回のプロセス条件においては電源リングの太さが $1\ \mu\text{m}$ の場合、コイルと電源リングとの距離は $100\ \mu\text{m}$ 以上でなければならない、電源リングの太さが $2\ \mu\text{m}$ 以上の場合コイルと電源リングの距離は $150\ \mu\text{m}$ 以上にする必要がある。

一方、図 11 はシールリングが存在する場合の受信信号振幅と存在しない場合の受信信号振幅の比を示したものである。シミュレーション結果によれば、シールリングが存在しその太さが太いほど顕著に受信信号振幅が減衰している。また、コイルとシールリングとの距離に応じて受信信号振幅が変化しているが、シールリングの太さにより距離に対する振幅変化の傾向は異なっている。これは (1) シールリングが大きくなるにしたがってインダクタンスが増加し、磁束変化を妨げる影響が大きくなる、(2) 同方向に電流が流れるシールリング同士が近付くことでお互いの電流を弱めあい、磁束変化を妨げる影響が小さくなるという 2 点の影響のうち、細いシールリングにおいては (1) の影響が、太いシールリングにおいては (2) の影響が支配的であることが理由として考えられる。

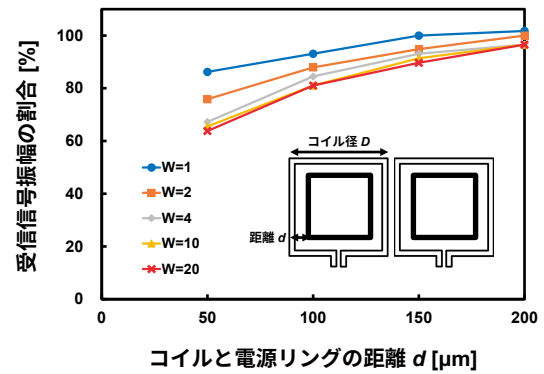


図 10 電源リングの通信特性に対する影響

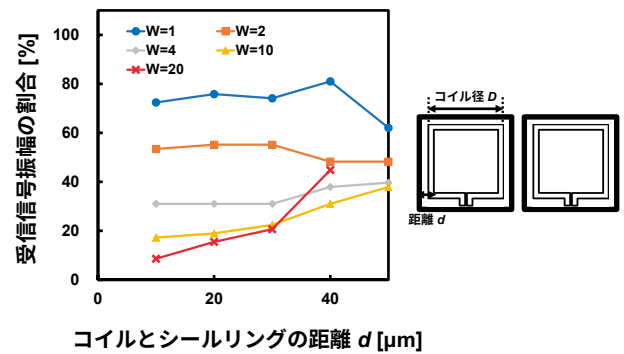


図 11 シールリングの通信特性に対する影響

結果から、シールリングが存在する場合にも所望の受信信号振幅が得られるようなデザインルールを考えることができる。たとえばシールリングが無い場合と比較して 70% 程度の受信信号振幅を得ようとすれば、今回のプロセス条件においてはシールリングの太さを $1\ \mu\text{m}$ 以下にする必要がある。また、50% 程度の受信信号振幅を得ようとすれば、シールリングの太さを $2\ \mu\text{m}$ 以下にする必要がある。

また、別途コイルとの距離 $10\ \mu\text{m}$ の場所に太さ $20\ \mu\text{m}$ のシールリングを配置した状態で、シールリングの一箇所を分断して同様のシミュレーションをおこなった。ここでシールリングの分断長は $10\ \mu\text{m}$ とした。その結果、受信信号振幅はシールリングが存在しない場合と同様の値であった。シールリングを分断してもその分断長が十分短い場合には保護機能を保てるという報告がある [12]。したがって、製造工程上可能な場合には、一部を分断したシールリングを利用することでチップを保護しつつ受信信号振幅の減少を回避することができる。

4. 実験

実世界のノイズ環境における水平方向誘導結合通信の性能や信頼性を評価するため、PCB 基板上にコイルを形成し、水平方

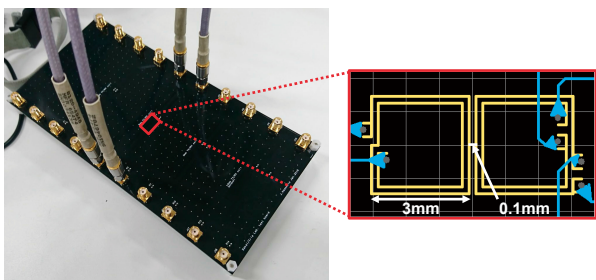


図 12 プロトタイプ基板

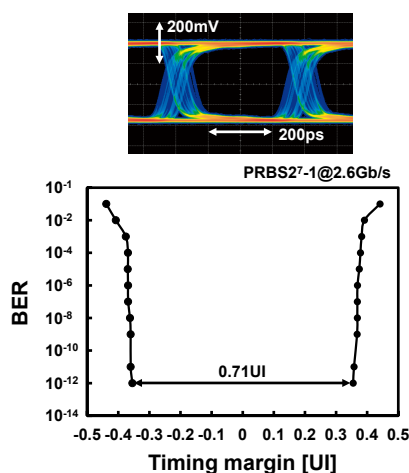


図 13 アイパターンと BER バスタブカーブの測定結果

向誘導結合通信検証用のプロトタイプ基板を作成した。ここでコイル径は 3 mm, コイル間の通信距離は 0.1 mm である (図 12)。信号発生器の生成したデータは水平方向のコイル間誘導結合を介して受信側にパルス状の電圧として伝達され、ヒステリシスコンパレータ IC により NRZ 波形に復元される。

7 ビット長の PRBS 信号を用いて実験をおこなったところ、データの正常な転送が確認できた。転送速度は最大で 2.6 Gb/s を達成した。図 13 にアイパターンと BER バスタブカーブの測定結果を示す。BER $<10^{-12}$ という有線通信と同等の高い信頼性が確認でき、BER $=10^{-12}$ でのタイミングマージンは 0.71 UI と十分に広いことが示された。結果から、実世界のノイズ環境においても水平方向誘導結合通信技術によって高い信頼性の高速通信が達成可能であり、実用上高度な誤り訂正技術が必要ないことが明らかになった。

5. おわりに

本論文では水平方向誘導結合を利用したチップ間ワイヤレスバス技術について、チップの形状、チップ同士の相対位置や相対角度の変化に応じた通信特性の変化とリング状配線の影響を調査した。また、プロトタイプの実測評価結果を示した。PCB

上に形成した 3 mm 角のコイルを用いて 2.6 Gb/s のデータ転送を実現し、BER $<10^{-12}$ という高い信頼性を確認した。今後の課題としては、チップ間ネットワークのアーキテクチャ策定や実チップを用いた検証が挙げられる。

謝辞 本研究の一部は、東京大学大規模集積システム設計教育研究センターの支援を受けて実施されました。

文 献

- [1] D. Stow, I. Akgun, R. Barnes, P. Gu, and Y. Xie, "Cost Analysis and Cost-Driven IP Reuse Methodology for SoC design Based on 2.5D/3D Integration," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp.56:1–56:6, Nov. 2016.
- [2] J. Yin, Z. Lin, O. Kayiran, M. Poremba, M.S.B. Altaf, N.E. Jerger, and G.H. Loh, "Modular Routing Design for Chiplet-Based Systems," ACM/IEEE International Symposium on Computer Architecture (ISCA), pp.726–738, June 2018.
- [3] A. Coskun, F. Eris, A. Joshi, A.B. Kahng, Y. Ma, and V. Srinivas, "A Cross-layer Methodology for Design and Optimization of Networks in 2.5D Systems," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp.101:1–101:8, Nov. 2018.
- [4] F. Eris, A. Joshi, A.B. Kahng, Y. Ma, S. Mojumder, and T. Zhang, "Leveraging Thermally-Aware Chiplet Organization in 2.5D Systems to Reclaim Dark Silicon," Design, Automation and Test in Europe (DATE), pp.1441–1446, March 2018.
- [5] A. Kannan, N.E. Jerger, and G.H. Loh, "Enabling Interposer-based Disintegration of Multi-core Processors," IEEE/ACM International Symposium on Microarchitecture (MICRO), pp.546–558, Dec. 2015.
- [6] D. Stow, Y. Xie, T. Siddiqua, and G.H. Loh, "Cost-Effective Design of Scalable High-Performance Systems Using Active and Passive Interposers," IEEE/ACM International Conference on Computer-Aided Design (ICCAD), pp.728–735, Nov. 2017.
- [7] J. Bashir and S.R. Sarangi, "NUPLet: A Photonic Based Multi-Chip NUCA Architecture," IEEE International Conference on Computer Design (ICCD), pp.617–624, Nov. 2017.
- [8] Y. Demir, Y. Pan, S. Song, N. Hardavellas, J. Kim, and G. Memik, "Galaxy: A High-performance Energy-efficient Multi-chip Architecture Using Photonic Interconnects," ACM International Conference on Supercomputing (ICS), pp.303–312, June 2014.
- [9] N. Miura, Y. Koizumi, Y. Take, H. Matsutani, T. Kuroda, H. Amano, R. Sakamoto, M. Namiki, K. Usami, M. Kondo, and H. Nakamura, "A Scalable 3D Heterogeneous Multicore with an Inductive ThruChip Interface," IEEE Micro, vol.33, no.6, pp.6–15, Nov. 2013.
- [10] 門本淳一郎, 入江英嗣, 坂井修一, "水平方向チップ間ワイヤレスバスを用いた形状自在 SiP の検討," 電子情報通信学会技術研究報告, vol.118, no.334, pp.43–48, Nov. 2018.
- [11] A. Radecki, H. Chung, Y. Yoshida, N. Miura, T. Shidei, H. Ishikuro, and T. Kuroda, "6W/25mm² Inductive Power Transfer for Non-Contact Wafer-Level Testing," IEEE International Solid-State Circuits Conference (ISSCC), pp.230–231, Feb. 2011.
- [12] J.P. Gambino, R.S. Graf, J.C. Malinowski, A.R. Cote, W.H. Guthrie, K.M. Watson, P.F. Chapman, K.K. Sims, M.D. Levy, T. Aoki, G.A. Mason, and M.D. Jaffe, "Reliability of Segmented Edge Seal Ring for RF Devices," IEEE International Interconnect Technology Conference (IITC), pp.367–370, May 2014.