

Caches

Luke Skywalker

7 de setembro de 2015

Considere uma cache com mapeamento direto e endereços de memória de x bits organizados da forma abaixo, responda qual o espaço ocupado pela cache no processador em bits. Considere que c bits de controle são usados por linha de cache.

TAG	ÍNDICE	OFFSET
t bits	i bits	f bits

$$2^i \times ((x - i - f) + c + (2^f \times 8)) \text{ bits}$$

x : igual ao tamanho de bits do endereço, nesse caso 32 bits.

c : igual número de bits de controle por linha de cache.

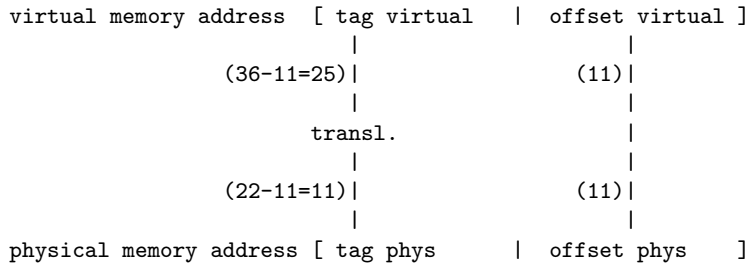
$$2^i \times ((x - i - f) + c + 2^f) \text{ bytes}$$

Considere um sistema com as seguintes configurações:

1. Memória virtual de 2^{36} bytes
2. Memória física de 2^{22} bytes
3. Páginas de 2^{11} bytes
4. 2 bits extra para o controle das páginas

Informe o tamanho da tabela de páginas em bits.

O campo de offset para memória virtual e para memória física é o mesmo.



$$2^{36-11} \times (2 + (22 - 11))$$

$$2^{25} \times (2 + (22 - 11))$$

Considere uma cache com mapeamento 4-associativo e endereços de memória de 32 bits organizados da forma abaixo, responda quantas linhas tem a cache.

TAG	ÍNDICE	OFFSET
31-26	25-10	9-0
6 bits	16 bits	10 bits

$$n\text{-way} \times 2^{\text{índice bits size}}$$

$$4 \times 2^{16} = 262144 \text{ linhas}$$

Considere um sistema com as seguintes configurações:

1. 2^{28} bytes endereçáveis de memória
2. Cache com 2^5 blocos de 2^7 bytes cada
3. Linhas de cache com 1 bit de validade

Qual seria o tamanho efetivo da cache em bits caso ela fosse implementada com um mapeamento 4-associativo?

$$n\text{-way} \times \frac{2^5}{4} \times ((28 - 7 - 3) + 1 + 2^7 \times 8)$$

$$4 \times \frac{2^5}{4} \times (18 + 1 + 2^7 \times 8)$$

Considere um sistema com as seguintes configurações:

1. Memória virtual de 2^{33} bytes
2. Memória física de 2^{24} bytes
3. Páginas de 2^{11} bytes
4. 6 bits extra para o controle das páginas

Informe o tamanho da tabela de páginas em bits.

$$2^{33-11} \times (6 + (24 - 11))$$

$$2^{22} \times (6 + 13)$$