

超大型積體電路電腦輔助設計概論  
Introduction to VLSI CAD

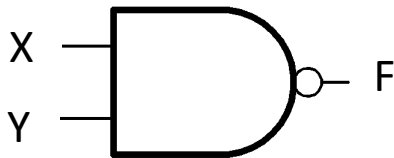
Lab 9

Due：中午12:00, 2017/05/24

● Laker與Hspice模擬

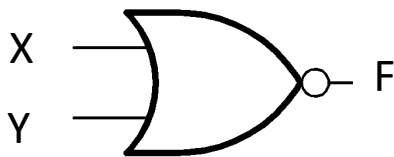
1. 依照規格，完成以下邏輯閘layout圖

i. NAND



MOS Type	W/L
PMOS	1u/0.18u
NMOS	0.5u/0.18u

ii. NOR



MOS Type	W/L
PMOS	1u/0.18u
NMOS	0.5u/0.18u

2. DRC LVS PEX驗證成功

3. 完成 post-sim 之結果，並與 pre-sim 討論比較

繳交檔案

1. .pdf 檔：layout 結果(請秀出長寬)、DRC 驗證成功圖、LVS 笑臉圖、前後模擬結果比較圖、討論與心得
2. 驗證結果檔：LVS 產生的.sp 檔、PEX 產生的 xxx.pex.netlist、xxx.pex.netlist.pex、xxx.pex.netlist.xxx.pxi

請壓縮成學號\_姓名.rar，並於截止時間前上傳至 moodle

**Note ~ 自己的作業自己寫!!!**