

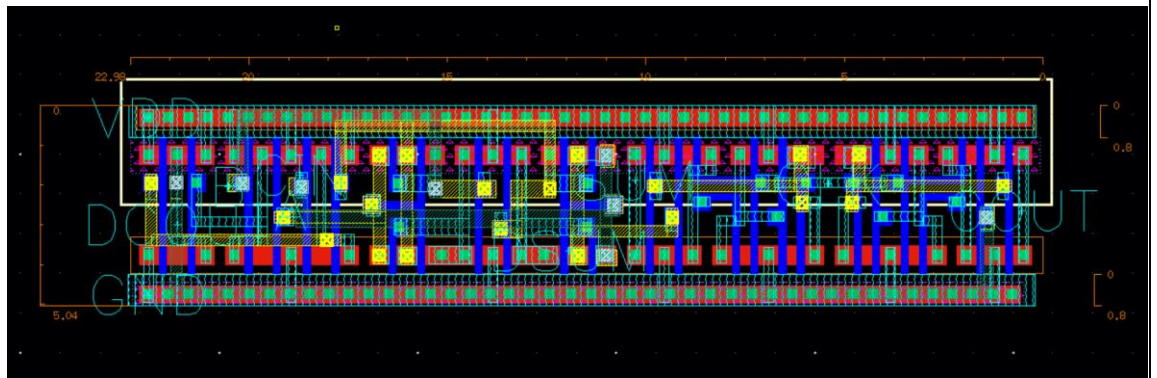
2023 NYCU EE VLSI Lab Report

Lab02 1-Bit Full Adder

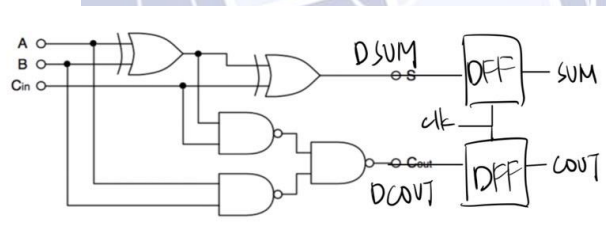
Student ID: 110511254 Name: 徐煜絨 Date: 2023/10/27

I. Layout result

1. Layout picture with ruler



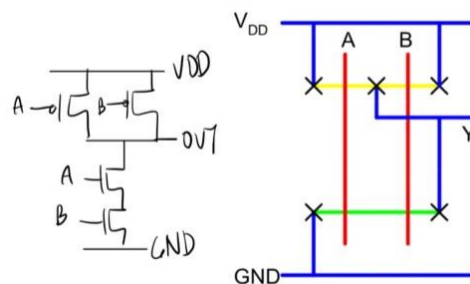
2. Design concept



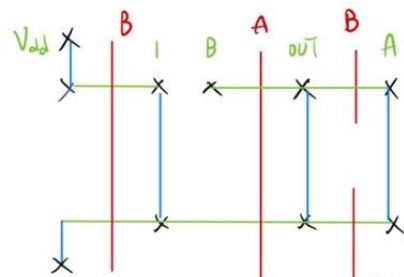
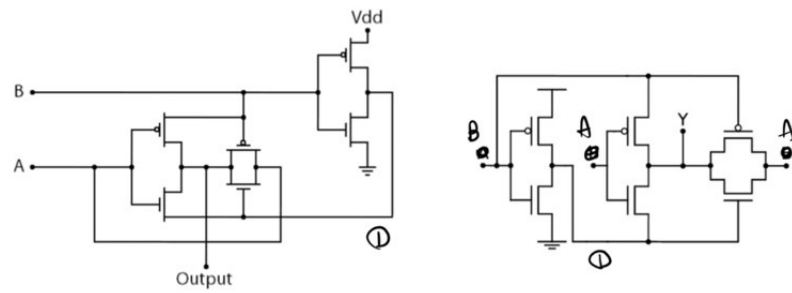
Layout 中排列順序：NAND-合併 NAND-合併 XOR-DFF-DFF

(1) Stick Diagram / Circuit Schematic

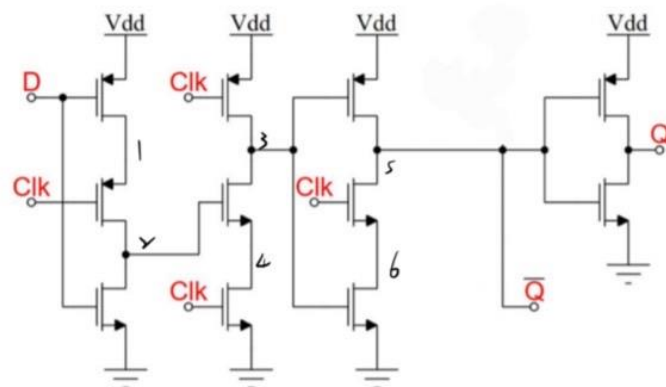
a. NAND



b. XOR

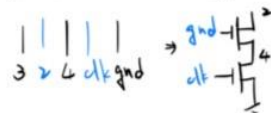
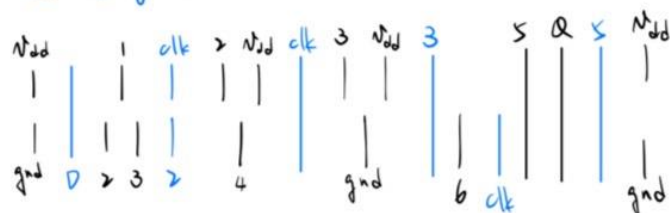


c. DFF



$m \Rightarrow$ drain, source

$m \rightarrow$ gate



(2) Summary of structure (number of transistor / logic gate is used)

三個 NAND(4)、兩個 XOR(6)、兩個 DFF(11)，總共使用

$4*3+6*6+11*2$ ，共 60 顆電晶體。

II. Simulation result

1. Timing report

Table 1: Post-sim of 1Bit Full Adder (Unit: ps)

Input	SUM _{td}	SUM _{tr}	SUM _{tf}	Cout _{td}	Cout _{tr}	Cout _{tf}
000→100	183.2	212.9	--	--	--	--
100→010	--	--	--	--	--	--
010→110	157.6	--	96.56	118	210.1	--
110→001	16	213	--	92.15	--	95.06
001→101	105.6	--	98.14	181.5	210.4	--
101→011	--	--	--	--	--	--
011→111	152.4	210.9	--	--	--	--
111→000	20.12	--	96.55	89.3	--	94.95

*Note 1: -- identify no value,

*Note 2: Remember to highlight worst case,

*Note 3: the value indicates A>B>CIN

*Note 4: Measure from A/B/CIN to DSUM/DCOUT

Table 2: Post Simulation Summary

	Spec.	Pre-sim	Post-sim
Worst Rise Time	< 0.3ns	199.7ps	213ps
Worst Fall time	< 0.3ns	82.23ps	98.14ps
Worst Propagation Delay	< 0.3ns	138.4ps	183.2ps
Average Power	< 300uW	45.06uW	56.39uW

(1) Pre-sim (*paste measurement result of hspice, i.e. .mt0)

avg_pw	tdsum_p1	tdsum_p2	tdsum_p3
tdsum_p4	tdsum_p5	tdsum_p6	tdcout_p1
tdcout_p2	tdcout_p3	tdcout_p4	trsum_1
trsum_2	trsum_3	tfsum_1	tfsum_2
tfsum_3	trcout_1	trcout_2	tfcout_1
tfcout_2	temper	alter#	
4.506e-05	1.384e-10	1.115e-10	1.392e-11
7.904e-11	1.077e-10	2.004e-11	9.403e-11
7.218e-11	1.115e-10	7.233e-11	1.997e-10
1.982e-10	1.950e-10	8.216e-11	8.221e-11
8.213e-11	1.984e-10	1.984e-10	8.216e-11
8.223e-11	25.0000	1	

(2) Post-sim (*paste measurement result of hspice, i.e. .mt0)

avg_pw	tdsum_p1	tdsum_p2	tdsum_p3
tdsum_p4	tdsum_p5	tdsum_p6	tdcout_p1
tdcout_p2	tdcout_p3	tdcout_p4	trsum_1
trsum_2	trsum_3	tfsum_1	tfsum_2
tfsum_3	trcout_1	trcout_2	tfcout_1
tfcout_2	temper	alter#	
5.639e-05	1.832e-10	1.576e-10	1.600e-11
1.056e-10	1.524e-10	2.012e-11	1.180e-10
9.215e-11	1.815e-10	8.930e-11	2.129e-10
2.130e-10	2.109e-10	9.656e-11	9.814e-11
9.655e-11	2.101e-10	2.104e-10	9.506e-11
9.495e-11	25.0000	1	

2. Output waveform

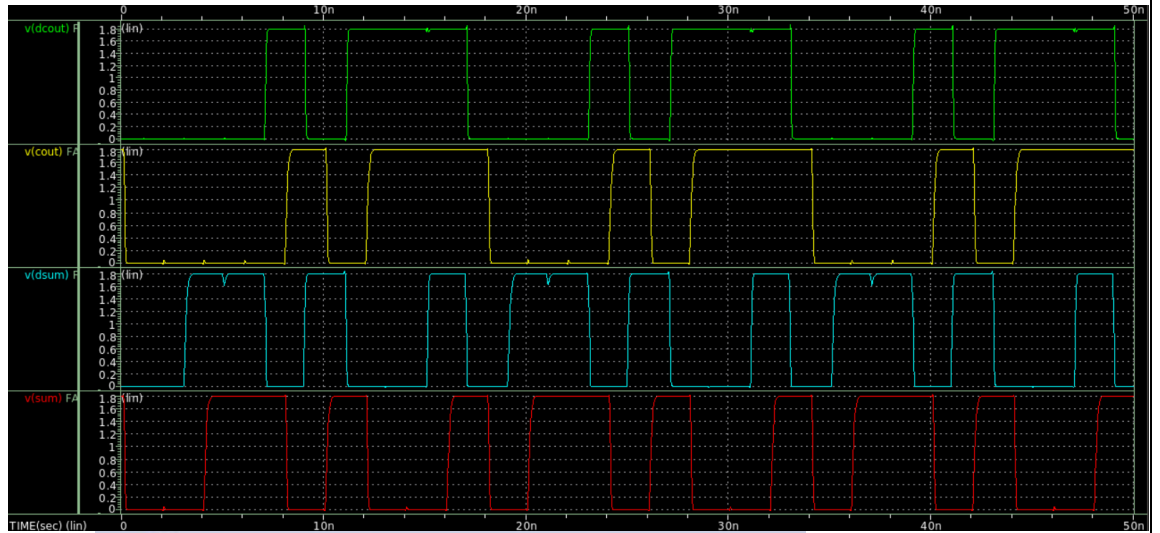
Input:

由上到下：A, B, CIN, CLK



(1) Pre-sim

由上到下：DCOUT, COUT, DSUM, SUM

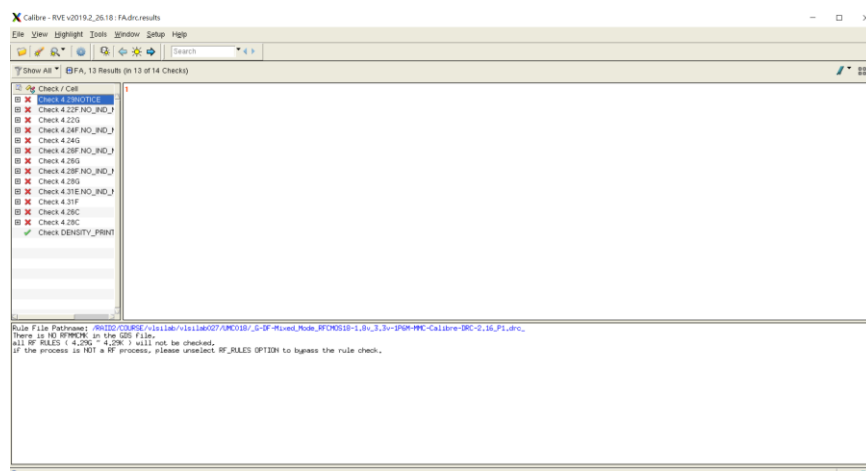


(2) Post-sim

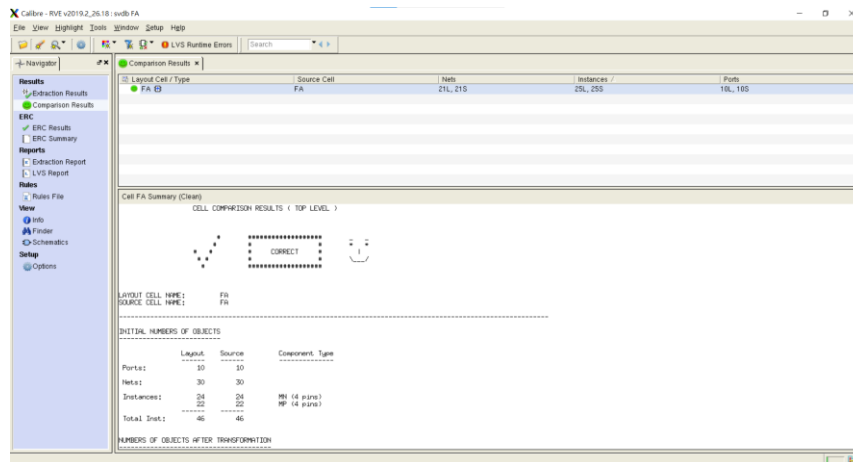


III. Verification result

1. DRC



2. LVS



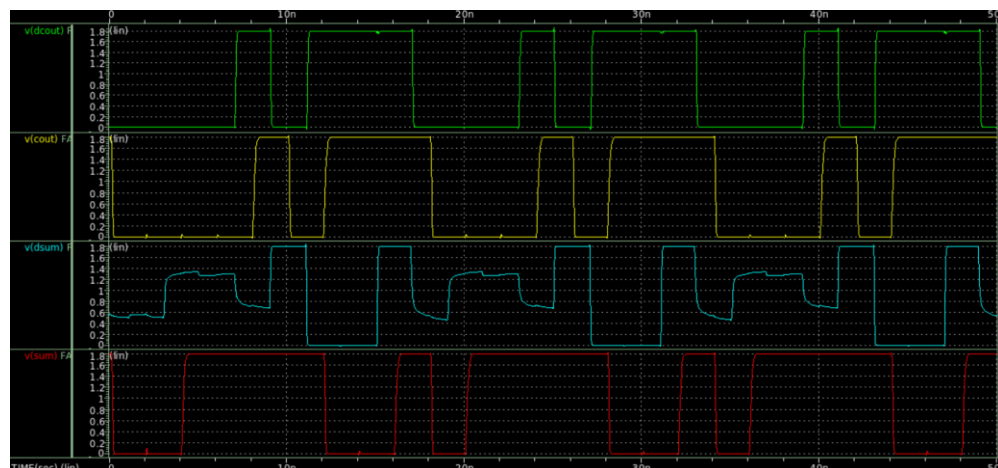
IV. Discussion

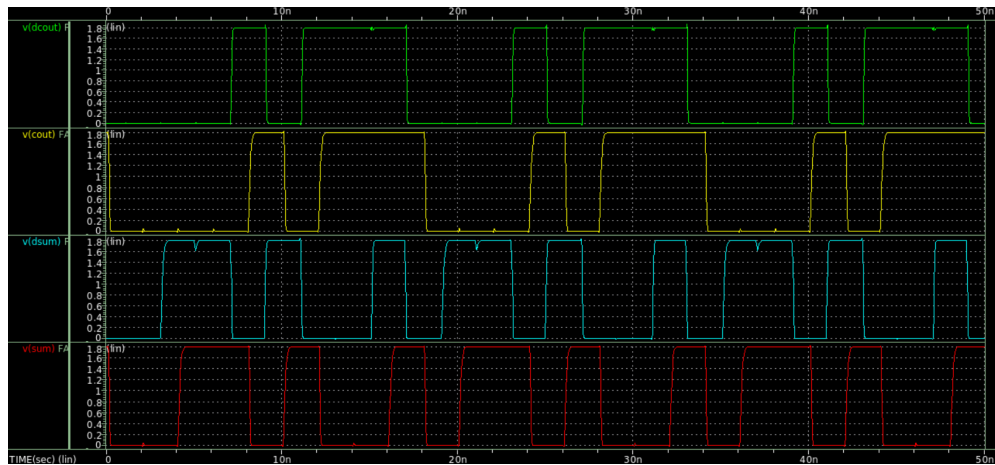
1. How to reduce your area of layout? What are advantages and disadvantages of reducing area?

縮小面積的方式包含減少 transistors 的使用、layout 上盡可能共用 drain 和 source、增加 metal 的層數。

一、面積

首先是最重要的盡可能減少 transistors。Lab1 中我的 XOR 是使用 8 顆 transistors，為了減少，我曾經上網搜尋到只用 4 顆 transistors 的方法，然而該架構讓我的 DSUM 和 DCOUT 都有很大的 glitch，甚至已經看不出原先的波型，經過 DFF 後的 SUM 和 COUT 也嚴重變形（如下第一張圖）。在和同學討論後決定改用 6 顆 transistors，相較於 4 顆的設計，應該是多了一組 buffer，雖然還是會有 glitch，但訊號更穩定，在經過 DFF 修飾後也是正確波型（下第二張圖）。





No. of transistors	4	6
Circuit		

由此可見六顆 transistors 的設計是比較好的(多了穩定訊號的功能)。

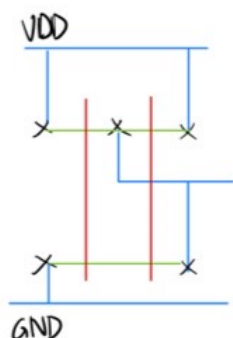
除了 XOR，我在 DFF 上也做了和 Lab1 不同的設計。Lab1 的 DFF 中 transistors 的數量是 22 顆，但這次只用 11 顆就達到 DFF 的功能，如此不只在 layout 時有機會更快速完成，也能有效減少 Diffusion 和 gate 等，並縮小面積。

二、共用 drain 和 source

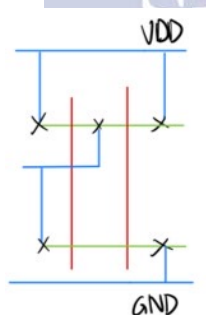
這個部分在 VLSI 導論上有學習到，減少 diffusion 使用也能讓橫向長度縮小。為了能共用 drain 和 source，我對單獨和合併的 XOR, NAND 和 DFF 做些微更改，以下表示各種更改狀況：

1. 兩顆 NAND 合併：

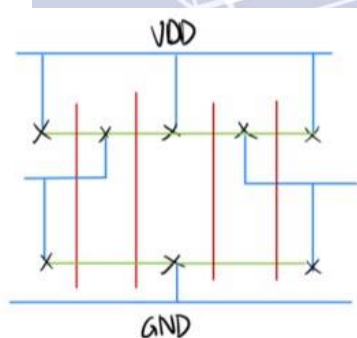
下圖是一張正常的 NAND



將其翻轉後可以得到



我們可以發現，若為了共用 drain 和 source，便可以把他們的 VDD 以及 GND 合在一起，變成如下圖：

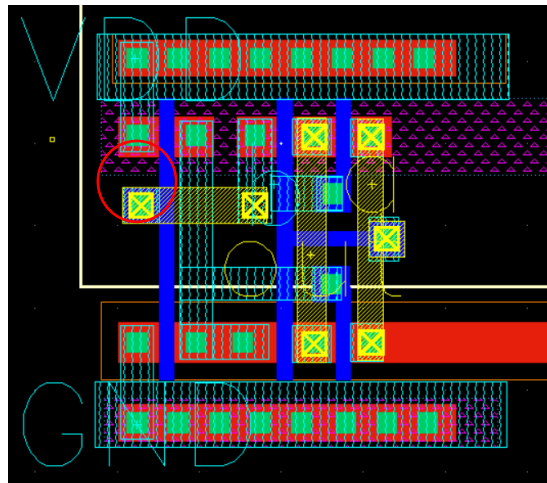


可惜的是 NAND 是奇怪數顆，所以只有其中兩顆的 VDD, GND 共用，僅縮小一部份。

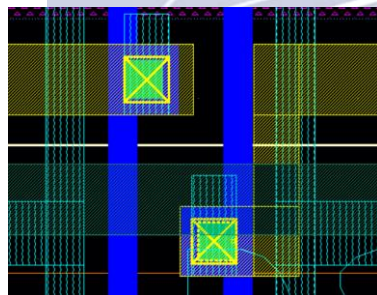
2. 兩顆 XOR 合併：

XOR 的合併方法和 NAND 相似，但我設計的 XOR 在最右側會

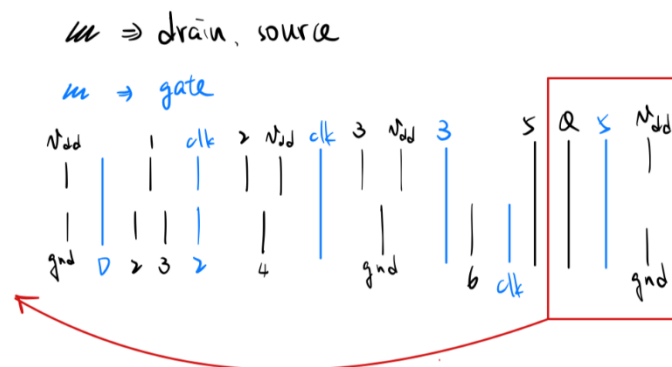
有突出，若想翻轉並合併兩個 XOR，就必須移動其繞線和佈局。



此圖節錄自 XOR 的 layout，可以發現紅色圈圈處有突出，所以在 layout 中我必須錯開兩者的位子才能讓兩顆 XOR 除了共用 VDD, GND 外，也可以更靠近彼此。



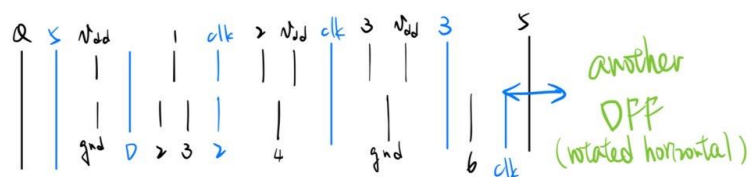
3. DFF 中調整 transistors 的位置



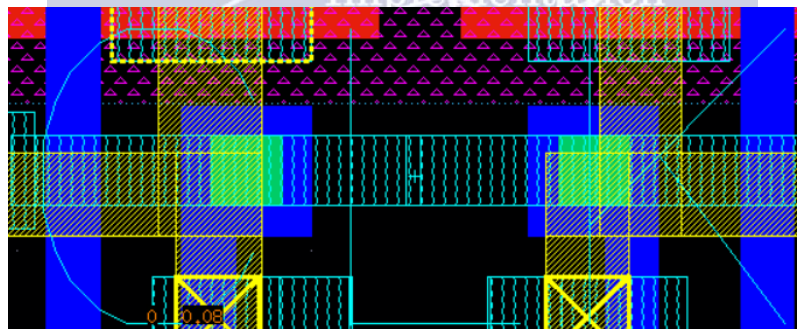
如果按照網路提供的 DFF 電路接線，會有上圖的結果。然而經過討論後發現 DFF 的兩側都是 VDD, GND，因此我把紅色框框處拉到另外一側，這樣可以成功共用 drain 和 source。

4. DFF 的 CLK 共用

在實作過程中我發現 CLK 會走在 Metal1 上，且上面 Metal2 載有另外一個訊號，所以我把其中一個 DFF 翻轉，期望能夠用 Metal1 就連通兩個 DFF 的 CLK。因為 CLK 的旁邊只有一條 poly，並不會影響到 Metal1 的佈局，所以我直接延伸 Metal1，達成上述共通 CLK 的目標。



下圖橫向的 Metal1 即載著 CLK



三、增加 metal 層數

這個方法因為這次 lab 限制使用三層 metal，所以沒有去進一步做比較。但上網查詢資料後發現這也會影響面積。因為同意層 metal 間需要有一定距離，或是 metal 本身要有一定寬度，否則會造成短路或斷路、無法承受負載等問題產生。透過增加 metal 層數，可以進一步增加設計上的彈性，設計者使用不同層的 metal 傳遞訊號，使其能到達正確的 contact 或傳達到其他 metal 上。

四、縮小面積的優點

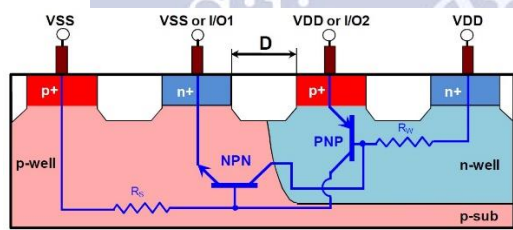
縮小的優點主要在於因應現今科技進展，期望用更小的空間作出更複雜的運算，藉由縮小面積，可以增加穿戴式裝置或是手機等用品的功能和效率。

五、縮小面積的缺點

缺點是不好設計佈局，且因為零件距離近，容易導致散熱不良或有寄生電容產生。

2. Why you need Avoid-Latch-Up contact and how it works?

Latch-up 的產生來自於 pmos 與 nmos 產生的寄生 BJT。如果 nwell 的阻值 (R_w) 以及 p-sub 的阻值 (R_s) 過大，容易使 pnp 和 npn 導通。電流直接從 VDD 流向 GND，而不是如設計者所期望的 cmos。若在 nwell 和 p-sub 多打幾個 contact，可以減少 R_w 和 R_s 的阻值，進而降低 latch-up 發生的機率



3. What causes the difference between pre-sim and post-sim?

Pre-sim 只考慮理想狀態下的計算結果，但 pro-sim 會實際佈局各種元件，而 layout 的好壞會影響到如第一題所述的寄生電容問題，進一步攸關到 delay time。

4. Summary (optional)