

2023 NYCU EE VLSI Lab Report

Lab05 6-bit Multiplier and Accumulator

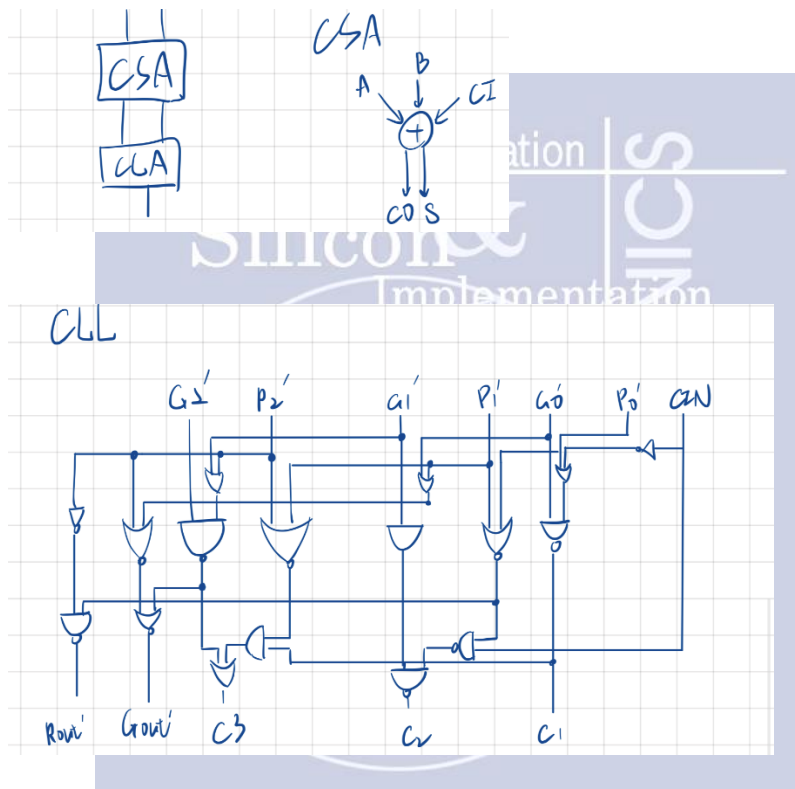
Student ID: 110511254

Name: 徐煜絨

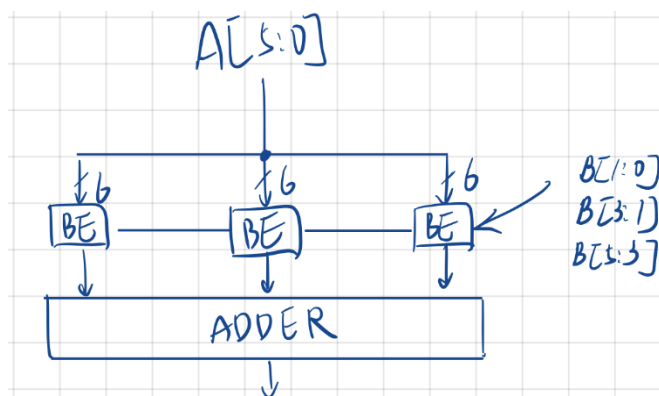
Date: 2023/12/14

I. Architecture

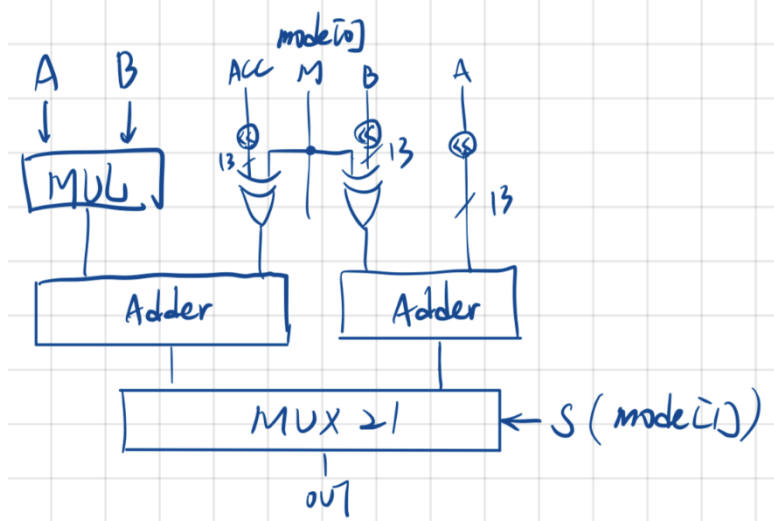
1. Adder (3%)



2. Multiplier (3%)



3. Whole Architecture Diagram (2%)



II. Critical Path

1. Theoretical (4%)

Booth Encoder:

$XOR2, NOR2, \times NAND, XOR \Rightarrow 2.9 ns$

First layer Carry Save Adder: $1.3 ns$

Second and third layer CSA: $1.1 ns$

CLA: $0.5 + 1.9 + 2.0 + 2.5 + 0.9 = 7.8 ns$

MUX: $1.0 ns$

In total: about $14.7 ns$

2. 1000 pattern testing results (2%)

```

PATTERN NO. 986 passed
PATTERN NO. 987 passed
PATTERN NO. 988 passed
PATTERN NO. 989 passed
PATTERN NO. 990 passed
PATTERN NO. 991 passed
PATTERN NO. 992 passed
PATTERN NO. 993 passed
PATTERN NO. 994 passed
PATTERN NO. 995 passed
PATTERN NO. 996 passed
PATTERN NO. 997 passed
PATTERN NO. 998 passed
PATTERN NO. 999 passed
PATTERN NO. 1000 passed

*****
* #####          #####          #####          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* #####          #####          #####          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* ##          ##          ##          ##          *
* #####          #####          #####          *
*****
//CYCLE time is 14.800000//

Simulation complete via $finish(1) at time 14829600 PS + 0
./PATTERN.v:82 $finish;
    
```

3. Difference between theoretical and testing results and why (3%)

理論值和實際值會有所出入的原因有以下幾點，第一個是我們計算錯誤，可能在計算過程中抓錯 **critical path**，或是在計算時不小心用到 **gate** 的錯誤的 **delay time**。另外可能出在最佳化問題，在數位電路設計這門課中，老師曾提及編譯時會省略用不到的邏輯閘，但在計算時有可能我們將他納入 **critical path** 上，導致理論值算出來會較大。最後是測資，可能在跑 02 時，沒有 **random** 到 **corner case**，以至於不慎把 **cycle time** 調到太小。

III. Discussions (3%)

在整理架構時，我透過 **XOR** 的加減法器做平行處理，最後再用 **mode[1]** 決定要選取哪一個結果。在 **CLL** 的部分，為了盡量使用到 **NOR** 和 **NAND**，所以會加入迪摩根的概念，加以整理出最佳化電路。