

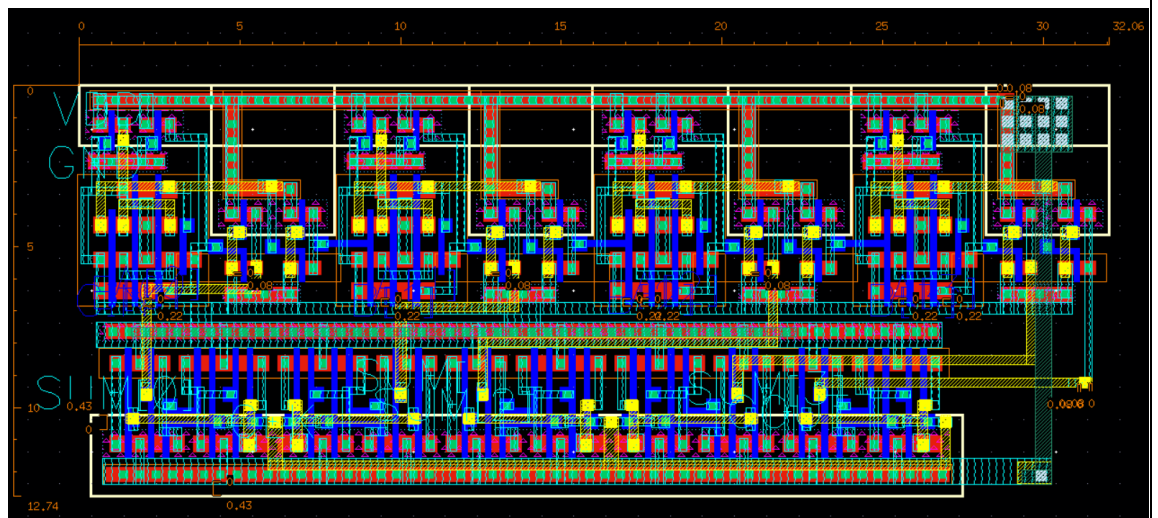
2023 NYCU EE VLSI Lab Report

Lab03 4-Bit Full Adder + DFF

Student ID: 110511254 Name: 徐煜絨 Date: 2023/11/16

I. Layout result

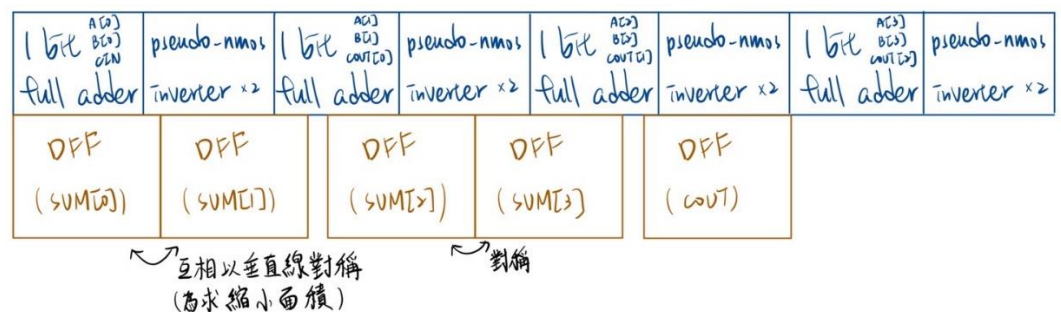
1. Layout picture with ruler



2. Design concept

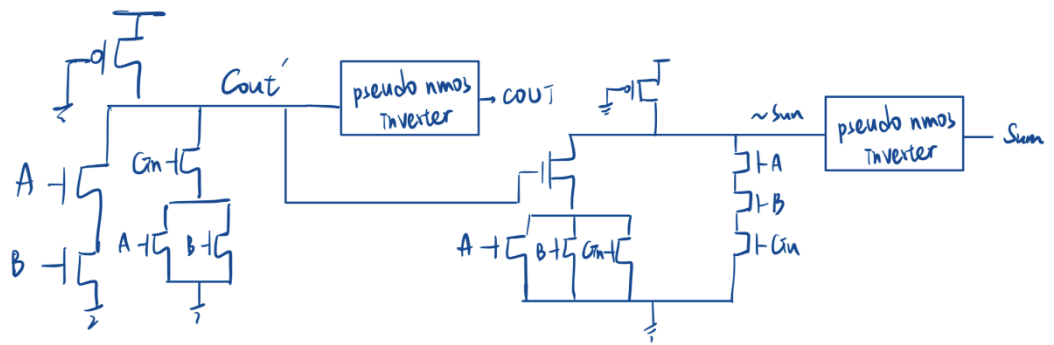
(1) Circuit Schematic

下圖是 Layout 中各物件的位置

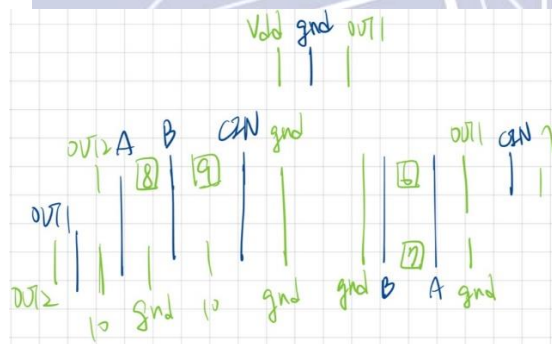


這次作業我使用 ripple，原因是認為 4 個 bits 選擇 carry look ahead 所縮小的時間不會太多，因此使用面積小很多的 ripple 實作。另外，除了 DFF 內部所有電路，1bit full adder 和 SUM 與 COUT 輸出前的 inverter 都是用功率高但 delay 小的 pseudo nmos 完成。下面是每個物件的 circuit。

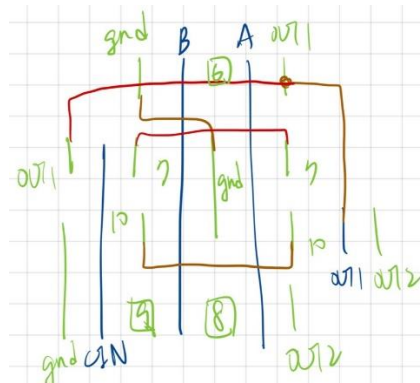
1bit full adder:



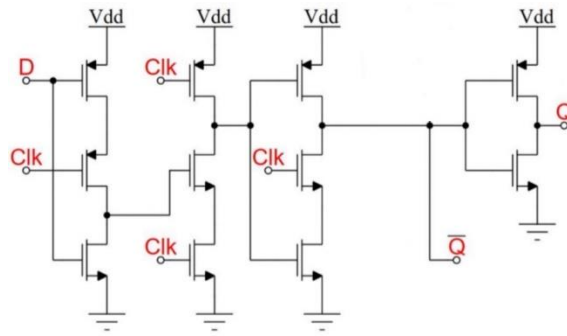
首先是 1-bit 的 full adder，若選用講義的 C-CMOS，會需要安排大量的 pmos 其位子和輸入訊號(gate)的走向，但換用 pseudo nmos 可以讓電晶體數量從 28 顆降到 18 顆，還有 delay 小的大優點，又我這次是使用 ripple 實現 4-bit full adder，所以最後決定用 pseudo nmos 的形式做出 1-bit full adder 和將~SUM 和~COUT 轉回 SUM 和 COUT 的 inverter。先不考慮 inverter 就可以畫出下面的簡易 stick diagram (深藍色是 gate)。



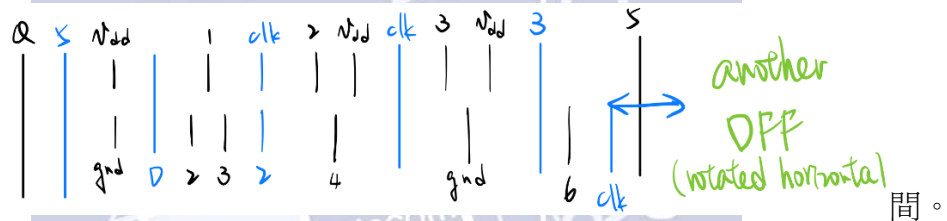
為了讓 layout 更方便，而且這次沒有規定高度，所以我把 gate 相同的 nmos 都疊在一起，整理後會變成下圖，其中 OUT1 是~COUT，OUT2 是~SUM，CIN 可能是 CIN 或前一級的~COUT：



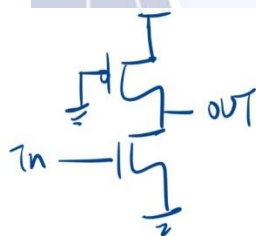
D flip-flop:



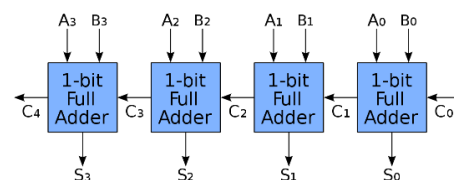
D flip-flop 的設計選用和 lab2 相同的方式，因此 layout 中有引
用到 lab2 的內容。為了盡量不用到 metal3，這邊有必要把會用到
clk 的訊號的元件放在附近，所以會以兩個 DFF 為一組，讓 CLK 盡
可能不穿梭在元件



Pseudo nmos inverter:



(2) Summary of structure (number of transistor / logic gate is used)

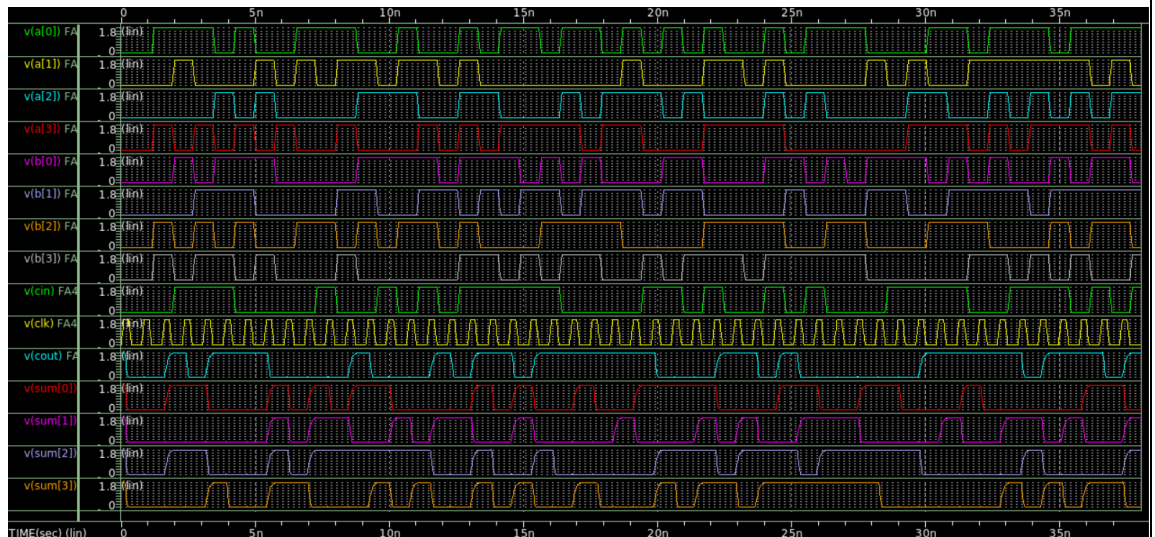


這次選用會有 delay 但面積較小的 ripple 形式，用到的 transistor
數量：4 顆 1-bit full adder (18×4) + 5 顆 D flip-flop (11×5)，總共 127 顆
電晶體。

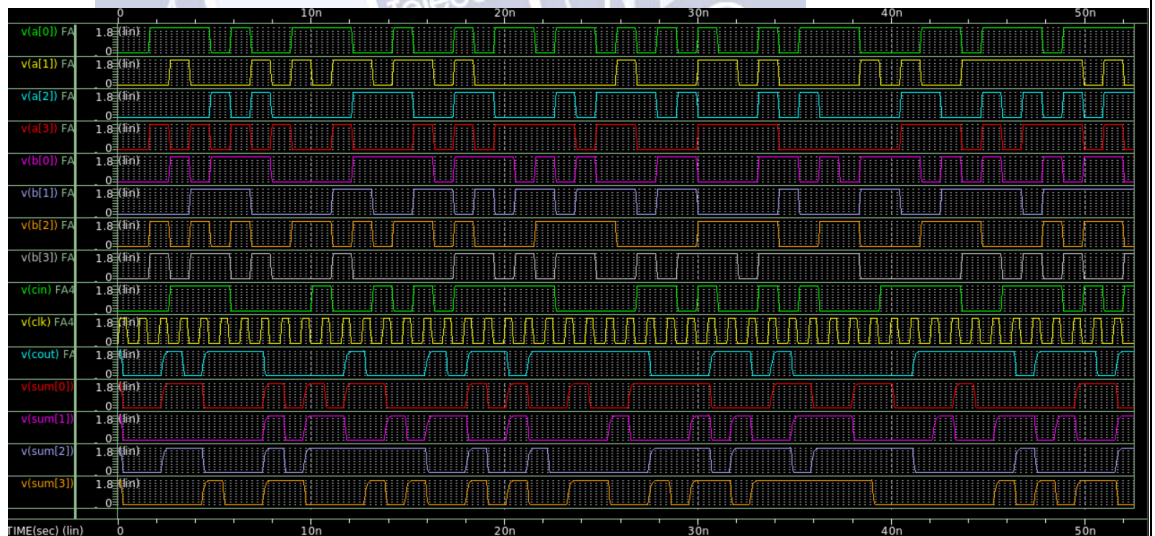
II. Simulation result

1. Output waveform

(1) Pre-sim (Output waveform)



(2) Post-sim (Output waveform)



(3) Performance list (TT case under worst case input pattern)

Maximum operation frequency	Pre-sim: 1.32GHz (T=0.76ns)
	Post-sim: 0.91GHz (T=1.1ns)
Average power	Pre-sim: 1.885e-03
	Post-sim: 1.833e-03
Layout area	32.06*12.74 = 408.44
4-bit full adder structure	ripple

Table 1: Output Simulation Summary

	Spec.	Pre-sim	Post-sim
Worst Rise Time	< 0.8ns	209	230
Worst Fall time	< 0.8ns	113	145
Worst Propagation Delay	N/A	108	132
Average Power	N/A	1.885e-3	1.833e-3

(*paste measurement result of HSPICE, i.e. .mt0)

Pre:

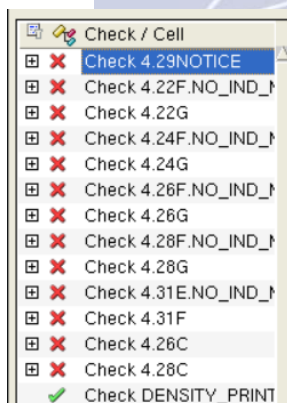
iavg	pavg	temper
-1.047e-03	1.885e-03	25.0000

Post:

iavg	pavg	temper
-1.019e-03	1.833e-03	25.0000

III. Verification result

1. DRC



2. LVS

```
Cell FA4 Summary (Clean)
```

CELL COMPARISON RESULTS < TOP LEVEL >

The diagram shows two representations of a cell. On the left, a sparse arrangement of small black squares. On the right, a rectangular area filled with a grid of dots, with the word "CORRECT" centered within it.

LAYOUT CELL NAME: FA4
SOURCE CELL NAME: FA4

INITIAL NUMBERS OF OBJECTS

	<u>Layout</u>	<u>Source</u>	<u>Component Type</u>
Ports:	17	17	
Nets:	83	83	
Instances:	86	86	MN (4 pins)
	41	41	MP (4 pins)
Total Inst:	127	127	

NUMBERS OF OBJECTS AFTER TRANSFORMATION

IV. Discussion

1. Compare Full Custom to Cell-based design and list their pros and cons.

Full custom 是設計者針對特定功能，自行選擇合適的 MOS 排列方法和布局而成，這種方式的電路較常出現在類比電路，因為類比電路每一顆電晶體的大小和位子都要安排嚴謹，數位電路因為只看 0 和 1，所以較常使用 Cell-based design。Cell-based design 則是使用 cell library 中已經存在的電路為單位，再用較自動化的方式兜出一顆 IC。

統整以上，可以得知 Full custom 的優點為電晶體數量較少（設計者只需選擇自己需要的）、在優化和靈活性上也表現比較好，但其缺點就是耗時且難以走向自動化。Cell-based 正好相反，雖然他容易在電路上出現多餘的電晶體，但因為已經有資料庫，能夠在更快時間做出期望的成果，但因為是好幾個寫死的方塊拼湊而成，會讓優化空間和靈活性比 Full custom 的還要少。

2. How to eliminate performance variation between Post-sim and Pre-sim?

將會用 Metal 和 diffusion 兩個方向來討論 Post-sim 和 Pre-sim 的不同。首先是 Metal，已知電阻大小會和導線長度成正比並和寬度成反比，所以當要縮小面積而壓縮導線寬度時，就會讓該導線的電阻值增加，若是訊號沒安排好，使得在 layout 時出現額外繞線，電阻值也會隨著導線長度一起增加。導線除了本身電阻，如果兩導線呈平行前進且距離不遠，導線 A 不只會在導線 B 上的訊號轉換時出現不穩定，也會因為寄生電容使得 delay 時間增加。

接著是 diffusion，共用 diffusion 不但能減少寄生電容進而降低 RC delay，也可以縮小面積。Diffusion 能共用的時機在於兩 poly 中間沒有其他的訊號，例如兩個 nmos 串聯，其中一個 source 端只連接到另一個的 drain，在不另外加 contact 和 metal 的狀況下，能有效減少 layout 面積。

3. Please discuss what has influence on speed while pipeline regs are placed at different location.

可以把一段執行分割，減少 critical path。

4. Discuss the difference between different adder structures and their own

advantages/disadvantages. Talk about your final choice, including how and why you design in this way, and the optimization you made.

助教在講義中提供很多種 adder 的實現方式，再上網查相關資料並和同學討論後，最後決定使用 C-CMOS，C-CMOS 雖然會用到最多電晶體，但其 pmos 和 nmos 的位子固定，方便 layout。此外，電晶體太多的缺點也可以用 pseudo nmos 的方式補足，加入 pseudo nmos 可以減少很多比較占空間的 pmos，也可以方便佈局（不用為了連接 gate 或 drain 做繞線）。

4-bit adder 我選擇用 ripple，因為只有 4bit 加上 pseudo nmos，delay 不至於太大，而且 carry look ahead 需要更多 complementary circuit，導致面積太大，所以最後捨棄 carry look ahead。

5. Summary + Learning

