2주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20211533 이름: 남정연

**1.**

HDL은 Hardware Description Language의 줄임말로, 회로 기술용 컴퓨터 언어이다. 회로 동작이나 구조를 기술하고 시뮬레이션하여 회로를 테스트하는데에 이용된다. HDL에는 Verilog 이외에도 ABEL, AHDL, CUPL, JHDL, MyHDL, VHDL 등이 있다.

**2.**

Verilog는 1984년경 Gateway Design Automation의 Phil Moorby와 Prabhu Goel에 의해 발명되었다. 당시에는 HDL이 표준화되어있지 않았었다. 이 후 Cadence Design System이 Gateway Design Automation을 인수하면서 Open Verilog International이 세워지고 IEEE 표준으로 자리잡게 되어 회로 설계와 검증 분야에 있어서 유명한 언어 중 하나가 된다.

**3.**

Verilog는 머리부와 선언부, 몸체부의 세 부분으로 구성된다. 머리부에서는 module이라는 키워드로 시작하여 모듈 이름과 포트 목록이 명시된다. 그 다음의 선언부에서는 머리부에 선언된 포트들의 정보(방향), 레지스터, 와이어, 그리고 파라미터를 선언한다. 마지막의 몸체부에서는 회로를 본격적으로 기술하는 부분으로써 Verilog 문법을 사용하는 구문들로 구성된다.

Verilog의 문법은 C언어와 비슷한 구조를 가진다. 다만 코드 블록의 구분을 Begin과 End 키워드를 이용한다. Verilog에서는 레지스터를 (부호)(비트수)’(진수)(입력값) 진수의 경우 b(binary), o(octal), d(decimal), h(hexadecimal) 등을 이용한다. 부호의 경우 양수이면 생략한다. 연산자의 경우 C언어와 유사하나 ~^가 비트 단위 등가를 나타내고 {} 식은 결합 및 반복을 나타낸다. 예를 들어 {B, C}의 형태로 사용하면 B와 C의 비트를 합치는 결합의 의미이며 {4{A}}의 형태로 사용하면 A의 비트를 4회 반복한다는 의미가 있다. 또한 회로 언어이기에 시간과 관련된 기술이 가능하다. ‘timescale <단위>/<정밀도> 의 형태로 선언하며 단위는 파일 내에서 기술할 시간들의 단위를 의미하고 정밀도는 명시한 단위의 소수점 허용 범위를 의미한다. 변수 할당에 있어서 연속 할당문인 assign 구문을 사용하면 피연산자의 변화에 따라서 net 변수에 값을 변화시켜줄 수 있다. always @(sensitivity\_list)는 sensitivity\_list에 적힌 신호들에 변화가 발생했을 때 실행되며 initial은 이와는 대조적으로 단 한번만 실행된다. always와 initial 구문 내에서 사용되는 절차형 할당문에는 크게 두 가지가 있다. 먼저 Blocking 구문은 = 연산자를 사용하며 구문이 끝나기 전까지는 다음 문장이 실행되지 않는다. 그러나 <= 연산자를 사용하는 Non-Blocking 구문은 여러 구문들이 동시에 평가된 후 할당된다.