3주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20211533 이름: 남정연

**1.**

FPGA에 전원을 연결한 뒤 USB 포트를 통해 컴퓨터와 연결한다. Vivado에서 Auto Connect 기능을 이용하여 FPGA를 인식시킨 뒤 생성한 Bitstream을 Program 시키면 FPGA 상에 Vivado에서 작성한 모듈이 업로드된다. Vivado에서 Bitstream을 만들기 전 Constraint에 사용할 input과 output 포트를 지정해주면 FPGA에서 해당 포트에 연결된 버튼이나 LED 등이 작동하게 된다.

**2.** A picture containing diagram

Description automatically generated

Input a, b, c와 Output d, e에 대하여 d = a AND b, e = (a AND b) AND c이다.

진리표는 아래와 같다.

In a / In b / In c / Out d / Out e

0 / 0 / 0 / 0 / 0

0 / 0 / 1 / 0 / 0

0 / 1 / 0 / 0 / 0

0 / 1 / 1 / 0 / 0

1 / 0 / 0 / 0 / 0

1 / 0 / 1 / 0 / 0

1 / 1 / 0 / 1 / 0

1 / 1 / 1 / 0 / 1

**3.**Chart

Description automatically generated

Input a, b, c, d와 Output e, f, g에 대하여 e = a AND b, f = (a AND b) AND c, g = ((a AND b) AND c) AND d 이다.

진리표는 아래와 같다.

In a / In b / In c / In d / Out e / Out f / Out g

0 / 0 / 0 / 0 / 0 / 0 / 0

0 / 0 / 0 / 1 / 0 / 0 / 0

0 / 0 / 1 / 0 / 0 / 0 / 0

0 / 0 / 1 / 1 / 0 / 0 / 0

0 / 1 / 0 / 0 / 0 / 0 / 0

0 / 1 / 0 / 1 / 0 / 0 / 0

0 / 1 / 1 / 0 / 0 / 0 / 0

0 / 1 / 1 / 1 / 0 / 0 / 0

1 / 0 / 0 / 0 / 0 / 0 / 0

1 / 0 / 0 / 1 / 0 / 0 / 0

1 / 0 / 1 / 0 / 0 / 0 / 0

1 / 0 / 1 / 1 / 0 / 0 / 0

1 / 1 / 0 / 0 / 1 / 0 / 0

1 / 1 / 0 / 1 / 1 / 0 / 0

1 / 1 / 1 / 0 / 1 / 1 / 0

1 / 1 / 1 / 1 / 1 / 1 / 1

**4.**

A picture containing diagram

Description automatically generated

Input a, b, c와 Output d, e에 대하여 d = a OR b, e = (a OR b) OR c이다.

진리표는 아래와 같다.

In a / In b / In c / Out d / Out e

0 / 0 / 0 / 0 / 0

0 / 0 / 1 / 0 / 1

0 / 1 / 0 / 1 / 1

0 / 1 / 1 / 1 / 1

1 / 0 / 0 / 1 / 1

1 / 0 / 1 / 1 / 1

1 / 1 / 0 / 1 / 1

1 / 1 / 1 / 1 / 1

**3.**

Chart

Description automatically generated

Input a, b, c, d와 Output e, f, g에 대하여 e = a OR b, f = (a OR b) OR c, g = ((a OR b) OR c) OR d 이다.

진리표는 아래와 같다.

In a / In b / In c / In d / Out e / Out f / Out g

0 / 0 / 0 / 0 / 0 / 0 / 0

0 / 0 / 0 / 1 / 0 / 0 / 1

0 / 0 / 1 / 0 / 0 / 1 / 1

0 / 0 / 1 / 1 / 0 / 1 / 1

0 / 1 / 0 / 0 / 1 / 1 / 1

0 / 1 / 0 / 1 / 1 / 1 / 1

0 / 1 / 1 / 0 / 1 / 1 / 1

0 / 1 / 1 / 1 / 1 / 1 / 1

1 / 0 / 0 / 0 / 1 / 1 / 1

1 / 0 / 0 / 1 / 1 / 1 / 1

1 / 0 / 1 / 0 / 1 / 1 / 1

1 / 0 / 1 / 1 / 1 / 1 / 1

1 / 1 / 0 / 0 / 1 / 1 / 1

1 / 1 / 0 / 1 / 1 / 1 / 1

1 / 1 / 1 / 0 / 1 / 1 / 1

1 / 1 / 1 / 1 / 1 / 1 / 1

**6.**

각 input들을 1과 2의 배수만큼 반전시켜 케이스들을 생성하였다. 각 실험에 대해 올바른 케이스들이 생성이 되었고, 각 케이스들에 대해서 결과값(output)이 정확하게 나타났다.

**7.**

Vivado 상에서 Synthesis를 하게 되면 나타나는 Gate-level diagram에서는 각 input에 대해서 input buffer가, output에 대해서 output buffer가 나타난다. Buffer는 Inverter 2개(Not Gate 2개)로 이루어져 있어서, 게이트를 지나면 지날 수록 약해지는 전기 신호를 다시 증폭시켜주는 역할을 한다. Not Gate는 전기 신호의 반전을 일으키므로 Not Gate를 두 개 연결한 Buffer 게이트를 통과하게 되면 전기 신호의 값(level, 0 or 1)에는 변화가 없고 신호의 세기만 증폭된다.