

基于 CPLD 的 CCD 驱动电路的设计

陈智^{1,2} 邱跃洪¹ 张伯珩^{1,2}

(中国科学院西安光学精密机械研究所¹, 西安 710119; 中国科学院研究生院², 北京 100039)

摘要 采用一款帧转移型 CCD, 详细地介绍了该款 CCD 的驱动电路设计。选用复杂可编程逻辑器件 (CPLD) 作为硬件设计平台, 针对 Altera 公司的 EPM7160SLC84-10 进行适配, 实现了 CCD 驱动时序的设计。线性稳压器 LM117 实现了 CCD 偏置电压的设计。专用 CCD 时钟驱动芯片实现了 CCD 驱动电路的设计。设计的 CCD 驱动电路满足帧转移面阵 CCD 的各项驱动要求。

关键词 电荷耦合器件 (CCD) 驱动电路 复杂可编程逻辑阵列 (CPLD)

中图分类号 TN710.5; **文献标识码** A

随着航天技术的发展, 在航天器姿态高精度测量、空间遥感和对地观测等领域, 高灵敏度、高信噪比的 CCD 相机得到了广泛应用, 这使得确保 CCD 相机能安全平稳工作的 CCD 芯片驱动电路的设计显得尤为重要。

CCD 的驱动电路主要由驱动时序产生电路、偏置电压产生电路和驱动器电路组成。CCD 驱动电路的发展主要是其驱动时序产生方法的不断更新。以往经常采用的驱动方法包括直接数字驱动方法, EPROM 驱动方法, IC 驱动方法和单片机驱动方法。前 3 种方法基本偏重硬件的实现, 调试困难, 灵活性较差。而后一种方法虽编程灵活, 但存在资源浪费较多、频率较低的缺陷^[1]。

随着可编程逻辑器件的发展, 使 CPLD 具有集成度高、速度快、可靠性好、硬件电路易于编程实现等特点。利用复杂可编程逻辑器件 CPLD 设计电子电路系统的最大优点是节省 PCB 面积, 更改方便, 只须将 CPLD 内部逻辑重新编程即可。^[2] 因此非常适合 CCD 驱动电路的设计、制作、调试和进一步开发、升级。现给出一个基于 CPLD 技术的面阵 CCD 驱动电路的完整的硬件设计。

1 CCD 的驱动时序

所用的 CCD 是一款具有 512 × 512 像素的帧转移型 CCD。它有四相感光区和存储区电极, 二相水平读出移位寄存器电极, 还有一个输出放大器。

1.1 CCD 的时序分析

由图 1 CCD 的结构图可知, 该 CCD 由三个区组成: 感光区、存储区和读出区。感光区和存储区各有 526 行, 包括 10 个光屏蔽行、512 个有用行和 4 个隔离行。该 CCD 需要 12 路驱动信号。包括感光区转移脉冲 P_i ($i = 1, 2, 3, 4$)、存储区转移脉冲 M_i ($i = 1, 2, 3, 4$)、存储区到水平读出移位寄存器转移脉冲 M 、水平读出移位寄存器转移脉冲 L_i ($i = 1, 2$)、读出放大器复位脉冲 R 。

由该款 CCD 的结构可知, CCD 的一个工作周期分为两个阶段: 感光阶段和高速转移阶段。感光阶段实现感光阵列的电荷积累、帧存储区到转移寄存器的电荷转移以及转移寄存器向输出放大器的电荷输出; 高速转移阶段主要完成感光阵列所积累的电荷向帧存储区的转移, 同时清空帧存储区的无效电荷^[3]。

在感光阶段, 感光阵列接受外界光源照射产生电荷, 感光区转移时钟 P_1 、 P_2 、 P_3 、 P_4 保持不变, 感光阵列和帧存储区之间为阻断态, 不会发生电荷转移现象; 同时, 存储区到读出区转移时钟 M

2007 年 2 月 1 日收到

第一作者简介: 陈智 (1978—), 女, 陕西西安人, 汉族, 中国科学院西安光学精密机械所在读博士研究生, 研究方向: 光电信号处理及 CCD 相机设计。E-mail: sandycz@vip.sina.com。

控制电荷从帧存储区转移到转移寄存器, 一个 M 脉冲对应帧存储区一行电荷转移到寄存器。行转移时, 互补读出区转移时钟 L_1 , L_2 保持不变, 无像元信号输出。在一个 M 脉冲结束后 (即一行信号转移结束后), 互补读出区转移时钟 L_1 , L_2 控制电荷从转移寄存器向输出放大器的输出。行转移时序图如图 2 所示。互补读出时钟的一个脉冲对应转移寄存器中的一个电荷 (即图像中某行电荷中的某列元素), 被转移的电荷输出到输出放大器, 在 VOS 管脚上产生输出信号电压。R 信号清除转移寄存器中的残余电荷, 它和互补读出时钟 L_1 , L_2 的关系如图 3 所示。

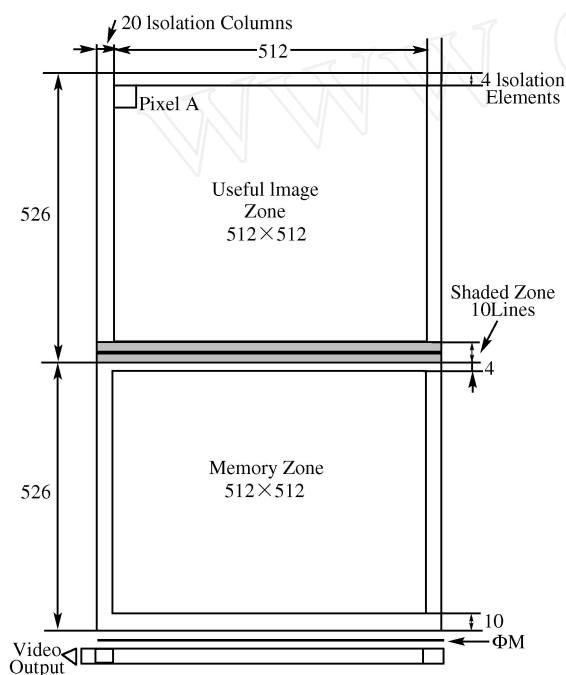


图 1 CCD 的结构图

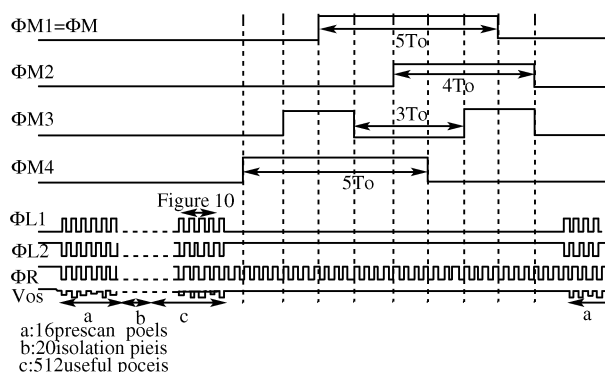


图 2 行转移时序图

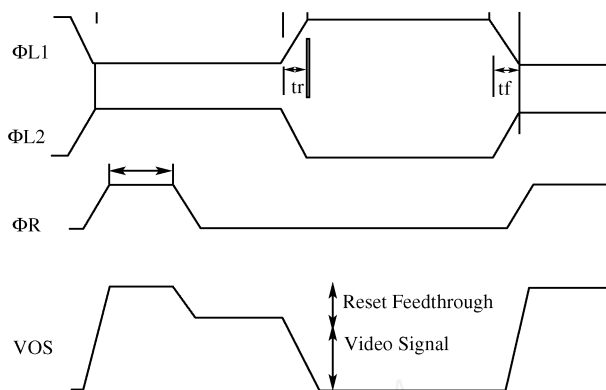


图 3 读出时钟与复位时钟的时序图

在高速转移阶段, 成像区时钟 P_1 、 P_2 、 P_3 、 P_4 时序与存储区时钟 M_1 、 M_2 、 M_3 、 M_4 时序相同, 且一直有效。如图 4 所示。

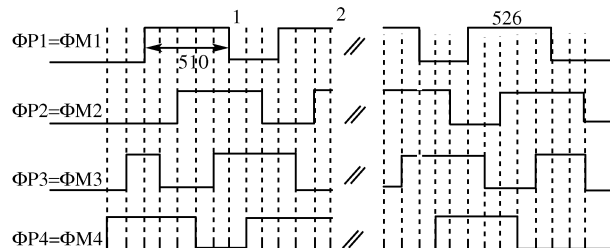


图 4 帧转移时序图

另外, 为了可靠读出, 系统在每行有效像元的前面设置了十六个预扫像元, 二十个隔离像元。

因此, 对于 512×512 阵列的 CCD 芯片来说, 至少需要 512 个 M 时钟脉冲完成一帧图像的转移, 而每一个 M 低电平至少需要 $(512 + 16 + 20 = 548)$ 个 L_1 , L_2 互补读出时钟脉冲完成一行图像的读取。

1.2 设计参数的确定

为了 CCD 能快速输出数据, 帧频定为 22 帧/s, 曝光时间为 43 ms。CCD 的驱动时钟的设置如表 1 所示。

1.3 CCD 驱动时序的 VHDL 描述

系统的驱动时序是在 Quartus 可编程逻辑集成开发环境下, 采用文本方式建立设计输入, 使用 VHDL 作为硬件描述语言, 对各路驱动信号波形进行描述的。

表 1 CCD 驱动时钟参数表

序 号	时钟名称	时钟功能	频率 /MHz	幅度 /V	偏置 /V
1	ϕP_1	感光区转移时钟	0.4375	15	- 12.5
2	ϕP_2	感光区转移时钟	0.4375	15	- 12.5
3	ϕP_3	感光区转移时钟	0.4375	15	- 12.5
4	ϕP_4	感光区转移时钟	0.4375	15	- 12.5
5	ϕM_1	存储区转移时钟	0.4375	15	- 12.5
6	ϕM_2	存储区转移时钟	0.4375	15	- 12.5
7	ϕM_3	存储区转移时钟	0.4375	15	- 12.5
8	ϕM_4	存储区转移时钟	0.4375	15	- 12.5
9	ϕM_5	存储区到读出区转移时钟	0.4375	15	- 12.5
10	ϕL_1	读出区转移时钟	7	15	- 12.5
11	ϕL_2	读出区转移时钟	7	15	- 12.5
12	ϕR	读出放大器复位时钟	7	10	6

程序首先在 ENTITY 内定义时序发生器的输入、输出端口 (如表 2 所示)。在随后的 ARCHITECTURE 中定义与端口对应的驱动信号以及产生这些信号所需要的辅助信号,并表述各路信号之间的逻辑关系^[4]。

表 2 驱动时序代码端口定义

输入端口	主时钟 (CLK) 端口
	CCD 感光区驱动信号 (TP1、TP2、TP3、TP4) 端口
输出 端口	CCD 驱动 存储区驱动信号 (TM1、TM2、TM3、TM4) 端口
驱动信号 端口	CCD 读出移位寄存器两相驱动信号 (TL1、TL2) 端口

为了节省 CPLD 器件资源,本设计采用多进程实现。由一个进程作为计数器,完整地计一个帧周期的时间,计数器通过信号向各个信号发生器发出启动命令,这些信号发生器就是在规定的时间内产生符合要求的信号,当一个信号发生器工作时另一个信号发生器输出为零。最后将两个信号发生器所产生的信号求和,就得到实际需要的 12 路驱动信号。程序的实现框图如图 5 所示。

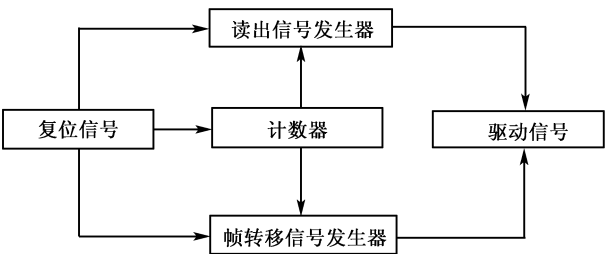


图 5 CCD 驱动时序信号产生框图

1.4 CCD 驱动时序的硬件实现与仿真

结合实际该设计选用 Altera 公司的 EPM7160SLC84 - 10。该器件具有 160 个可编程宏单元,均匀分配在 4 个逻辑阵列块内,可用门数目为 3 200 门,用户 I/O 数目为 104 引脚。引脚间的逻辑传输延时为 6ns,具有内置 JTAG BST (边界扫描测试) 电路,并可以通过 JTAG 口在线编程。

用 Quartus 编译器对设计项目编译后器件的资源利用情况如表 3 所示。

表 3 EPM7160SLC84 - 10 资源利用

Fitter Resource Usage Summary	
Resource	Usage
Logic cells	152 / 160 (95 %)
Registers	99 / 160 (61 %)
Number of ptems used	561
User inserted logic elements	0
I/O pins	
Clock pins	1 / 2 (50 %)
Dedicated input pins	0 / 2 (0 %)
Global signals	1
Shareable expanders	77 / 160 (48 %)
Parallel expanders	24 / 150 (16 %)
Cells using turbo bit	156 / 160 (97 %)
Maximum fan - out node	q[2]
Maximum fan - out	78
Total fan - out	2 049
Average fan - out	7.85

在 Quartus 可编程逻辑集成开发环境下,创建仿真波形文件,在设置信号持续时间和主时钟周期,即可进行仿真。仿真波形如图 6、图 7、图 8、图 9 所示。

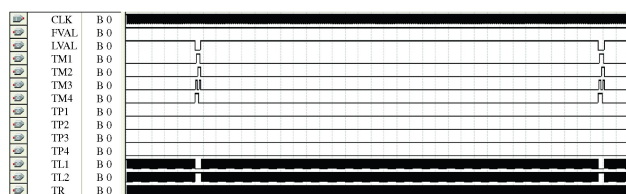


图 6 行转和读出时序

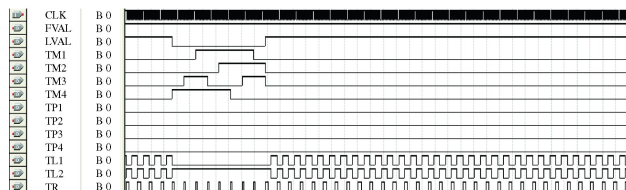


图 7 像元读出时序

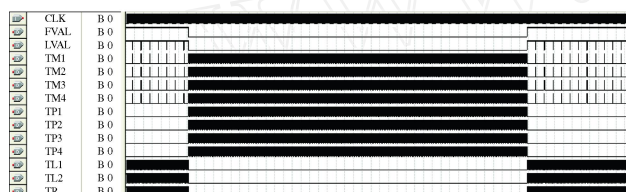


图 8 帧转移时序

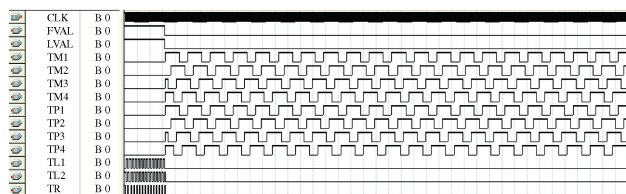


图 9 帧转移时序放大图

2 CCD 偏置电压

为了保证该款 CCD 能正常工作,共需要 4 路直流偏置电压信号。分别是 VDD (Output Amplifier Drain Supply) 18V, VDP (Protection Drain Bias) 5V, VDR (Reset DC Bias) 14V, VGS (Output Gate DC Bias) 3V。这些偏置电压 (直流电压) 可由国家半导体公司的 LM117 实现由 +28V 产生所需要的偏压。

3 CCD 的驱动电路

脉冲驱动电路是时序电路与 CCD 图像传感器之间的电子学接口,它把各路时序信号 TIL 电平转换成 CCD 正常工作所要求的幅度,增大驱动功率。

该款 CCD 芯片正常工作需要 12 路脉冲驱动信号。该 CCD 需要在短时间内产生最大 15V 左右的脉冲电压,它们的幅度变化范围最大为 15V。一般 CCD 驱动时钟都具有容性负载特性,要在如此短的时间内产生幅度 15V 的电压变化,而且是对较大的容性负载,显然要求驱动器具有极好的瞬态响应和大电流驱动能力。

选用 MOSFET 型高速双驱动器集成电路 MAX4426,它具有极高的驱动能力,可对较大的容性负载提供大的驱动电流,上升时间和下降时间比较匹配,时钟偏移量小,并且输入电容小、输出阻抗低、工作电压范围宽、静态功耗小以及抗干扰能力强。其原理图如图 10 所示。

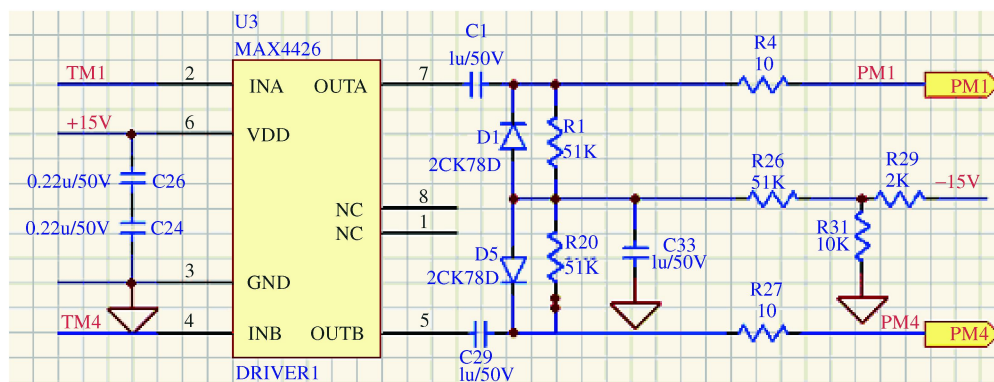


图 10 CCD 的驱动电路

(下转第 2971 页)

Simplified Method on the Calculation of Herringbone Antenna Structure Size

J I Hai-ming

(No. 22 Research Institute, China Electronics Technology, Xinxiang 453003, P. R. China)

[Abstract] A simplified method to calculate structure size of herringbone antenna is put forward. By analyzing stressed conditions of antenna in the plane of the vertical and the horizon, the simple mechanics method is used to calculate the length of the cable and the tail circuit of vibrator, and thus the data of antenna structure design and engineering application is supported. Tested by some practical projects, the method has proved efficient in most of analysis and calculation of cable structure.

[Key words] herringbone antenna structure size cable tail circuit of vibrator

(上接第 2967 页)

4 结论

此 CCD 的驱动电路设计满足了该 CCD 器件手册的性能要求, 可用来驱动这款 CCD。这样为用此 CCD 制作的航天用 CCD 相机做好了充分准备。

参 考 文 献

1 侯伯亨, 顾新. VHDL 硬件描述语言与数字逻辑电路设计. 西

安: 西安电子科技大学出版社, 1999

2 宋万杰, 罗丰, 吴顺君. CPLD 技术及其应用. 西安: 西安电子科技大学出版社, 1999

3 王军波, 孙振国, 陈强, 等. 高速 CCD 摄像机驱动时序发生器的设计及基于 CPLD 技术的实现. 光学技术, 2002; 128 (2): 132—134

4 张勇, 唐本奇等. 基于 CPLD 的 CCD 通用驱动电路设计方法. 核电子学与探测技术, 2005; 25 (2): 214—217

Designing CCD Driving Circuit Based on CPLD Technique

CHEN Zhi^{1,2}, Q U Yue-hong¹, ZHANG Bo-heng^{1,2}

(Xi'an Institute of Optics and Precision Mechanic of CAS¹, Xi'an 710068;

Graduate School of the Chinese Academy of Science², Beijing 100039, P. R. China)

[Abstract] According to frame transfer CCD, CCD driving circuit was detailed introduced. CCD driving schedule using the programmable logical device of the EPM7160SLC84-10 was designed. Bias voltage was designed by adjustable regulator LM117. CCD driving circuit was designed by specific driving chip. Designing of CCD driving circuit can meet the frame transfer CCD's demand.

[Key words] CCD driving circuit Complex programmable logical device (CPLD)