

4 结束语

通过在 PLC 中添加测试模块, 在操作面板上控制液压系统进行液压回路功能测试, 不但避免了在恶劣的现场环境中手工执行液压回路功能测试, 操作员在监控室即可完成液压回路功能测试, 同时测试数据记录在 PLC 的存储器中。而且在添加测量液压系统压力和流量的传感器后, 可以进一步扩展测试功能, 为液压回路功能测试提供更多的数据资料。●

参考文献

- [1] 廖常初. S7-300/400 PLC 应用技术. 机械工业出版社, 2005.
- [2] 西门子公司. SIMATIC S7-400 参考手册, 2004.
- [3] 西门子公司. SIMATIC STEP 7 V5.2 编程使用手册, 2003.
- [4] 西门子公司. SIMATIC HMI OP27/37 操作面板设备手册, 2003.

作者简介: 孟伟民 (1980-), 男, 河北人, 助理工程师, 主要研究方向: 计算机技术; 彭刚, 男, 工程师, 主要研究方向: 装备管理; 王洪义, 男, 工程师, 主要研究方向: 装备管理。

作者声明: 自愿将本文稿酬捐为“仪器仪表用户杂志爱心助学基金”

文章编号: 1671-1041(2006)03-0080-03

基于 CPLD 技术的 CCD 驱动电路的设计

郑贵林, 陈 思

(武汉大学 自动化系, 武汉 430072)

摘要: 本文介绍了一种基于 CPLD (复杂可编程逻辑器件) 技术的 CCD 驱动电路, 并以线阵 CCD (电荷耦合器件) μ PD3575D 为例, 探讨了该技术的特点和优势。结果表明: 该技术可以提高驱动电路的稳定性和工作频率, 有效利用了 CPLD 的内部资源, 具有较高的实用价值, 可借鉴适用于其他型号的 CCD。

关键词: CPLD; CCD; 驱动; 时序

中图分类号: TN79 文献标识码: B

CCD driving circuit design with CPLD technology

ZHENG Guilin, CHEN Si
(Dept. of Automation Engineering, Wuhan University, Wuhan 430072)

Abstract: This paper introduces a driving circuit of CCD with the CPLD (complex programmable logic device) technology. Taking the linear image sensor CCD (charge coupled device) μ PD3575D as an example, the advances and the features of this technology is elaborated. The experiment manifests that the circuit can not only ensure the stability of the system also enhance the work frequency and make efficient use of the inner resource of CPLD. The result can be proposed as a skill applied to CCD components of various models as well.

Key words: complex programmable logic device (CPLD); charge coupled device (CCD); Drive; Timing

1 引言

CCD 驱动时序的产生是 CCD 器件应用的关键技术之一, 常用的 CCD 驱动方法有直接数字电路驱动、EPROM 驱动、单片机驱动以及 CPLD 驱动等。前两种方法偏重硬件的实现, 调试困难, 灵活性较差; 单片机驱动虽然编程灵活, 但存在资源浪费较多、频率较低的欠缺。而用 CPLD 设计的 CCD 驱动电路具有体积小、功耗低、速度快、抗干扰强的特点, 可有效地减小电路的体积。由于 CPLD 支持在系统编程 (ISP), 设计完成后, 可随时修改 CPLD 的内部设计, 满足各种型号 CCD 的需要, 不需要修改与 CPLD 的外部连线, 有利于驱动电路的调试和升级。

2 时序要求

本文以 NEC 公司生产的线阵 CCD μ PD3575D 为例对该技术进行介绍。 μ PD3575D 是一种高灵敏度、低暗电流、1024 像元的内置采样保持电路和放大电路的线阵 CCD 图像传感器。该器件工作在 5V 驱动 (脉冲), 12V 电源条件下。芯片正常工作所需的四

路驱动信号分别为: 时钟 ϕ IO, 转移脉冲 ϕ TG, 复位时钟 ϕ RO 和采样保持时钟 ϕ SHO。各路驱动脉冲必须同时满足一定的时序关系: 复位时钟 ϕ RO 的相位落后于采样保持时钟 ϕ SHO, 且频率为时钟 ϕ IO 的两倍; 第 0 个时钟脉冲 ϕ IO 的宽度必须大于转移脉冲 ϕ TG 的宽度。驱动时序如图 1 所示。

驱动时序

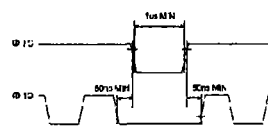
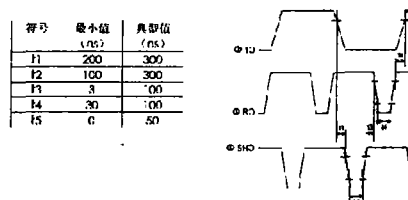


图 1 驱动时序图

3 驱动电路设计

四路脉冲的作用描述如下: 当被测目标的光信号通过光学系统在 CCD 光敏元上成像时, CCD 器件便将光信号转换成与光强成正比的电荷信号, 光敏阵列的两侧为转移栅和模拟移位寄存器, 在转移脉冲 ϕ TG 的作用下, MOS 电容中的电荷信号通过两侧的 CCD 转移栅转移到模拟移位寄存器中, 然后在时钟 ϕ IO 的作用下串行地从输出端口输出, 复位一次输出一个信号; 采样保持时钟 ϕ SHO 的作用是去掉输出信号中的幅值脉冲成分, 使输出脉冲的幅度直接反映像敏单元的照度。图 2 所示是典型的 CCD 驱动电路, CPLD 输出信号的高电平只有 3.3V, TC74HC04 可以将其提升到 5V, 以满足 CCD 对驱动信号电平的要求, 同时由于 TC74HC04 是一个非门转换器, 所以设计各路脉冲时, CPLD 输出都应该是反逻辑。

实现 CCD 驱动的关键是如何产生以上的四路波形 (ϕ IO, ϕ SHO, ϕ RO, ϕ TG)。对于 CCD 的驱动波形的实现, 采用了原理图和硬件语言相结合的设计输入方式实现。典型驱动电路如图 2 所示。

3.1 原理图输入

根据时序关系设计思路为: (1) 将输入频率为 f 的方波脉冲进行 2、4 分频, 得到频率为 $f/2$ 、 $f/4$ 的方波脉冲, 时钟 ϕ IO 的频率为 $f/4$ 。(2) 将 f 与 $f/2$ 的脉冲相与, 形成占空比为 1:3、频率为 $f/2$ 的采样保持脉冲 ϕ SHO。(3) 将采样保持脉冲 ϕ SHO 延

收稿日期: 2006-01-21

迟产生复位脉冲 ϕRO 。(4) 对时钟脉冲进行计数, 每达到预设值时产生一个 ϕTG 转移脉冲。 $\mu PD3575D$ 的有效单元为 1024, 加上虚设单元、暗信号和空驱动等共有 1260 个光电二极管, 由于该器件是两列并行分奇偶传输的, 所以一个 ϕTG 周期至少要有 630 个 ϕIO 脉冲。

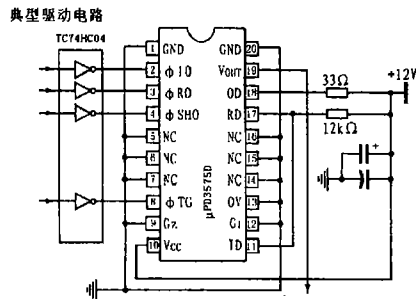


图2 典型驱动电路

图3是产生各路脉冲信号的原理图。分频器可以由 JK 触发器, D 触发器或者十六进制计数器 74LS161 构成。

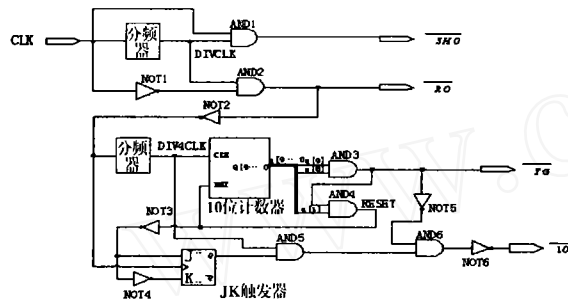


图3 驱动设计原理图

(1) 将 CLK 信号 (频率为 f_{CLK}) 2 分频得到 DIVCLK 信号 (频率为 f_{DIVCLK}), 可得:

$$f_{CLK} = 2f_{DIVCLK}$$

$$\phi SHO = CLK \cdot DIVCLK$$

$$\phi RO = CLK \cdot DIVCLK$$

复位脉冲 ϕRO 在相位上滞后于采样保持脉冲 ϕSHO 。

(2) 将复位脉冲 ϕRO 取反后再分频得到 DIV4CLK 信号 (频率为 $f_{DIV4CLK}$), 通过一个带有复位端的 10 位二进制计数器对该分频信号进行计数, 复位信号高电平有效。

$$f_{CLK} = 2f_{DIVCLK} = 4f_{DIV4CLK}$$

$$\phi TG = q[8] \cdot q[9]$$

$$RESET = q[8] \cdot q[9] \cdot q[1]$$

其中, $q(n)$ 表示计数器的第 n 位 ($n=0,1,\dots,9$)。只有当 $q[9]=q[8]=1$, 即计数到 768 (1100000000) 个 ϕIO 脉冲, ϕTG 跳变为 1。 ϕTG 高电平的宽度由与门 AND4 控制, 图3中 ϕTG 高电平的宽度为 3 个 ϕIO 周期。

(3) 由 JK 触发器的特性方程 $Q^{n+1} = \overline{J}Q^n + KQ^n$ 可知 J 端与 K 端输入相反的信号时, 其输出状态与 J 端状态相同。

$$J = RESET$$

$$K = RESET$$

$$\phi IO = Q \cdot DIV4CLK \cdot \phi TG = \overline{RESET} \cdot DIV4CLK \cdot \phi TG$$

当 $q[9] \neq 1$ 或 $q[8] \neq 1$ 时, $\phi IO = DIV4CLK$, 即频率为 $(1/4)f_{CLK}$ 的方波;

$$\text{当 } q[9]=q[8]=1, \text{ 且 } q[1] \neq 1 \text{ 时, } \phi IO=1, \phi TG=1;$$

$$\text{当 } q[9]=q[8]=q[1]=1 \text{ 时, 计数器复位, } \phi IO=1, \phi TG=0。$$

AND5, AND6 拉宽了第 0 个 ϕIO 信号高电平的宽度, 保证每一个积分周期内, 第 0 个时钟脉冲 ϕIO 的宽度大于转移脉冲 ϕTG 的宽度。

为了保证驱动信号间严格的相位关系, 驱动脉冲边沿需要错开微小的时间间隔, 如果用时钟来确定出这么小的时间间隔需要很高

频率的晶振。但晶振频率越高, 数字器件的功耗就越大, 其输出信号的毛刺就越多, 使得数字电路系统的可靠性和稳定性降低, 因此电路设计中总是希望尽可能的降低晶振频率。为解决上述矛盾, 可以在 CPLD 设计中采用门电路延时的方法, 用偶数个非门来控制两个输出脉冲信号之间的边沿间隔。实验表明, 这种方法可以非常有效地降低系统的时钟频率, 从而提高了系统的可靠性和稳定性。

3.2 VHDL 语言编写

原理图输入中的十位计数器用硬件描述语言 (VHDL) 来编写, 程序如下:

```
ARCHITECTURE asb OF COUNTER IS
BEGIN
PROCESS (clk)
VARIABLE tmp: STD_LOGIC_VECTOR (9 downto 0);
// 定义变量 tmp
BEGIN
IF (clk'EVENT AND clk='1') THEN // 上升沿有效
IF (rst='1' OR tmp="1111111111") THEN // 如果被复位或者溢出
tmp:="0000000000"; // 计数器清 0
ELSE
tmp:=tmp+1; // 否则加 1
END IF;
END IF;
q <= tmp;
END PROCESS;
END asb;
```

3.3 仿真结果

使用 ALTERA 公司的 MAX+plus II 软件进行仿真, 当输入信号为 2MHz 时, 由图 4 可知一个积分周期为 1.542ms, 每个积分周期内, 高电平宽度为 $6\mu s$ 。

图 5 为仿真结果局部放大图, ϕIO 频率为 0.5MHz, 每个积分周期内, 第 0 个脉冲的宽度为 $9\mu s$; 采样保持脉冲 ϕSHO , 复位脉冲 ϕRO 频率为 1MHz, 占空比为 1:3, 其中 ϕRO 比 ϕSHO 滞后 252ns。

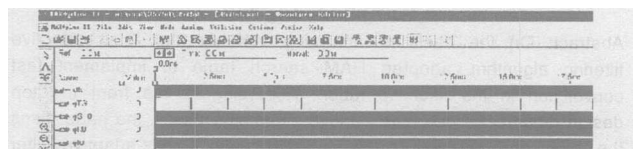


图4 仿真结果图

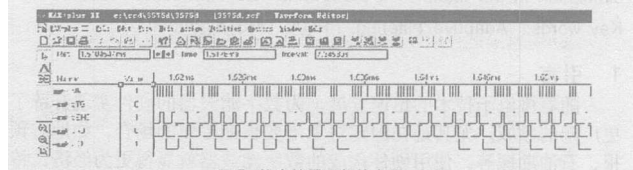


图5 仿真结果局部放大图

从仿真结果可看到, CPLD 输出的时钟脉冲、复位脉冲、采样保持脉冲和转移脉冲, 以及四者间的时序关系完全符合线阵 CCD 的要求。将源程序编译后下载到 MXA7000S 系列的 EPM7064SLC 44-10 芯片中, 对实际电路进行测量, 得到了与仿真结果完全相同的驱动脉冲; 并且该驱动电路在一个基于 CCD 的位移测量系统中驱动 CCD 正常工作, 表明了该设计完全可以作为线阵 CCD 的驱动电路来使用。

4 结论

本设计中对于 CCD 的驱动波形的实现, 采用了原理图和硬件语言相结合的设计输入方式, 实现 1MHz 的复位脉冲 ϕRO , 只需要 2M 的晶振和 EPM7064SLC44 芯片; 而文献 [5] 中基于 CPLD 技术的线阵 CCD 驱动电路设计, 实现 1MHz 的复位脉冲 ϕRO , 需要

用到 8MHz 的晶振和 EPM7128SLC84 芯片。该电路体积小、速度快、抗干扰能力强, 节省 CPLD 的内部资源, 系统的成本较低, 并且由于使用较低频率的晶振, 系统的功耗小。对于更高像元的线阵 CCD, 只需要对计数器部分稍做修改即可。所以本设计具有较高的实用价值, 可借鉴适用于其他型号的 CCD。●

参考文献

- [1] 王庆有, 孙学珠. CCD 应用技术 [M]. 天津大学出版社, 2000.
- [2] 赵曙光等. 可编程逻辑器件原理、开发与应用. 西安电子科技大学出版社, 2000.
- [3] 纪淑波, 刘晶等. μ PD3575D CCD 图像传感器的原理及应用. 国外电子元器件, 2005,(2)

外电子元器件, 2005,(2)

- [4] 蔡泽彬等. 基于 CPLD 技术的线阵 CCD 驱动电路设计. 空军雷达学院学报, 2004,(3)
- [5] 周慧鑫等. 红外 CCD 脉冲驱动电路的小型化研究. 计算机与信息技术, 2002,(9)

作者简介: 郑贵林 (1963.6-), 男, 博士, 武汉大学动力机械学院自动化系教授、博士生导师, 主要从事控制理论与工程、传感技术、机电一体化、汽车电子信息等方面的研究; 陈恩 (1981.4-), 女, 武汉大学动力机械学院自动化系硕士研究生在读, 研究方向: 传感技术、自动化测控理论及应用。

作者声明: 自愿将本文稿酬捐为“仪器仪表用户杂志爱心助学基金”

文章编号: 1671-1041(2006)03-0082-02

一种基于 FPGA 的自适应滤波器的设计

吴银凤, 温如春

(江西理工大学 机电工程学院, 赣州 341000)

摘要: 在分析了变步长自适应滤波算法的基础上, 采用基于 RAM 的查找表来实现滤波运算中的快速卷积。按照自顶向下的设计思想, 将自适应滤波器进行功能划分。采用硬件描述语言实现自适应滤波器的硬件设计, 并在 Maxplus II 平台对运算单元进行综合和功能仿真。

关键词: 自适应滤波器; FPGA; LMS 算法

中图分类号: TN713 文献标识码: B

Design of a kind of Adaptive Filtering Based on FPGA

WU Yin-feng, WEN Ru-chun

(School of Mechanical & Electrical Engineering, Jiangxi University of Science and Technology Ganzhou 341000)

Abstract: On the basis of analyzing variable step size adaptive filtering algorithm, adopted RAM search table to implement fast convolution in the filter operation. According to the from the top design thought, divides the adaptive filtering function, the paper uses the hardware description language to realize the adaptive filter hardware design, and carries on the synthesis and the function simulation in the Maxplus II platform to the arithmetical unit.

Key words: Adaptive Filtering, FPGA, LMS algorithm

1 引言

随着微电子技术的迅速发展, 为数字滤波器的硬件实现开辟了更广阔的领域。尤其是在固定对象需要长期工作的场合, 如地震预报、石油勘探等, 使用硬件构成的数字滤波器就显得更为经济; 特别是在一些对信号处理的实时性要求比较高、体积功耗有严格限制的场合, 使用硬件实现的数字滤波器更为广泛。本文介绍一种用 FPGA 实现的变步长自适应滤波器的硬件设计。

2 变步长自适应滤波算法

所谓自适应滤波器, 就是利用前一时刻已获得的滤波器参数等结果, 自动调节现时刻的滤波器参数, 以适应信号和噪声未知的或随时间变化的统计特性, 从而实现最优滤波。由 Widrow 和 Hoff 提出的最小均方误差 (LMS) 算法, 因其具有计算量小、易于实现等优点而在实践中被广泛采用。根据自适应滤波器的原理, LMS 算法迭代公式为:

$y(n) = X^T(n)W(n)$, $e(n) = d(n) - y(n)$, $W(n+1) = W(n) + 2\mu e(n)X(n)$, 其中 $X(n)$ 表示 n 时刻的输入信号矢量; $y(n)$ 为自适应滤波器的输出信号; $d(n)$ 定义了期望信号; $e(n)$ 表示 n 时刻的误差; $W(n)$ 表示 n 时刻的自适应滤波器的权值; μ 是控制稳定性和收敛速度的参量, 称之为步长。LMS 算法收敛的条件为: $0 < \mu < 1/\lambda_{\max}$, λ_{\max} 是输入信号自相关矩阵的最大特征值。

由于主输入端不可避免地存在干扰噪声, 自适应滤波算法将产生参数失调噪声, 减少步长因子 μ 可减少自适应滤波算法的稳态失调, 提高算法的收敛精度, 然而步长因子 μ 的减少将降低算法的收敛速度和跟踪速度。因此, 固定步长的自适应滤波算法在收敛速度、时变系统跟踪速度与收敛精度方面对算法调整步长 μ 的要求相互矛盾。为了克服这种矛盾, 人们提出多种变步长自适应算法。本文采用 VSS-LMS 的算法如下:

$y(n) = X^T(n)W(n)$, $e(n) = d(n) - y(n)$, $W(n+1) = W(n) + 2\mu(n)e(n)X(n)$

$\mu(n+1) = \alpha\mu(n) + \gamma e^2(n)$

当 $\mu(n+1) < \mu_{\min}$ 则 $\mu(n+1) = \mu_{\min}$, $\mu(n+1) > \mu_{\max}$ 则 $\mu(n+1) = \mu_{\max}$ 。一般选择接近标准 LMS 不稳定的步长点, 以提供最大的可能的收敛速度; 在稳定状况下, 根据所预期的失调水平和所要求的算法的跟踪能力作出一个合适的选择。其中, 参数 α 为步长的遗传因子, 主要决定算法的收敛时的步长值, γ 主要控制算法的跟踪速度。在实际中, α 、 γ 取值范围分别为 (0.95, 0.99) 和 (0.001)。

3 FIR 自适应滤波器的硬件设计

自适应滤波器包括可修改权系数的 FIR 滤波器和用于调节滤波器权系数使滤波器性能达到要求的自适应算法部分。图 1 中表示了对延迟线输入 $X(n)$ 的 LMS 算法实现。LMS 算法的每次迭代需要

