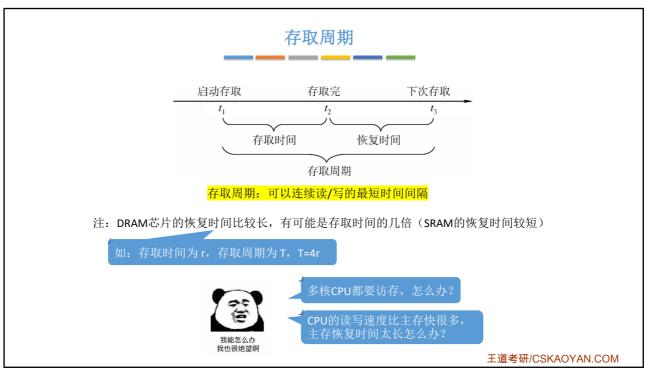
本节内容

双口RAM & 多模块存储器

王道考研/CSKAOYAN.COM

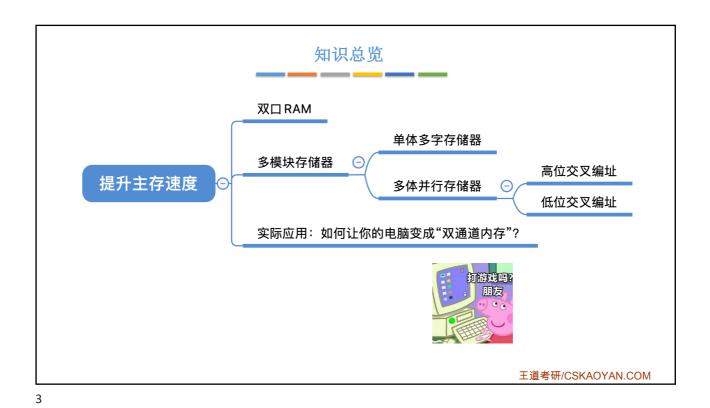
1



2

公众号:考研拼课₁ 配套课程请关注

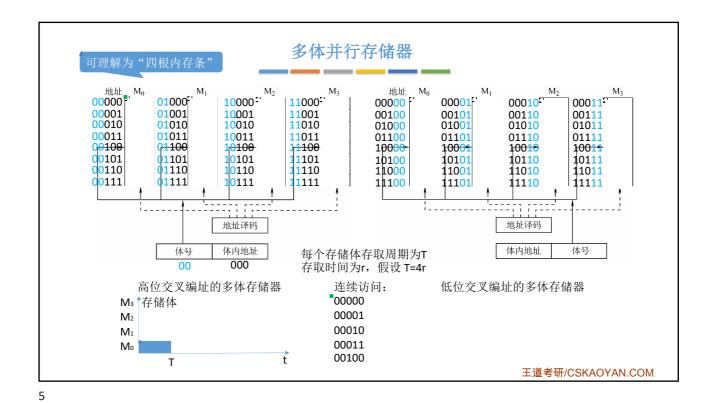
王道考 ",, 。,, 。,,



双端口RAM 作用:优化多核CPU访问一根内存条的速度 数据线 数据线 需要有两组完全独 立的数据线、地址 双端口 CPU_1 CPU_2 线、控制线。CPU、 地址线 地址线 RAM RAM中也要有更复 杂的控制电路 解决方法:置"忙"信号为0, 控制线 控制线 由判断逻辑决定暂时关闭一个 端口(即被延时),未被关闭 的端口正常访问,被关闭的端 口延长一个很短的时间段后再 访问。 两个端口对同一主存操作有以下4种情况: 1. 两个端口同时对不同的地址单元存取数据。 ☺ 2. 两个端口同时对同一地址单元读出数据。 3. 两个端口同时对同一地址单元写入数据。 ⊗写入错误 4. 两个端口同时对同一地址单元,一个写入数据,另一个读出数据。 ⊗读出错误 对比操作系统 "读者-写者问题" 王道考研/CSKAOYAN.COM

4

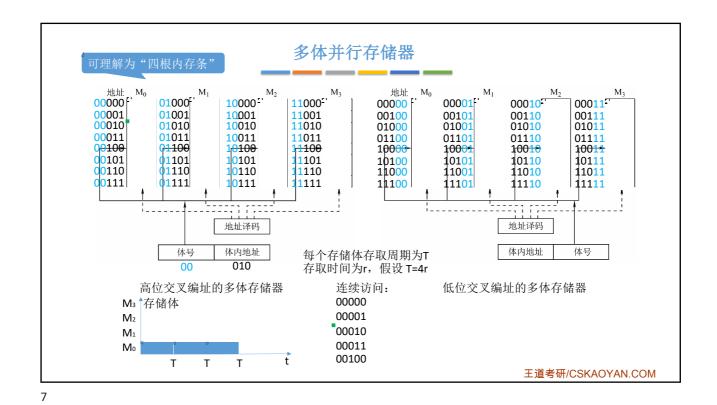
公众号:考研拼课。 配套课程请关注

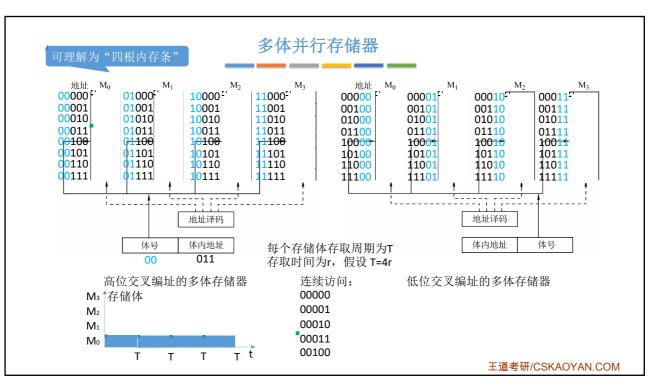


多体并行存储器 地址 M₀ 00001F M₁ 型址 M₀00000 f' 10000 T M2 11000^r M₃ 01000^r M₁ 001 0<mark>0100</mark> 01100 1<mark>0100</mark> 11100 11001 11000 11011 101 111<mark>01</mark> 地址译码 地址译码 体内地址 体内地址 体号 体号 每个存储体存取周期为T 存取时间为r, 假设 T=4r 高位交叉编址的多体存储器 连续访问: 低位交叉编址的多体存储器 M₃ †存储体 M₂ Мı Mο t Т 王道考研/CSKAOYAN.COM

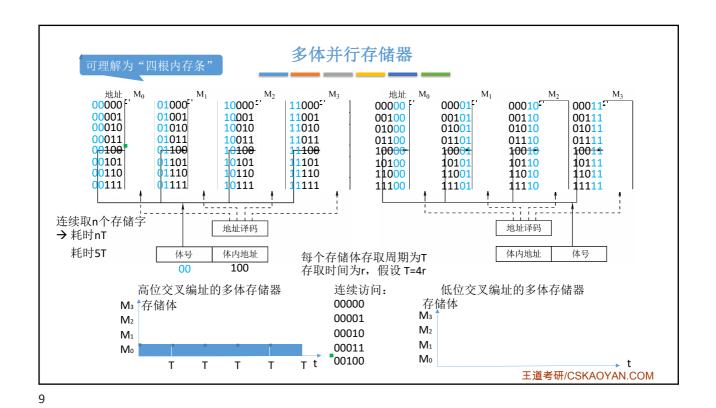
公众号:考研拼课 配套课程请关注

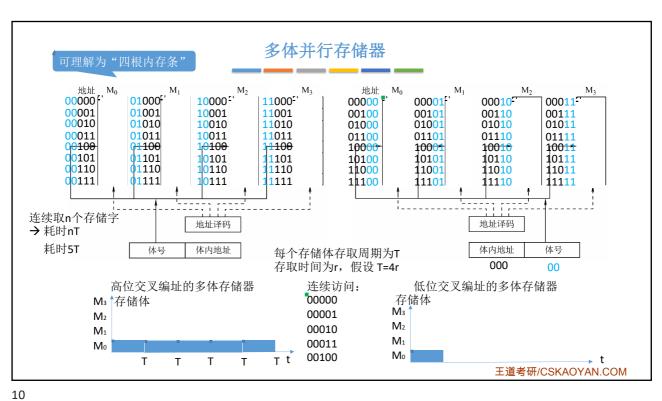
王道考 ",, 。,, 。,,



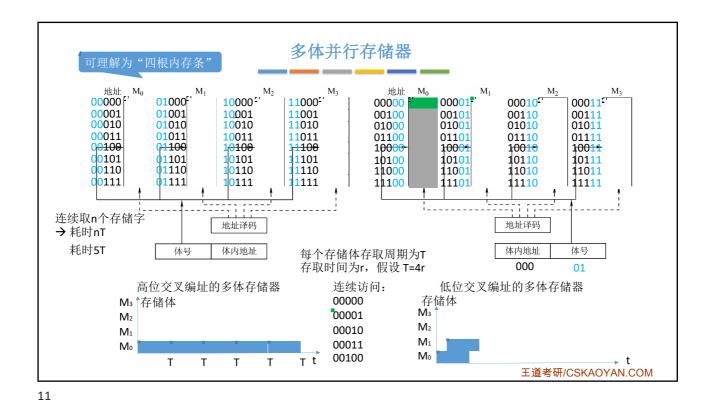


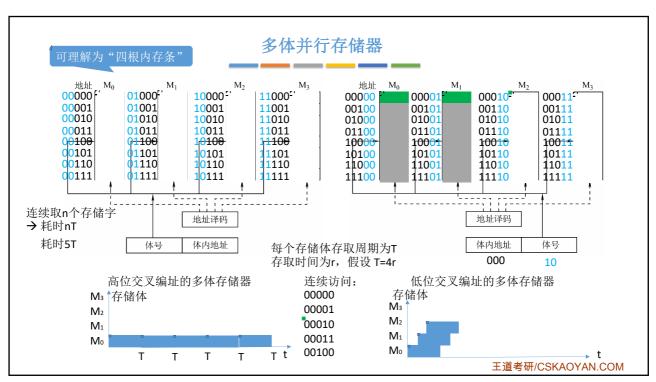
公众号:考研拼课, 配套课程请关注



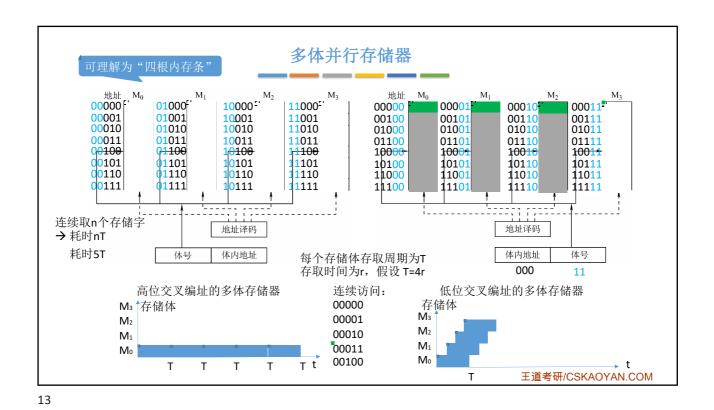


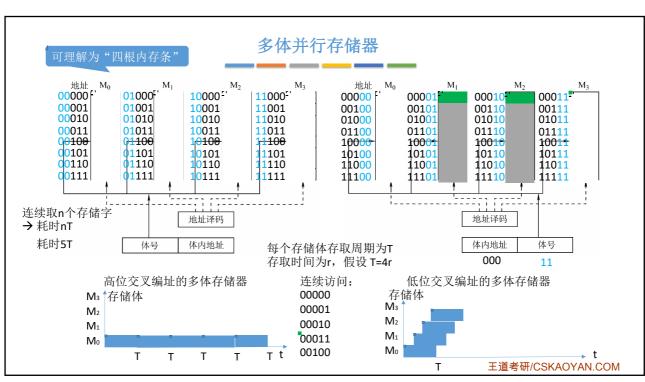
公众号:考研拼课, 配套课程请关注



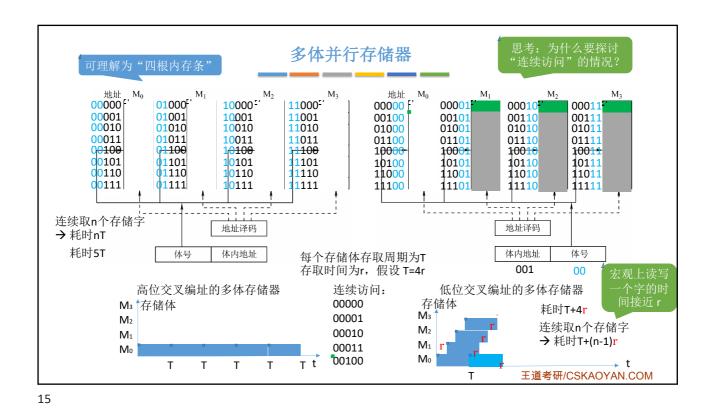


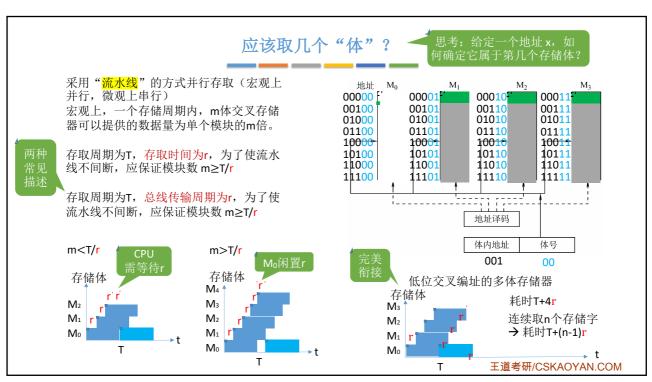
公众号:考研拼课 配套课程请关注



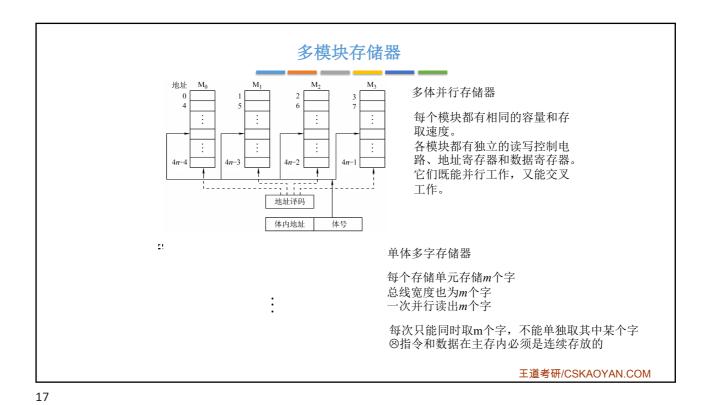


公众号: 考研拼课 配套课程请关注





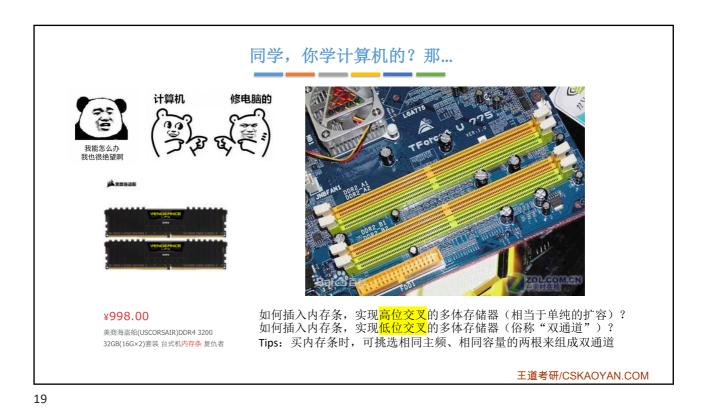
公众号:考研拼课。 配套课程请关注



本节回顾 ▶ 存取周期T=存取时间r + 恢复时间 支持两个CPU同时访问RAM 可同时读/写不同的存储单元;可同时读同一个存储单元;不能同时写(或者一读一写)同一个单元 双端口RAM 若发生"冲突",则发出"BUSY"信号,其中一个CPU的访问端口暂时关闭 提升主存速度 每次并行读出m个连续的字 单体多字 存储器 总线宽度也要扩展为m个字 多模块 存储器 理论上多个存储体可以被并行访问,但是由于通 常会连续访问,因此实际效果相当于单纯的扩容 高位交 叉编址 多体并行 存储器 Θ 当存储模块数 m≥T/r 时,可使流水线不间断 ► 低位交 叉编址 每个存储周期内可读写地址连续的m个字 微观上,m个模块被串行访问;宏观上, 每个存取周期内所有模块被并行访问 王道考研/CSKAOYAN.COM

18

公众号:考研拼课。 配套课程请关注





公众号:考研拼课。 配套课程请关注