

本节内容

SRAM
和
DRAM

王道考研/CSKAOYAN.COM

1

知识总览

DRAM 和 SRAM

存储元件不同导致的特性差异

DRAM的刷新

DRAM的地址线复用技术

Dynamic Random Access Memory, 即动态RAM

Static Random Access Memory, 即静态RAM

DRAM用于主存、SRAM用于Cache

高频考点: DRAM和SRAM的对比

王道考研/CSKAOYAN.COM

2

DRAM芯片

片选线: 读控制线: 写控制线:

控制电路

译码器

MAR

地址线

片选线

地址线

译码驱动

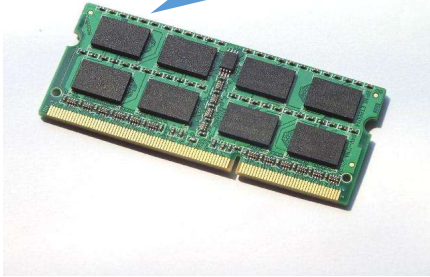
存储矩阵

读写电路

读/写控制线

数据线

DRAM芯片用于主存



DRAM芯片: 使用栅极电容存储信息

SRAM芯片: 使用双稳态触发器存储信息

核心区别: 存储元不一样

王道考研/CSKAOYAN.COM

3

栅极电容 V.S. 双稳态触发器

字选择线

数据线

栅极电容

存储元

1: 电容内存储了电荷

0: 电容内未存储电荷

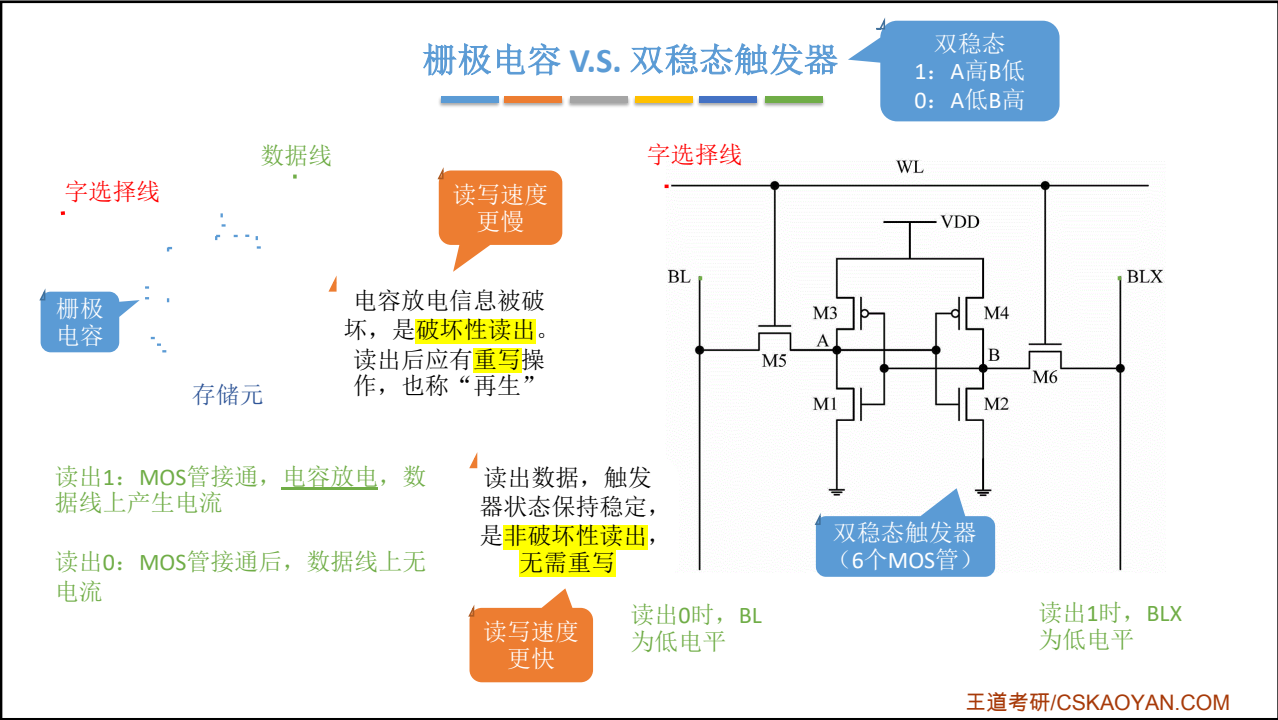
存储字

存储单元

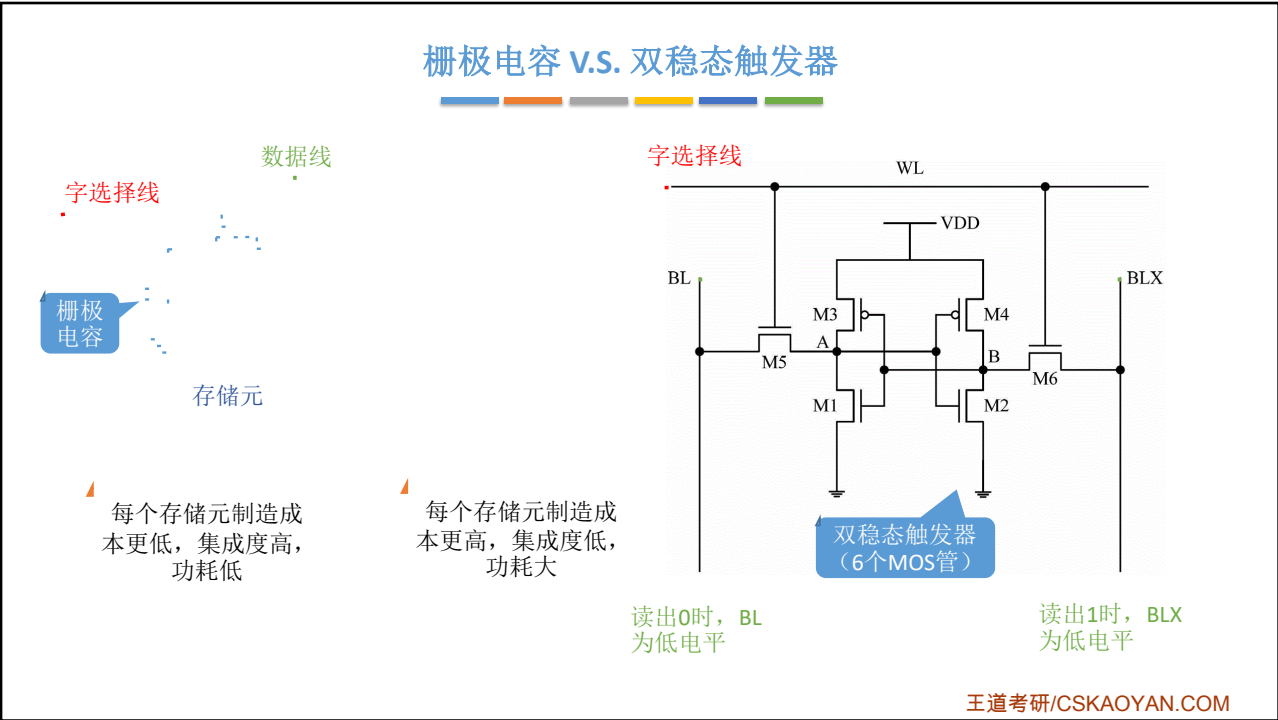
存储体

4

公众号：考研拼课
配套课程请关注



5



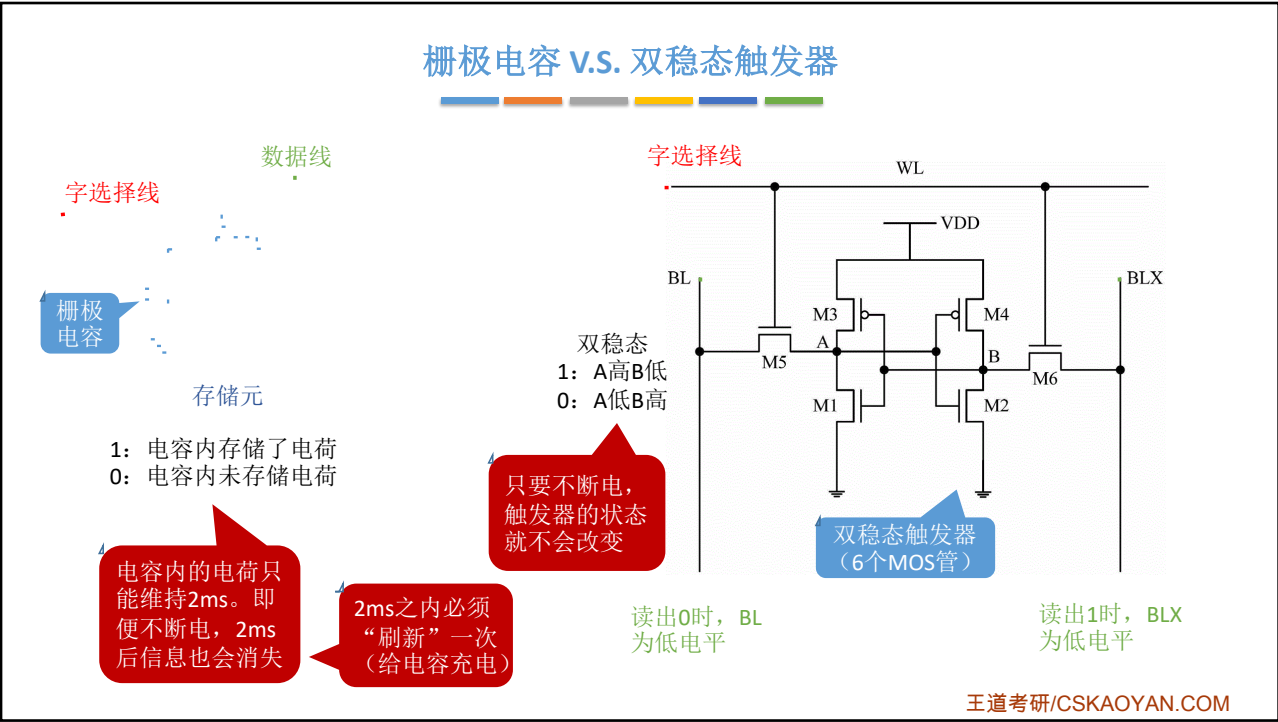
6

公众号：考研拼课
配套课程请关注

DRAM v.s SRAM		
	Static Random Access Memory	Dynamic Random Access Memory
类 型 特 点	SRAM（静态RAM）	DRAM（动态RAM）
存储信息	触发器	电容
破坏性读出	非	是
读出后需要重写？（再生）	不用	需要
运行速度	快	慢
集成度	低	高
发热量	大	小
存储成本	高	低
易失/非易失性存储器？	易失（断电后信息消失）	易失（断电后信息消失）
需要“刷新”？	不需要	需要
送行列地址	同时送	分两次送
	常用作Cache	常用作主存

王道考研/CSKAOYAN.COM

7



8

公众号：考研拼课
配套课程请关注

DRAM的刷新

1. 多久需要刷新一次？刷新周期：一般为2ms

2. 每次刷新多少存储单元？以行为单位，每次刷新一行存储单元

——为什么要用行列地址？

存储器的简单模型

存储单元排列成 $2^{n/2} \times 2^{n/2}$ 的矩阵

拆分为行列地址(DRAM行、列地址等长)

译码器

A_0
 \dots
 A_{n-1}

0号存储单元

1号存储单元

\vdots

$2^{n/2}-1$ 号存储单元

行地址译码器

$A_{n/2}$
 \dots
 A_n

(0,0)号存储单元

(0,1)号存储单元

\dots

(0, $2^{n/2}-1$)

(1,0)号存储单元

(1,1)号存储单元

\dots

(1, $2^{n/2}-1$)

\dots

($2^{n/2}-1,0$)号存储单元

($2^{n/2}-1,1$)号存储单元

\dots

($2^{n/2}-1,2^{n/2}-1$)

列地址译码器

$A_{n/2-1} \dots A_0$

王道考研/CSKAOYAN.COM

9

DRAM的刷新

1. 多久需要刷新一次？刷新周期：一般为2ms

2. 每次刷新多少存储单元？以行为单位，每次刷新一行存储单元

——为什么要用行列地址？减少选通线的数量

存储器的简单模型

地址：00000000

拆分为行列地址(DRAM行、列地址等长)

译码器

A_0
 \dots
 A_{n-1}

0号存储单元

1号存储单元

\vdots

$2^{n/2}-1$ 号存储单元

行地址译码器

$A_{n/2}$
 \dots
 A_n

0,0

0,1

\dots

0, $2^{n/2}-1$

1,0

1,1

\dots

1, $2^{n/2}-1$

\dots

$2^{n/2}-1,0$

$2^{n/2}-1,1$

\dots

$2^{n/2}-1,2^{n/2}-1$

列地址译码器

$A_{n/2-1} \dots A_0$

存储单元排列成 16×16 的矩阵

$2^{n/2} + 2^{n/2}$ 根选通线

如 $2^8=256$ 根选通线， $2^4+2^4=32$ 根选通线

王道考研/CSKAOYAN.COM

10

DRAM的刷新

1. 多久需要刷新一次？刷新周期：一般为2ms

2. 每次刷新多少存储单元？以行为单位，每次刷新一行存储单元

——为什么要用行列地址？减少选通线的数量

3. 如何刷新？有硬件支持，读出一行的信息后重新写入，占用1个读/写周期

4. 在什么时刻刷新？

存取周期

假设DRAM内部结构排列成128×128的形式，读/写周期0.5us

2ms共 2ms/0.5us = 4000 个周期

思路一：每次读写完都刷新一行

→系统的存取周期变为1us

前0.5us时间用于正常读写

后0.5us时间用于刷新某行

思路二：2ms内集中安排时间全部刷新

→系统的存取周期还是0.5us

有一段时间专门用于刷新，无法访问存储器，称为访存“死区”

思路三：2ms内每行刷新1次即可

→2ms内需要产生128次刷新请求

每隔2ms/128 = 15.6us 一次

每15.6us内有0.5us的“死时间”

W 刷 W 刷

R 新 R 新

1us

分散刷新

W W W ... W 刷 刷

R R R ... R 新 新

3872个周期(1936us) 128个周期(64us)

集中刷新

W W ... W 刷 W W ... W 刷

R R ... R 新 R R ... R 新

15.6us

异步刷新

可在译码阶段刷新

王道考研/CSKAOYAN.COM

11

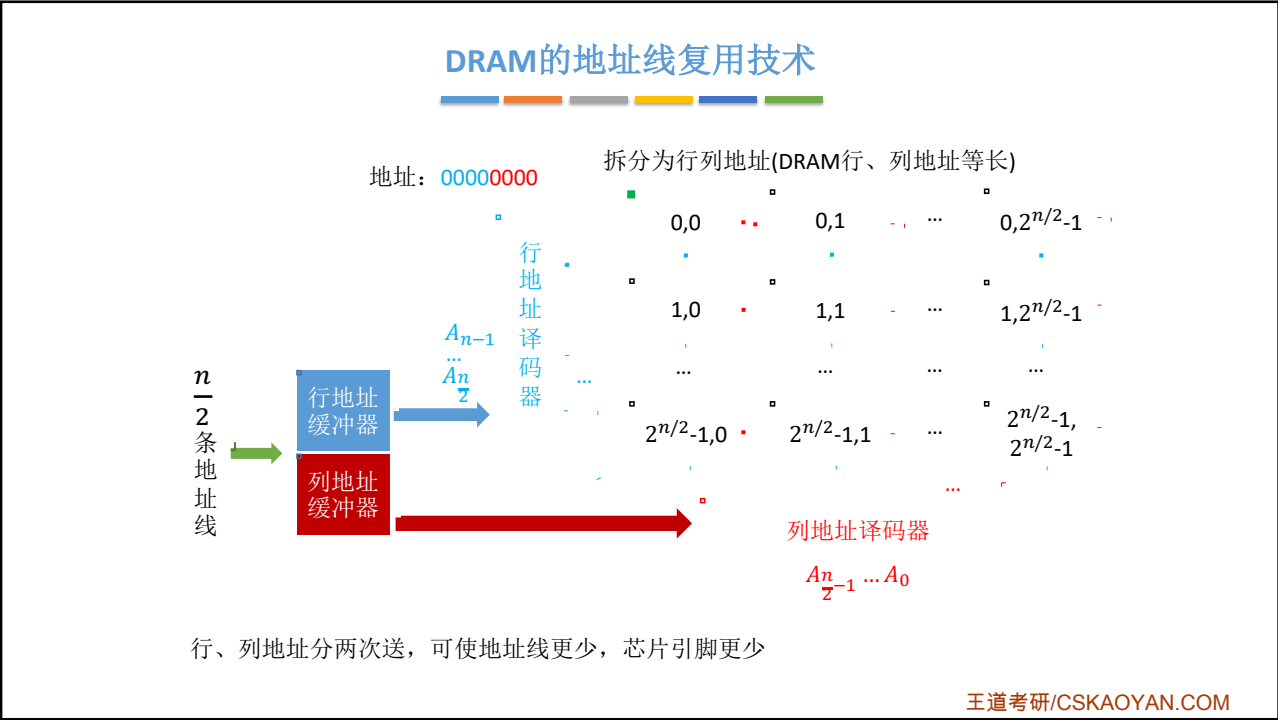
DRAM v.s SRAM		
	Static Random Access Memory	Dynamic Random Access Memory
类 型 特 点	SRAM（静态RAM）	DRAM（动态RAM）
存储信息	触发器	电容
破坏性读出	非	是
读出后需要重写？（再生）	不用	需要
运行速度	快	慢
集成度	低	高
发热量	大	小
存储成本	高	低
易失/非易失性存储器？	易失（断电后信息消失）	易失（断电后信息消失）
需要“刷新”？	不需要	需要
送行列地址	同时送	分两次送
	常用作Cache	常用作主存

王道考研/CSKAOYAN.COM

12

公众号：考研拼课6

配套课程请关注



13

本节回顾

	Static Random Access Memory	Dynamic Random Access Memory	
类 型 特 点	SRAM (静态RAM)	DRAM (动态RAM)	
存储信息	触发器	电容	现在的主存通常采用SDRAM芯片
破坏性读出	非	是	
读出后需要重写? (再生)	不用	需要	
运行速度	快	慢	
集成度	低	高	
发热量	大	小	
存储成本	高	低	
易失/非易失性存储器?	易失 (断电后信息消失)	易失 (断电后信息消失)	“刷新”由存储器独立完成, 不需要CPU控制
需要“刷新”?	不需要	需要 (分散、集中、异步)	
送行列地址	同时送	分两次送 (地址线复用技术)	导致地址线、地址引脚减半
	常用作Cache	常用作主存	

王道考研/CSKAOYAN.COM

14

公众号：考研拼课
配套课程请关注