

本节内容

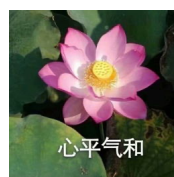
算术逻辑 单元

加法器、ALU的
改进

王道考研/CSKAOYAN.COM

1

本节总览



王道考研/CSKAOYAN.COM

2

串行进位的并行加法器

串行进位的并行加法器：把n个全加器串接起来，就可进行两个n位数的相加。

串行进位又称为行波进位，每一级进位直接依赖于前一级的进位，即进位信号是逐级形成的。

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$
$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

王道考研/CSKAOYAN.COM

3

如何更快的产生进位？

禁止套娃

$$C_i = A_i B_i + (A_i \oplus B_i) C_{i-1}$$
$$C_i = A_i B_i + (A_i \oplus B_i) (A_{i-1} B_{i-1} + (A_{i-1} \oplus B_{i-1}) C_{i-2})$$
$$C_i = A_i B_i + (A_i \oplus B_i) (A_{i-1} B_{i-1} + (A_{i-1} \oplus B_{i-1}) (A_{i-2} B_{i-2} + (A_{i-2} \oplus B_{i-2}) C_{i-3}))$$

.....

终有一天可以展开到 C_0

记：

$$G_i = A_i B_i$$
$$P_i = A_i \oplus B_i$$

刚开始就有的信息

结论：第 i 位向更高位的进位 C_i 可根据 被加数、加数的第 1~i 位, 再结合 C_0 即可确定

王道考研/CSKAOYAN.COM

4

公众号：考研拼课
配套课程请关注

并行加法器的优化

由4个FA和一些新的线路、运算逻辑组成

并行进位的并行加法器：各级进位信号同时形成，又称为先行进位、同时进位

$G_i = A_i B_i$ $P_i = A_i \oplus B_i$
 $C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} = G_i + P_i C_{i-1}$
 $C_1 = G_1 + P_1 C_0$
 $C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 C_0$
 $C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$
 $C_4 = G_4 + P_4 C_3 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$
.....
继续套娃会导致电路越来越复杂

王道考研/CSKAOYAN.COM

5

并行加法器的优化

单级先行进位方式，又称为组内并行、组间串行进位方式。

相当于输入了 $G_1 \sim G_4, P_1 \sim P_4$

组内进位信号：
 $C_1 = G_1 + P_1 C_0$
 $C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 C_0$
 $C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$
 $C_4 = G_4 + P_4 C_3 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$

组内进位可
同时得出

组间进位信号：
 $C_4 = G_1^* + P_1^* C_0$
 $C_8 = G_2^* + P_2^* C_4 = G_2^* + P_2^* G_1^* + P_2^* P_1^* C_0$
 $C_{12} = G_3^* + P_3^* C_8 = G_3^* + P_3^* G_2^* + P_3^* P_2^* G_1^* + P_3^* P_2^* P_1^* C_0$
 $C_{16} = G_4^* + P_4^* C_{12} = G_4^* + P_4^* G_3^* + P_4^* P_3^* G_2^* + P_4^* P_3^* P_2^* G_1^* + P_4^* P_3^* P_2^* P_1^* C_0$

核心特性：根据本组的 4×2 个输入位即可确定本组的 G_i^* 和 P_i^*

王道考研/CSKAOYAN.COM

6

并行加法器的优化

$S_{16} \sim S_1$

$C_4 \leftarrow 4\text{位CLA加法器} \leftarrow C_0$

$A_4 \sim A_1 \quad B_4 \sim B_1$

相当于输入了 $G_1 \sim G_4, P_1 \sim P_4$

单级先行进位方式，又称为组内并行、组间串行进位方式。

我佛了

$C_1 = G_1 + P_1 C_0$
 $C_2 = G_2 + P_2 C_1 = G_2 + P_2 G_1 + P_2 P_1 C_0$
 $C_3 = G_3 + P_3 C_2 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$
 $C_4 = G_4 + P_4 C_3 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$

$C_4 = G_1^* + P_1^* C_0$
 $C_8 = G_2^* + P_2^* C_4 = G_2^* + P_2^* G_1^* + P_2^* P_1^* C_0$
 $C_{12} = G_3^* + P_3^* G_2^* + P_3^* P_2^* G_1^* + P_3^* P_2^* P_1^* C_0$
 $C_{16} = G_4^* + P_4^* G_3^* + P_4^* P_3^* G_2^* + P_4^* P_3^* P_2^* G_1^* + P_4^* P_3^* P_2^* P_1^* C_0$

多级先行进位方式，又称为组内并行、组间并行进位方式

王道考研/CSKAOYAN.COM

7

ALU芯片的优化

心平气和

16位的组内并行、组间串行进位ALU

16位的组内并行、组间并行进位ALU

王道考研/CSKAOYAN.COM

8

本节回顾



串行加法器→串行进位的并行加法器→组内并行、组间串行进位的加法器→组内并行、组间并行进位的加法器

王道考研/CSKAOYAN.COM