课程名称：数字逻辑实验 年级：18级 上机实践成绩：

指导老师：陈伟婷 姓名：谢建福 上机实践日期：2018/12/3

实践编号：实验三 学号：10185101252 上机实践时间：1.5学时

1. **实验目的**
2. 掌握中规模器件——数据选择器、数据分配器的特性及使用方法。
3. 熟悉用数据选择器、数据分配器设计组合逻辑电路，并验证其逻辑功能
4. **实验原理**

1.数据选择器

数据选择器又称作"多路开关"，其功能是从多个数据通道中选择一个通道的数据(数字信息)传输到输出端。按输入数据通道的多少，可分为二位数据选择器、四位数据选择器、八位数据选择器。

2.数据分配器

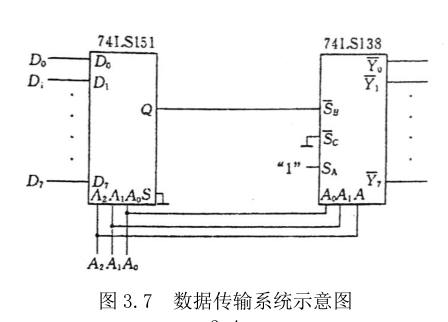
数据分配器是实现与数据选择器逆过程的中规模功能器件，其功能是将同一条线路送来的信息 F 分配到相应的输出端。

1. **实验内容及步骤**

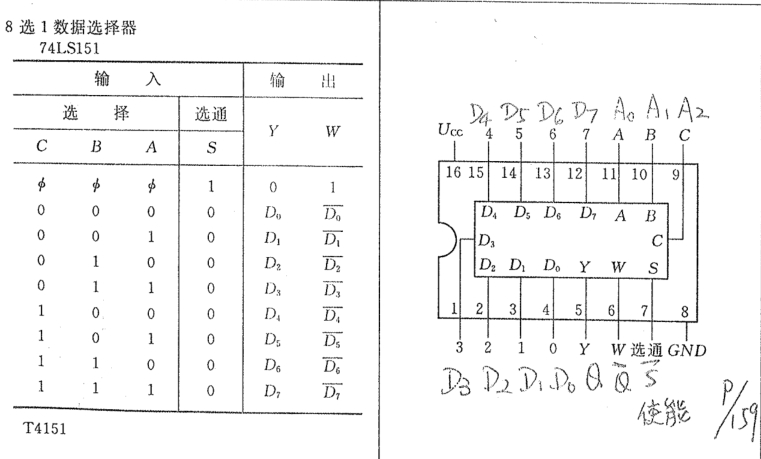
(1)测试八选一数据选择器 74LS151 的逻辑功能。

(2)用 1 片八选一数据选择器 74LS151 加必要的门电路实现函数Q=ABC+AC’DF+B’CD+BCD’F+C’D’F’+CDF’,并用实验验证。

(3)用数据选择器和数据分配器(译码器)组成的信号传输系统如图 3.7 所示。当输入信号为 10010100 时(高位在前)，数据开关控制地址选择信号逐次递增，记录输出信息并填入表 3.4 中。



1. **理论计算，实验结果及分析**

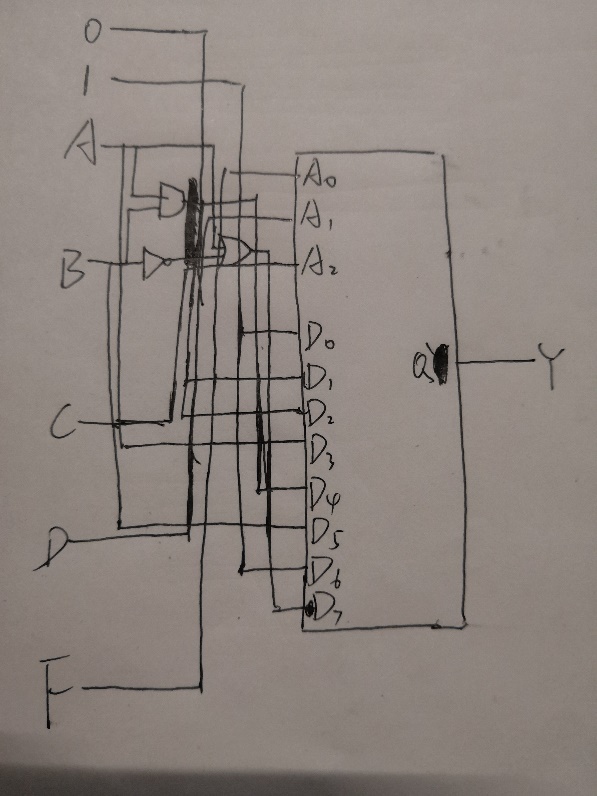


经实验验证，与上图符合。

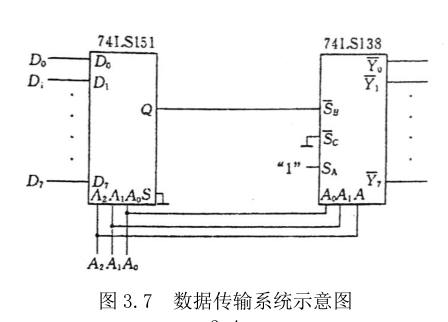
(2)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| AB CDF | 000 | 001 | 011 | 010 | 110 | 111 | 101 | 100 |
| 00 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 |
| 01 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |

D0=1, D1=0, D2=0, D3=A, D4=AB, D5=B, D6=1, D7=A+B’



(3)



|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 输入 | | | 输出 | | | | | | | |
| A2 | A1 | A0 | Y7’ | Y6’ | Y5’ | Y4’ | Y3’ | Y2’ | Y1’ | Y0’ |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

当输入信号为10010100时，该组合逻辑电路相当于解码器。

1. **心得体会**

**实验分析和对实验的心得体会自己对于实验的理解和存在的问题**

**对出现的问题进行分析，及问题是如何解决的**

当输入变量大于数据选择器的输入地址代码位数时，可以降维使用，挑出常用的几个变量作为输入地址代码，其余的几位通过门电路转换成Dn。