

# LR課題2

## クロックドコンパレータ & ラッチ

穂刈成晃、長谷川達也

アルバイト内容

## 2. クロックドコンパレータ&ラッチ

TOOL: 回路設計⇒Xschem、シミュレーション⇒NGSPICE

目標仕様: 判定速度: 10MHz

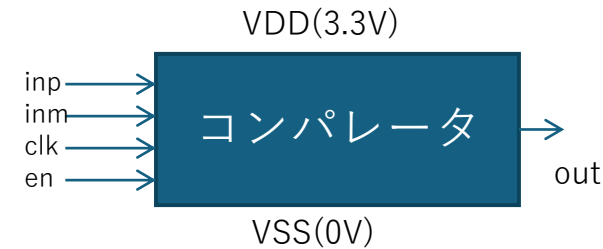
SPICEモデル: OSU035 (課題で使用したモデル)、抵抗とキャパシタは、R,CでOK

納期: 9月2日のWEB会議で説明

担当者: 長谷川さん、穂刈さん

質問事項は、DISCORDでお願いします。

不明点は、ChartGPTに聞いてもよいです。



### 【入力・出力信号情報】

VDD: 3.3V±10%

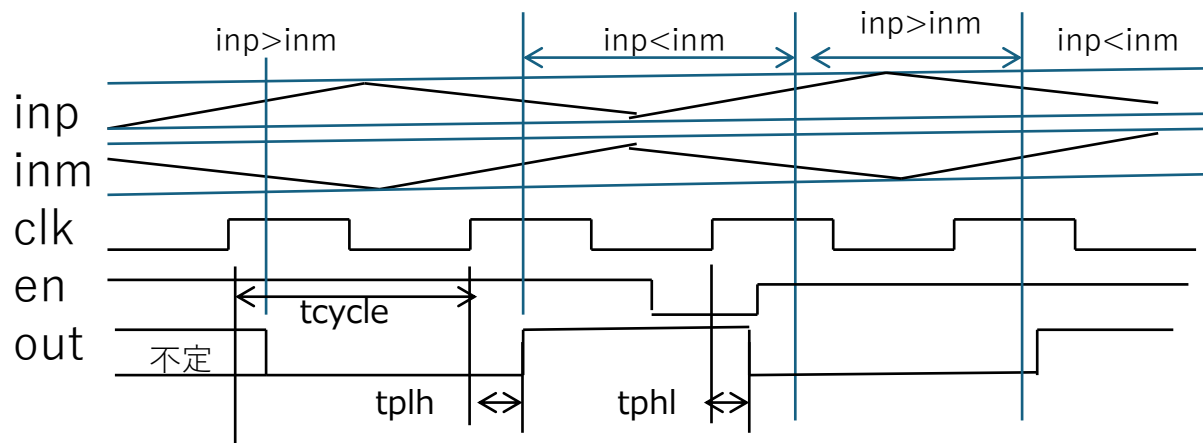
inp/inm: 0V~VDDのアナログ値

clk:  $V_{IL}=VDD \times 0.2$ ,  $V_{IH}=VDD \times 0.8$ ,  $t_{rise}=t_{fall}=1ns$ ,  $t_{cycle}=100ns$

en:  $V_{IL}=VDD \times 0.2$ ,  $V_{IH}=VDD \times 0.8$ ,  $t_{rise}=t_{fall}=1ns$ , 100KHz

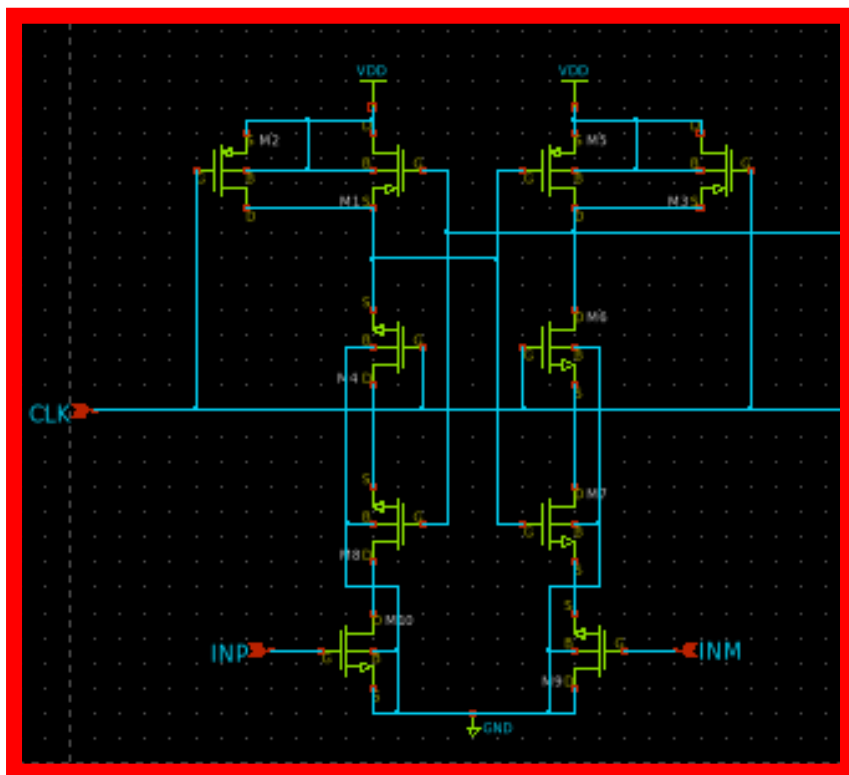
out:  $V_{OL}=VDD \times 0.2$ ,  $V_{OH}=VDD \times 0.6$ ,  $t_{plh}=10ns$ ,  $t_{phl}=10ns$

VSS: 0V

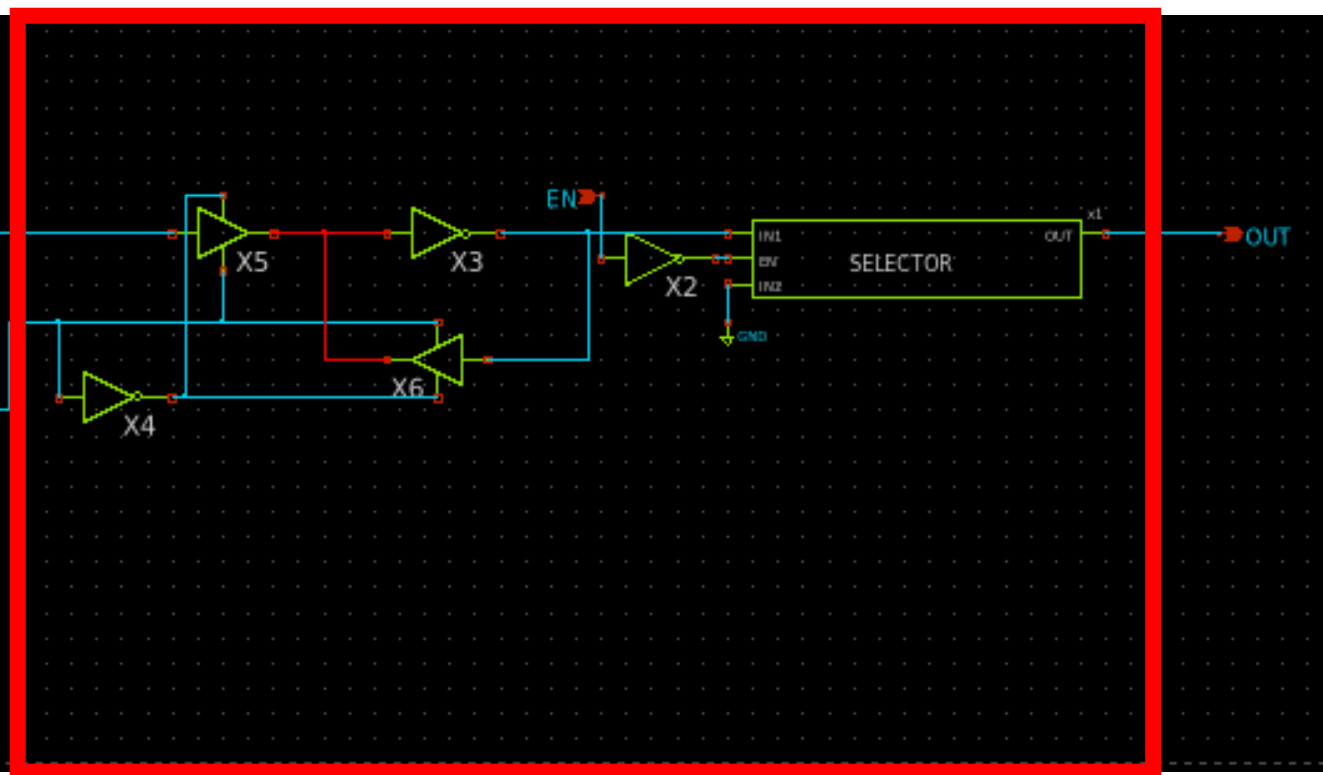


# 回路図

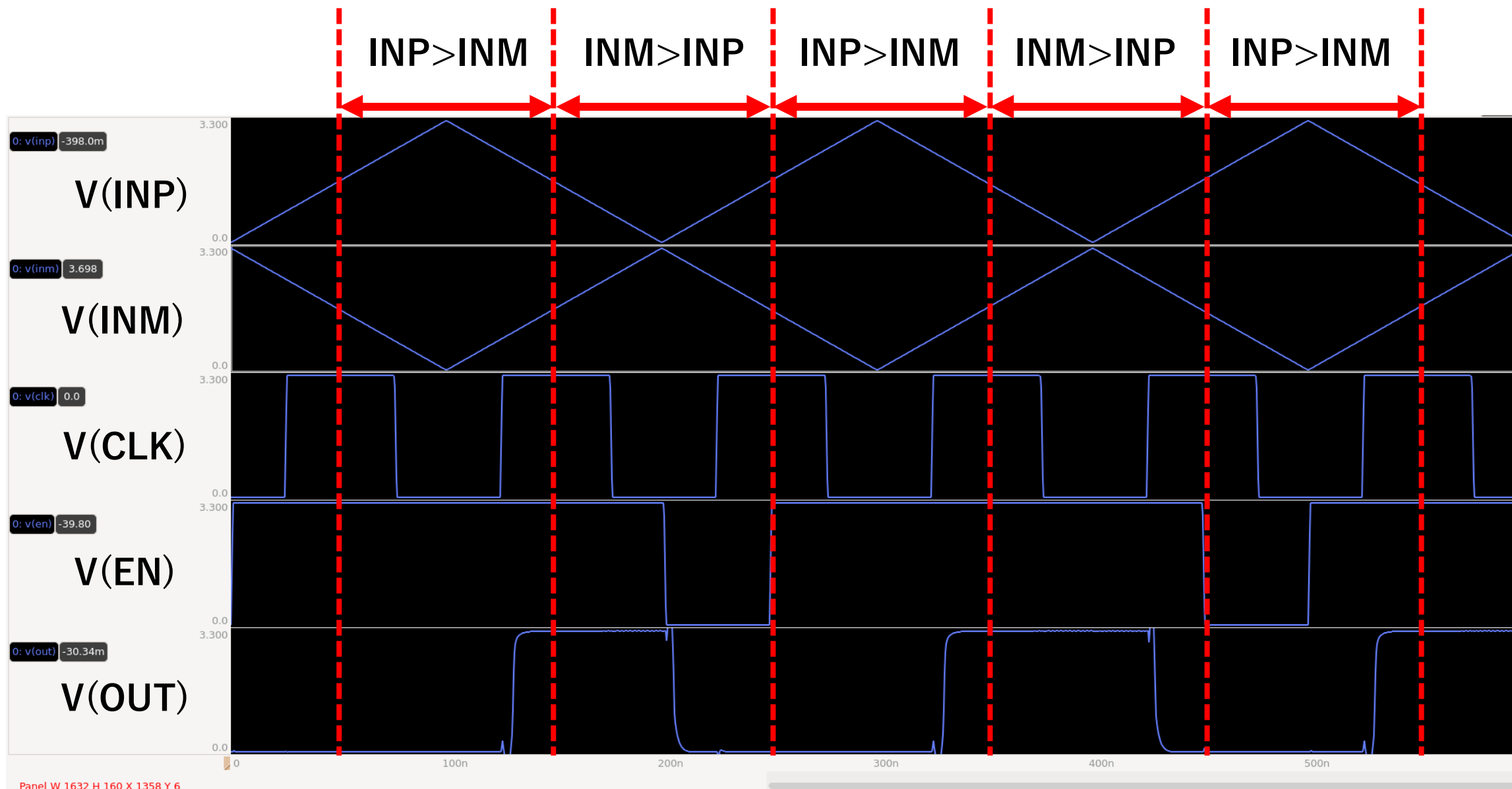
## コンパレータ



## ラッチ



# 波形



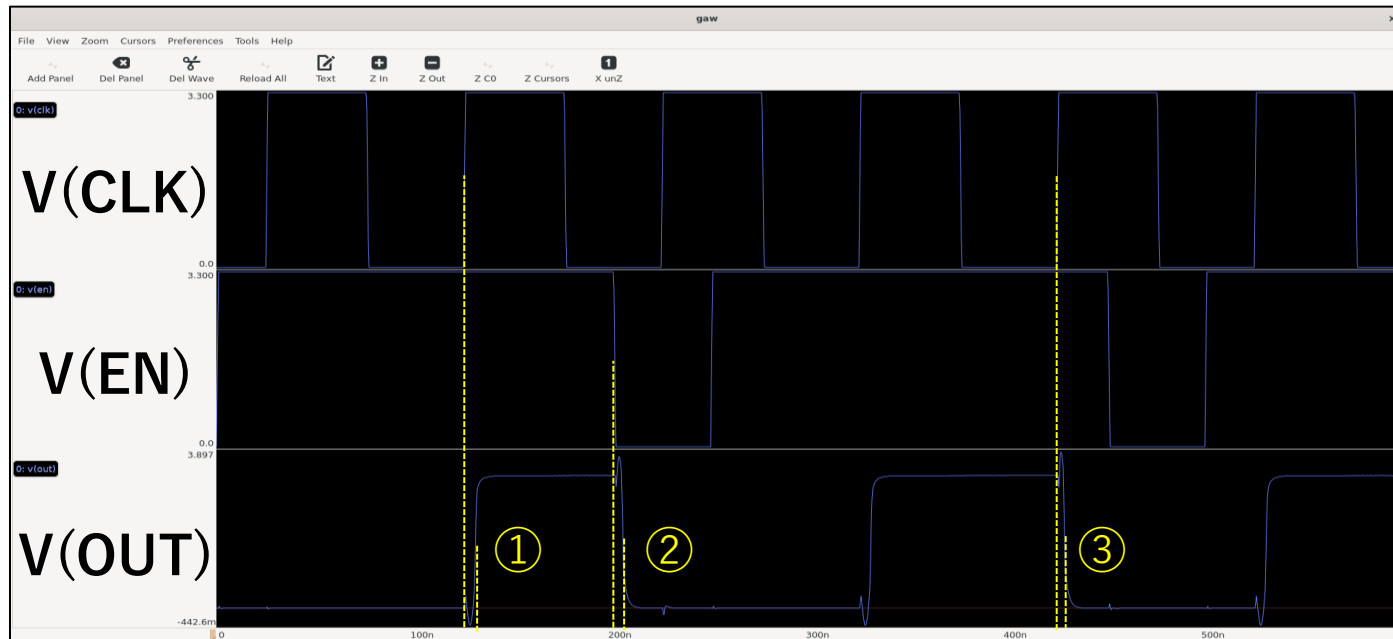
# OUTの遅延時間 (tphl, tplh)

## 【コマンド】

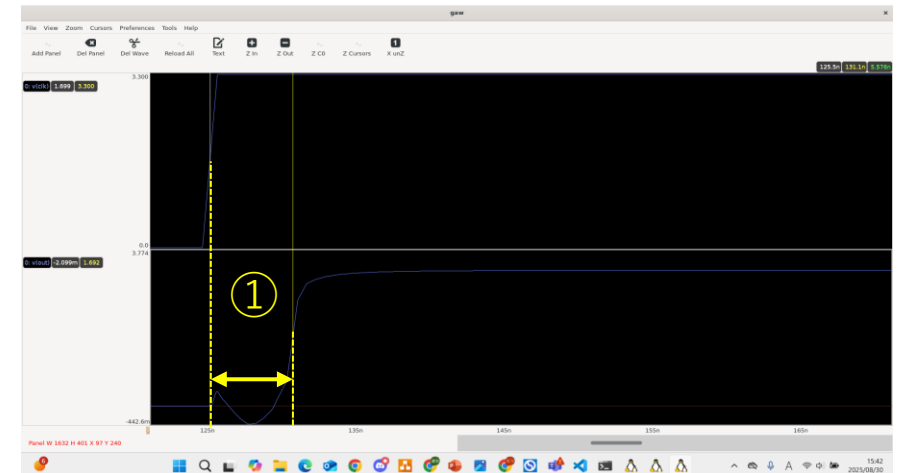
```
meas TRAN tplt TRIG CLK VAL=1.65 RISE=2 TARG OUT VAL=1.65 RISE=1  
meas TRAN tpltlen TRIG EN VAL=1.75 FALL=1 TARG OUT VAL=1.75 FALL=1  
meas TRAN tplt TRIG CLK VAL=1.65 RISE=5 TARG OUT VAL=1.65 FALL=2
```

## 【結果】

tplt	=	5.575086e-09	targ=	1.310751e-07	trig=	1.255000e-07
tpltlen	=	4.170615e-09	targ=	2.056403e-07	trig=	2.014697e-07
tplt	=	3.593426e-09	targ=	4.290934e-07	trig=	4.255000e-07



- ① 約 5.57ns
- ② 約 4.17ns
- ③ 約 3.59ns



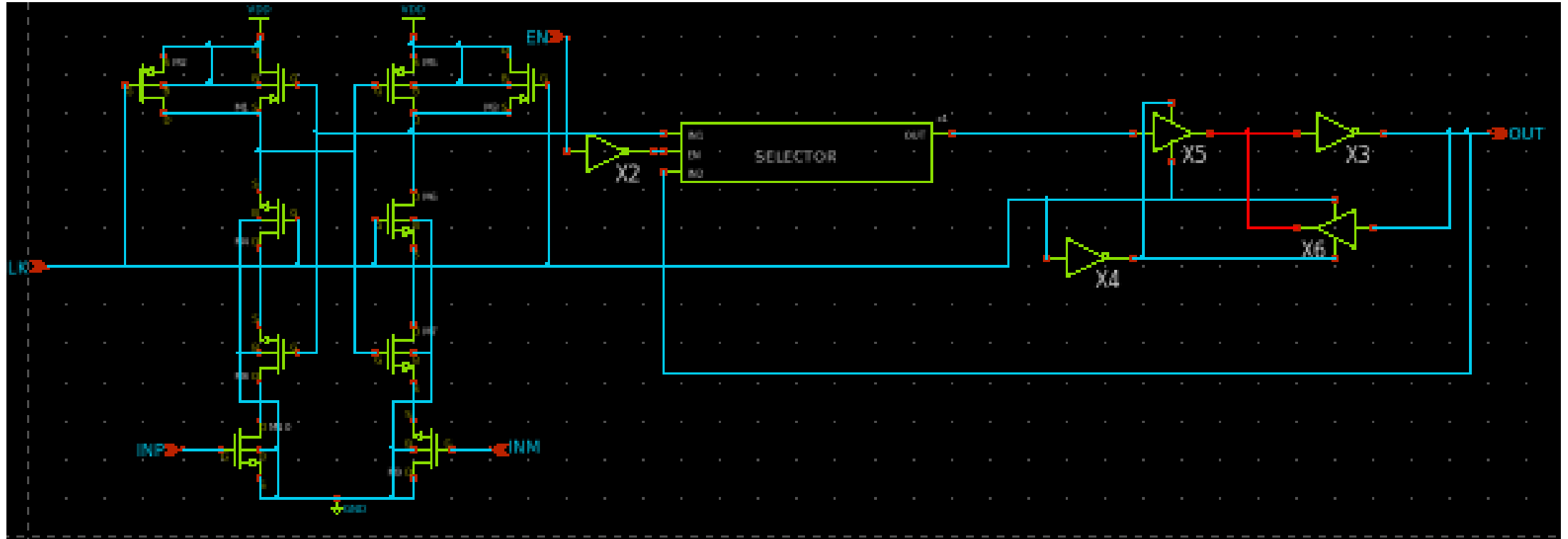
# 平均消費電流

- meas TRAN iavg AVG I(VVDD)

iavg = -3.364207e-05 from= 0.000000e+00 to= 6.000000e-07

**約33.6[uA]**

# 回路図 (前の状態を保存するver.)



# 波形

