

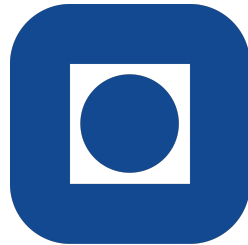
NORGES TEKNISK-NATURVITENSKAPELIGE
UNIVERSITET

TFE4152

Design av 4 piksels digitalkamera

Skrevet av:
Markus Rud
Torstein Langan

20. november 2018



NTNU

Sammendrag

En forenklet modell av et digitalkamera bestående av 4 piksler med tilhørende digital logikk og analog krets er blitt designet. Active-HDL og AIM-spice ble brukt til modellering, simulering og test for henholdsvis den digitale og analoge delen av systemet og ledet til en detaljert simulering av kritiske deler i et primitivt digitalkamera. Hver piksel ble bygget opp av NMOS og PMOS transistorer, som alle fungerte enten som brytere, aktive laster eller forsterkere, i tillegg til en fotodiode som registrerte pikselens påførte lysmengde under en gitt eksponeringstid. I tillegg ble det konstruert digital logikk for presis kontroll av pikslene. To tilstandsmaskiner og ett skiftregister holdt orden på eksponeringstid og sendte ut korrekte styringssignaler til transistorbryterne i den analoge kretsen. Systemet oppfylte alle krav ved testing.

Innhold

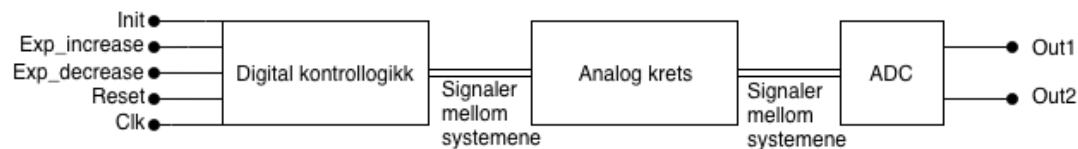
1	Introduksjon	1
2	Teori	1
2.1	Digital kontrollogikk	1
2.1.1	Eksponeringstidregister	2
2.1.2	Nedteller	2
2.1.3	FSM kontroll	3
2.2	Analog pikselkrets	3
2.2.1	Enkeltpixel	3
2.2.2	Presentasjon av relevante transistorlikninger	4
2.2.3	Kondensatorstørrelser	6
2.2.4	Brytere	6
2.2.5	Source-følger	7
2.2.6	Rutenett av pikselkretser	10
3	Design	10
3.1	Digital kontrollogikk	10
3.1.1	Eksponeringstidregister	11
3.1.2	Nedteller	11
3.1.3	FSM kontroll	12
3.1.4	Sammensatt krets	13
3.2	Analog krets	13
3.2.1	Kondensatorstørrelser	13
3.2.2	Brytere	14
3.2.3	Source-følger	14
3.2.4	Endelige komponentstørrelser	14
4	Simulering og test	15
4.1	Digital krets	15
4.1.1	Eksponeringstidregister	15
4.1.2	Nedteller	16
4.1.3	FSM kontroll	16
4.1.4	Sammensatt krets	17
4.2	Analog krets	18
5	Resultat og diskusjon	19
5.1	Digital kontrollogikk	19
5.2	Analog krets	20
6	Konklusjon	22
	Bibliografi	23
A	Digital kontrollogikk	24
A.1	Eksponeringstidregister	24
A.2	Nedteller	25
A.3	FSM kontrol	26
A.4	Sammensatt krets	28

A.5	Testbenk sammensatt krets	29
B	Analog krets	30
B.1	Firepikselkrets	30
B.2	Analog testbenk	31

1 Introduksjon

Etter at digitalkameraet ble oppfunnet på tidlig 1970-tall har det revolusjonert hvordan vi mennesker deler informasjon med hverandre. Vi kunne ta mangfoldige tusen bilder om dagen, og dokumentere våre liv på ett detaljnivå vi tidligere ikke turte drømme om, samtidig som vi har enda finere kontroll over kamerainnstillingene enn før ved hjelp av microchiper og registre som styrer alle parametere med en utrolig nøyaktighet og presisjon. Som en del av kurset «Design av integrerte kretser» skal vi i dette notatet beskrive et mulig design for en primitiv version av et 4 piksels digitalkamera. Dette for å bedre forstå virkemåte og designhensyn som inngår i en slik prosess.

Det er designet en krets for et 4-piksels digitalkamera med mulighet for at brukeren kan justere eksponeringstiden ved påført signal på inngangene **Exp_increase** og **Exp_decrease** som vist i figur 1.1, før et bilde kan taes ved å påføre et signal på inngangen **Init**. Design av analog til digitalkonverteren ADC er ikke inkludert i dette notatet. Systemets utganger **Out1** og **Out2** settes til en digital verdi avhengig av mengden lys som treffer pikslene i den analoge kretsen.



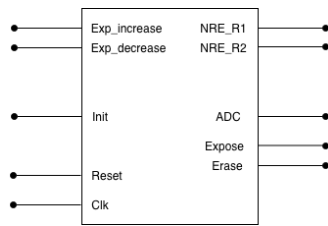
Figur 1.1: Blokskjema av tenkt realisering.

2 Teori

Som vist i figur 1.1 er systemet bygget opp av tre mindre delsystemer der den digitale kontrollogikken og den analoge kretsen er presentert i denne rapporten. Da disse er designet svært individuelt vil resten av rapporten også behandle disse i stor grad adskilt.

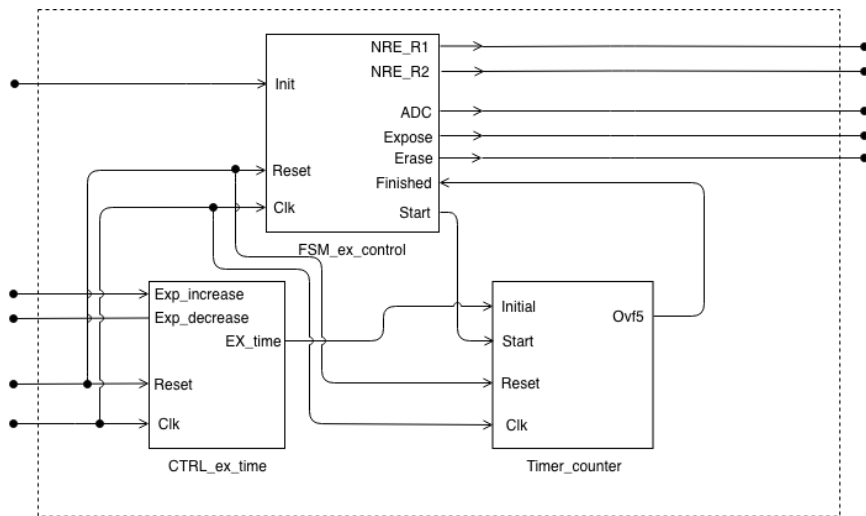
2.1 Digital kontrollogikk

Første delsystem i kameraet er den digitale kontrollogikken. Et blokskjema er vist i figur 2.1 og viser systemets inn og utganger. Systemet tar inn signalene **Exp_increase**, **Exp_decrease** og **Init** fra brukeren av kameraet mens reset-signalet **Reset** og klokka **Clk** kommer fra ytterligere kontrollogikk. Systemets 5 utganger kontrollerer ulike deler av den analoge kretsen hvor **NRE_R1** og **NRE_R2** kontrollerer når og hvilken piksel som skal avleses, **ADC** kontrollerer når **ADCen** skal initialiseres, **Expose** kontrollerer når kretsen skal eksponeres for lys og **Erase** nullstiller den analoge kretsen.



Figur 2.1: Blokkskjema av digitalt system for styring av analog krets.

Det digitale systemet er videre delt opp i tre mindre delsystemer som vist i figur 2.2. Av figuren kan man se at de nevnte delsystemene er *CTRL_ex_time*, *Timer_counter* og *FSM_ex_control*. Disse er henholdsvis et register for eksponeringstid, en nedteller og FSM kontroll. Hver av disse vil bli forklart i påfølgende delkapitler.



Figur 2.2: Blokkskjema for de ulike delsystemene i den digitale kontrollogikken.

2.1.1 Eksponeringstidregister

Når brukeren ønsker å ta et bilde er det nødvendig å vite hvor lenge pikslene skal eksponeres for lys da dette har mye å si for bildets kvalitet. Denne tiden kalles eksponeringstiden og ligger lagret i eksponeringstidregisteret. Systemet *CTRL_ex_time* på figur 2.2 er systemet som skriver tiden til registeret samt har nødvendig logikk for enten å øke eller senke eksponeringstiden. Dette kan gjøre på flere måter, men er her implementert ved bruk av et enkelt flerbits skiftregister som kan inkrementeres eller dekrementeres ved bruk av signalene **Exp_increment** og **Exp_decrement**. Signalene er aktive høye, altså ved påtrykt V_{dd} . Ved høyt påtrykk på **Exp_increase** skal systemet øke eksponeringstiden, mens ved høyt påtrykk på **Exp_decrease** skal eksponeringstiden minke. Ved påtrykk på begge signalene samtidig er **Exp_increase** satt til å ha prioritet.

2.1.2 Nedteller

Nedtelleren, *Timer_counter* på figur 2.2, har som oppgave å telle ned eksponeringstiden avlest fra eksponeringstidregisteret. Systemet skal starte nedtellingen ved høy

2.1.3 FSM kontroll

2.2 Analog pikselkrets

2.2.1 Enkeltpixel

[illegible]

Fotodioden $PD1$ er her representert ved strømkilden I_{dp1} og pn-dioden D_1 som vist i figuren. Ved lysinnstråling på $PD1$ øker den sin strømførende evne og det genereres en strøm til node $N1$. Når **Expose**-signalet settes høyt vil denne strømmen fortsette til

node $N2$ gjennom transistoren $M1$ og dermed lade opp spenningen i kondensator C_S . Når eksponeringen av bildet er ferdig settes **Expose**-signalet lavt og $M1$ lukkes. Den oppladede spenningen i C_S forsterkes så gjennom transistoren $M3$ og blir tilgjengelig på utgangen **Out** når signalet **NRE** går lavt og åpner transistor $M4$. Når spenningen er avlest lukkes $M4$ og $M2$ åpnes ved å påføre spenning på **Erase**, dette setter spenningen på node $N2$ til V_{ss} og kretsen er klar til å ta et nytt bilde.

Av figuren kan man også se det er en aktiv last bestående av transistoren MC og kondensatoren C_C koblet til kretsen. Sammen med transistoren $M3$ skaper dette en buffer som holder spenningen på **Out** konstant lik spenningen over C_S selv om verdien leses av.

2.2.2 Presentasjon av relevante transistorlikninger

Den analoge kretsens virkemåte er forklart i kapittel 2.2.1, men en annen viktig faktor for å oppnå riktig oppførsel er transistorenes størrelse. Transistorene i figur 2.3 har forskjellige virkemåter hvor transistorene $M1$, $M2$ og $M4$ benyttes som brytere, $M3$ benyttes som forsterker og MC benyttes som en aktiv last. Dimensjonene til de ulike transistorene avhenger av funksjonen og likninger for dette presenteres i senere delkapitler. Først i dette delkapitlet presenteres generelle transistorformler som videre brukes i mer spesifikke likninger og beregninger. Likningene som presenteres gjelder for NMOS-transistorer, men ved å inverttere alle spenningene over transistorene kan samme likninger benyttes for PMOS-transistorer.

Generelle likninger for MOS transistorer

For en generell MOS transistor kan effektiv gate-source spenning uttrykkes på følgende måte [1, (1.50)]:

$$V_{eff} = V_{gs} - V_t. \quad (2.1)$$

Transistorens terskelspenning V_t inkludert body effekt kan uttrykkes ved [1, (1.69)]:

$$V_t = V_{t0} + \gamma(\sqrt{V_{SB} + |2\phi_F|} - \sqrt{|2\phi_F|}) \quad (2.2)$$

der γ er gitt av (2.10). Body effekt oppstår når source og body har forskjellig potensial, altså $V_{SB} \neq 0$, og gjør at det blir vanskeligere for elektronene å bevege seg over pn-overgangen mellom drain og source. Denne effekten kan modelleres som en økt terskelspenning V_t som i (2.2). V_{t0} er terskelspenningen ved null source-bulk spenning.

Bodyens Fermipotensial er gitt av følgende likning[1, s. 25]:

$$\Phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i} \quad (2.3)$$

hvor k er Boltzmanns konstant, q er elementærladningen, N_A er konsentrasjonen av mottaksatomer i silisium, n_i er carrier konsentrasjonen til silisium og T er den absolutte temperaturen. Til slutt gir [1, (1.52)]

$$C_{ox} = \frac{K_{ox}\epsilon_0}{t_{ox}} \quad (2.4)$$

gate kapasitansen (C_{ox}), der K_{ox} er den relative permittiviteten til silisium, ϵ_0 er permittiviteten til vakum og t_{ox} er tykkelsen på oksiden under gaten.

Likninger for MOS transistorer i aktivt område

For en MOSFET transistor i aktivt område uttrykkes drainstrømmen I_D med følgende formel [1, (1.67)]:

$$I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_t)^2 [1 + \lambda(V_{DS} - (V_{GS} - V_t))] \quad (2.5)$$

der V_{GS} er potensialforskjellen mellom gate og source, V_{DS} er potensialforskjellen mellom drain og source og V_t er terskelspenningen til transistoren. W og L er hhv. bredde og lengde til transistoren og μ er mobiliteten til elektronene nære silikonoverflaten. λ er channel-length modulasjonsparameteren gitt av følgende likning [1, (1.87)]:

$$\lambda = \frac{1}{L\sqrt{V_{DS} - V_{eff} + \Phi_0}}. \quad (2.6)$$

Short channel effekt er en bivirkning som oppstår når kanalen på undersiden av MOSFETen blir mye tynnere enn utarmingssonen til drain og source. Det oppstår også short channel effekter ved $V_{DS} \gg V_{eff}$, og det er derfor viktig å begrense V_{DS} for å minimere denne effekten. Φ_0 er den innebygde spenningen til pn-overgangen i transistoren.

Videre er sammenhengen mellom motstanden fra drain til source og I_D gitt av [1, (1.86)]

$$r_{ds} \approx \frac{1}{\lambda I_D}. \quad (2.7)$$

Transkonduktansen til en MOSFET gitt ved [1, (1.77)]

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_D} \quad (2.8)$$

mens den separate transkonduktansen til body effekten er [1, (1.83)]

$$g_{mb} = \frac{\gamma g_m}{2\sqrt{V_{SB} + |2\Phi_F|}} \quad (2.9)$$

der γ kan uttrykkes ved [1, (1.70)]

$$\gamma = \frac{\sqrt{2qN_A K_S \epsilon_0}}{C_{ox}}. \quad (2.10)$$

K_s er her den relative permittiviteten til silisium. Legg merke til at selv om $V_{SB} = 0$ i formel 2.9 ikke matematisk gir $g_{mb} = 0$, vil en direkte kobling mellom bulk og source gjøre at body effekt transkonduktansen ekskluderes.

Likninger for en MOSFET i subterskel tilstand

Når $V_{GS} < V_t$ befinner transistoren seg i subterskel tilstand og spesielle tilfeller gjelder. Drainstrømmen uttrykkes ved [1, (1.121)]

$$I_D = I_{D0} \frac{W}{L} e^{qV_{eff}/nkT} \quad (2.11)$$

som viser at I_D ikke er null selv om $V_{GS} < V_t$. Videre kan n uttrykkes ved [1, (1.119)]

$$n = \frac{C_{ox} + C_{j0}}{C_{ox}} \quad (2.12)$$

og drainstrømkonstanten, I_{D0} , uttrykkes ved [1, (1.120)]

$$I_{D0} = (n - 1)\mu C_{ox} \left(\frac{kT}{q}\right)^2. \quad (2.13)$$

2.2.3 Kondensatorstørrelser

Som nevnt i delkapittel 2.2.1 lades kondensatoren C_S opp så lenge **Expose** har et høyt påtrykk. For at spenningen i kondensatoren skal være forutsigbar uavhengig av eksponeringstiden eller lysstyrken er det ønskelig at oppladningen av kondensatoren er lineær. Dette er mulig å oppnå ved å tilpasse kondensatorstørrelsen slik at den unngår metning. Spenningen over en kondensator er gitt ved

$$V = \frac{1}{C} \int_0^T i(t) dt \quad (2.14)$$

hvor V er spenningen over kondensatoren, C er kondensatorverdien, $i(t)$ er strømmen gjennom kondensatoren og T er tiden kondensatoren blir ladet opp.

Ved beregning av størrelsen til kondensator C_S er spenningen V gitt av spenningspotensialet V_{N2} i node $N2$. Dette potensialet kan beregnes ut fra (2.1) med

$$V_{gs} = V_g - V_s = V_g - V_{N2} \quad (2.15)$$

hvor V_g er satt til V_{dd} ved høy påkjenning på **Expose**. Det er ønskelig at transistor $M1$ alltid opererer i sterk inversjon og av den grunn må V_{eff} være større enn 100mV[1, s. 22]. V_t er gitt av (2.2) som også tar hensyn til transistorens body-effekt. Størrelsen på kondensator C_C i den aktive lasten er gitt av spesifikasjonene.

2.2.4 Brytere

For at en transistor skal være i aktivt område må følgende betingelser oppfylles:

$$V_{GS} > V_t \quad (2.16)$$

$$V_{DS} > V_{GS} - V_t \quad (2.17)$$

Det observeres at dette er tilfellet når både $M1$, $M2$ og $M4$ opereres, og dermed kan formel 2.5 og 2.7 benyttes.

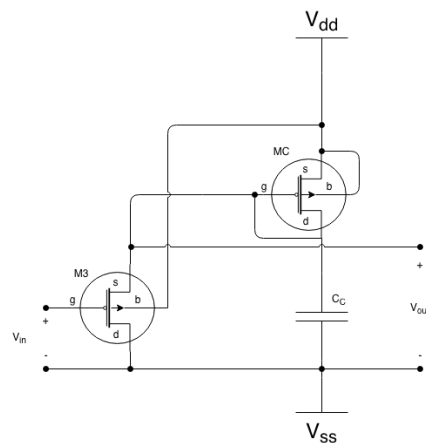
Ved design av MOSFET-brytere er det to motstående fokusområder, spenningsfall over MOSFETen og hastigheten bryteren kan lukkes med. For transistor $M1$ og $M4$ er ikke hastigheten prioritert på grunn av systemets lave klokkefrekvens, men det ønskes heller et lavt spenningsfall for å minimere spenningsforskjellen mellom dioden $PD1$ og oppladningsspenningen til kondensatoren C_s . Fra formel 2.5 og 2.7 kan man se at motstanden r_{ds} får lavest verdi ved en høy strøm I_D og det settes dermed en stor bredde W og en liten lengde L for at transistorene $M1$ og $M4$ skal ha en lav motstand r_{ds} og dermed lavt spenningsfall fra drain til source. Transistor $M2$ er koblet mellom

node $N2$ og jordingsspenningen V_{ss} og vil derfor utlade kondensator C_s om ikke lekkasjestrømmen når transistoren er lukket er tilstrekkelig liten. Av formel 2.13 observeres det at for en liten I_D , når transistoren er lukket, trengs en lav bredde W og stor lengde L .

Ved en lukket transistor $M2$ vil det likevel oppstå en liten lekkasjestrøm til tross for at transistoren har blitt optimalisert med tanke på akkurat dette. For en lukket transistor gjelder $V_{gs} < V_t$ og fra likningene 2.11, 2.12 og 2.13 kan lekkasjestrømmen beregnes.

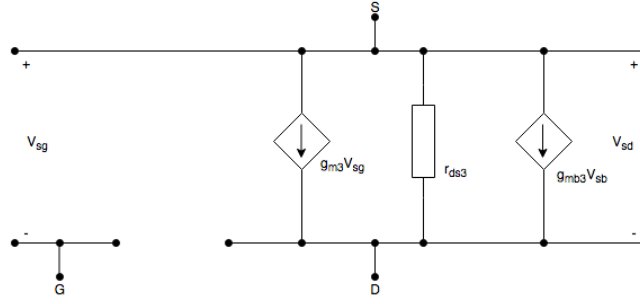
2.2.5 Source-følger

For at C_s ikke skal lades ut i det øyeblikket verdien utleses på utgangen, er det nødvendig med en buffer med så stor inngangsmotstand mellom C_s og utgangen som mulig. Bufferen kan realiseres som en source-følger med forsterkning tilnærmet lik 1, og transistorene $M3$ og MC tilpasses slik at bufferen oppfyller kravene. Kretsen i figur 2.3 forenkles ved å kortslutte alle bryterene, og det antas at spenningsfallet over disse er tilnærmet lik 0. I figuren nedenfor representerer V_{in} spenningen over kondensatoren C_s fra figur 2.3.



Figur 2.4: Transistor $M3$ og MC med kortsluttet transistor $M4$.

En småsignalekvivalent til transistor $M3$ er vist i figur 2.5. V_{sg} er spenningen mellom source og gate, V_{sb} er spenningen mellom source og bulk. r_{ds3} er motstanden mellom drain og source og oppstår som følge av channel length modulasjon med modulasjonsparameter gitt av likning 2.6 og 2.7.



Figur 2.5: Småsignalekvivalent for transistoren $M3$.

Fordi bodyen ikke er koblet direkte til source i PMOS-transistoren $M3$, og det dermed oppstår en potensialforskjell mellom source og bulk ($V_{SB} \neq 0$), er body effekten inkludert i utregningene. Body effekten er i figur 2.5 representert som strømkilden uttrykt ved $g_{mb3}V_{sb}$. Ved å finne uttrykk for r_{ds3} , i tillegg til strømmene, kan det settes opp uttrykk for forholdet mellom V_{out} og V_{in} . Fra [1, (1.74)]

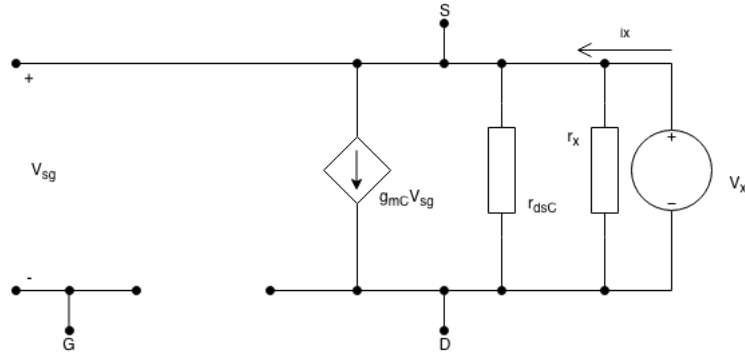
$$g_m = \mu C_{ox} \frac{W}{L} (V_{gs} - V_t) \quad (2.18)$$

kan man se at transkonduktansen til transistoren er avhengig av både dimensjoner og transistorparameteren μC_{ox} i tillegg til spenningsforskjellen ($V_{gs} - V_t$).

Ulike spenningen i transistor $M3$ er definert som følger:

$$\begin{aligned} V_{sg} &= V_{out} - V_{in} \\ V_{sd} &= V_{out}. \end{aligned} \quad (2.19)$$

Småsignalekvivalent til transistor MC presenteres i figur 2.6 og da bulken er koblet direkte til source er det ingen body effekt i transistoren, og derfor er det ingen potensialforskjell av formel 2.9 da $V_{SB} = 0$.



Figur 2.6: Småsignalekvivalent for den aktive lasten

Utgangsimpedansen til den aktive lasten er av interesse da denne er med på å definere virkemåten til source-følgeren i figur 2.4. Det påføres en testspenning V_x og en testimpedans r_x på utgangen og Kirchhoff spenningslov(KVL) brukes for å definere verdien

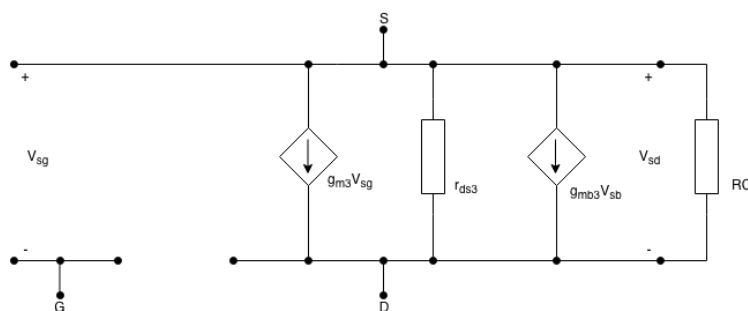
av utgangsimpedansen. Likningen

$$i_x = g_{mC}V_{sg} + \frac{V_x}{r_{dsC}} \quad (2.20)$$

utledes fra KVL før det observeres at $V_x = V_{sg}$ og likning 2.20 forenkles til

$$\begin{aligned} i_x &= V_x(g_{mC} + \frac{1}{r_{dsC}}) \\ \frac{V_x}{i_x} &= \frac{1}{g_{mC} + \frac{1}{r_{dsC}}} \\ r_x &= \frac{1}{g_{mC} + \frac{1}{r_{dsC}}} \\ r_x &= R_C. \end{aligned} \quad (2.21)$$

Ved å sette sammen den aktive lasten og bufferen kan source-følgeren representeres med småsignalekvivalent som vist i figur 2.7.



Figur 2.7: Småsignalekvivalent for source-følgeren med aktiv last inntegnet som impedans

Spenningsforsterkningen er gitt ved

$$A_v = \frac{V_{out}}{V_{in}}. \quad (2.22)$$

Ved bruk av Kirchoffs strømlov og likning 2.19 settes opp likningssystemet

$$\begin{aligned} \frac{V_{out}}{r_{ds3}} &= g_{m3}V_{sg} + g_{mb3}V_{sb} + \frac{V_{out}}{R_C} \\ \frac{V_{out}}{r_{ds3}} &= g_{m3}(V_{out} - V_{in}) + g_{mb3}V_{out} + \frac{V_{out}}{R_C} \\ V_{out}(\frac{1}{r_{ds3}} - g_{m3} - g_{mb3} - \frac{1}{R_C}) &= -g_{m3}V_{in}. \end{aligned} \quad (2.23)$$

Innsatt i uttrykket for motstand R_C fra likning 2.21 genereres følgende uttrykk for spenningsforsterkningen:

$$A_v = \frac{g_{m3}}{g_{m3} + g_{mC} - g_{mb3} + \frac{1}{r_{dsC}}}. \quad (2.24)$$

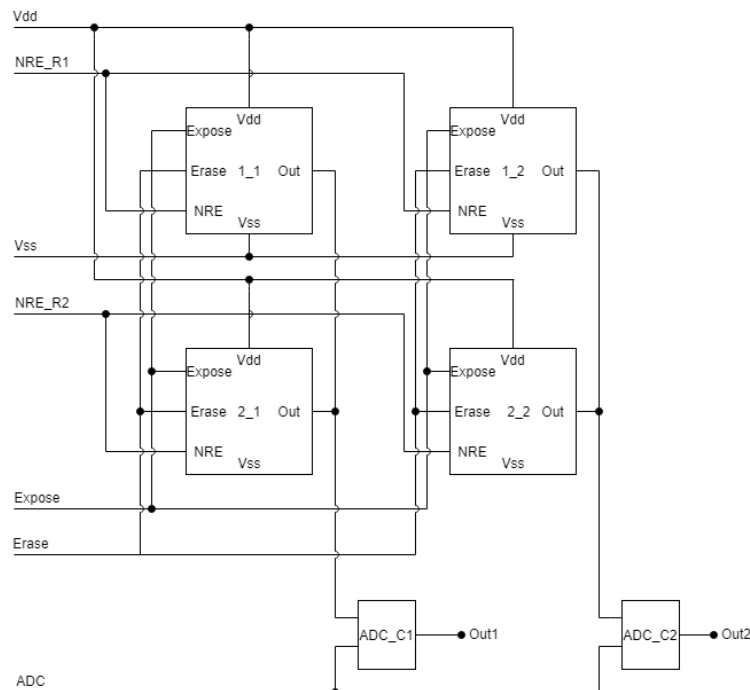
Dette forenkles til

$$A_v \approx \frac{g_{m3}}{g_{m3} + g_{mC}} \quad (2.25)$$

når $g_{mb3} \approx 1/10g_{m3}[1]$ og $1/r_{dsC} \approx 0[1]$ og derfor kan neglisjeres fra likning 2.24.

2.2.6 Rutenett av pikselkretser

For å designe en krets bestående av flere piksler er det mulig å koble sammen flere enkle pikselkretser til en større krets. En mulig oppkobling av dette er vist i figur 2.8 hvor en enkelt piksel er representert ved en boks bestående av enkeltkretsens inn og utgangssignaler. Signalene NRE_R1 og NRE_R2 avgjør hvilken piksel som skal leses av og signalet ADC avgjør når ADCene skal konvertere spenningen fra pikselene til en digital verdi. Resterende signaler fungerer som nevnt i delkapittel 2.2.1.



Figur 2.8: Sammensetning av fire analoge pikselkretser til et rutenett.

3 Design

3.1 Digital kontrollogikk

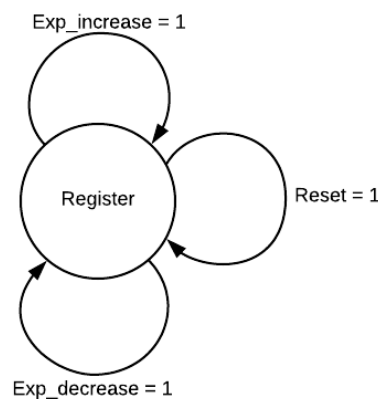
En simulering av den digitale kontrollogikken er designet med programmeringsspråket Verilog[2] og all kode er vedlagt i vedlegg A. Systemet er designet med hensyn på spesifikasjonene som vist i tabell 3.1.

Tabell 3.1: Kravspesifikasjoner til digital kontrollogikk

Spesifikasjon	Verdi
Maksimal eksponeringstid	30 ms
Minimal eksponeringstid	2 ms
Klokkefrekvens	1 kHz

3.1.1 Eksponeringstidregister

Eksponeringstidregisteret er implementert som vist i figur 3.1 og består av et 5 bits skiftregister. Som nevnt i kapittel 2.1.1 er det tre måter å endre eksponeringstiden. Disse måtene er ved påtrykk på signalene **Exp_increase**, **Exp_decrease** eller **Reset**. Ved reset av registeret settes verdien til 2 ms. Tilhørende Verilogkode er vist i vedlegg A.1.

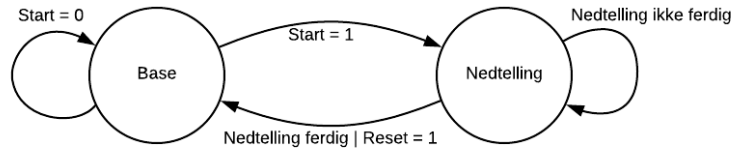


Figur 3.1: Eksponeringstidsregister med mulighet for endring av eksponeringstid

3.1.2 Nedteller

Nedtelleren er implementert som en tilstandsmaskin bestående to tilstander som vist i figur 3.2. Tilstanden *Base* er en grunntilstand hvor systemet venter på høyt **Start**-signal fra *FSMkontroll*, dette er også tilstanden systemet settes til ved en reset. Ved mottatt høyt **Start**-signal endres tilstanden til *Nedtelling*. Dette er en tilstand hvor tiden fra eksponeringstidsregisteret i figur 3.1 leses av og telles ned. Ved ferdig nedtelling settes signalet **Ovf5** høyt og systemet returnerer til grunntilstanden. Systemet returnerer også til grunntilstanden ved påføring av et høyt **Reset**-signal, men **Ovf5** forblir da lav.

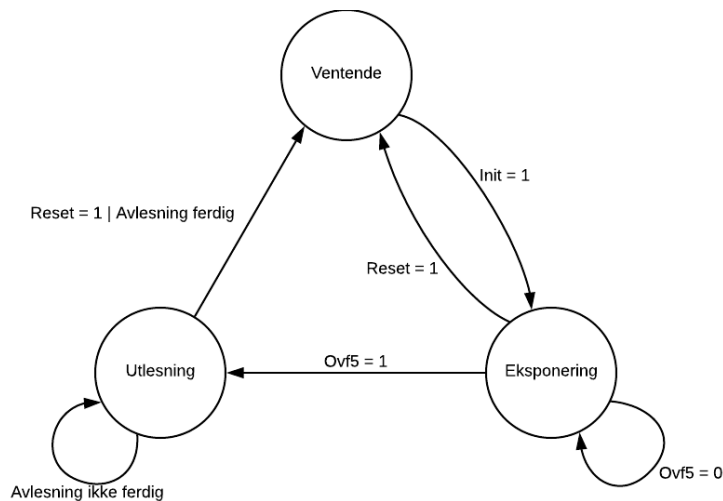
Systemets Verilogkode er vist i vedlegg A.2 og viser den fysiske implementeringen av tilstandsmaskinen. Som vist i linje 20 i vedlegget er det benyttet en *case* for å realisere tilstandsmaskinen. Innad i hver tilstand utføres det en test om tilstanden skal endres og ut fra dette har systemet kontroll på om det skal sendes ut et signal eller ikke.



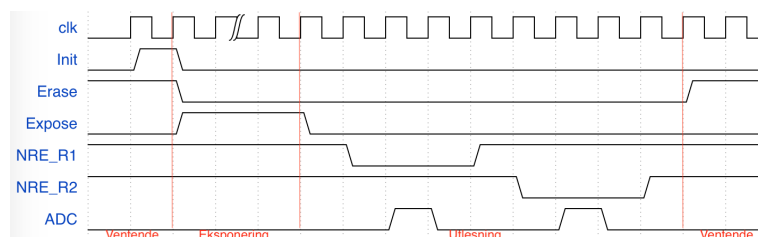
Figur 3.2: Tilstander i nedtelleren *Timer_counter*

3.1.3 FSM kontroll

FSM kontrollen er som nevnt implementert som er tilstandsmaskin og består av tilstandene som vist i figur 3.3. Tilstanden *Ventende* er en grunntilstand hvor systemet venter til den mottar en puls på *Init*. Ved mottatt puls på *Init* settes tilstanden til *Eksponering* og kameraet er i eksponeringsmodus frem til nedtelleren *Timer_counter* har telt ned. Når eksponeringen er ferdig endres tilstanden til *Utlesning* og en utlesningssekvens begynner. Sekvensen avsluttes med at systemet returnerer til tilstanden *Ventende* og venter på at neste bilde skal tas. Utgangssignalene i de ulike tilstandene er som vist i figur 3.4. Ved en reset av systemet avbrytes alle prosesser og tilstanden settes til grunntilstanden *Ventende*.



Figur 3.3: Tilstander i *FSM_ex_control*



Figur 3.4: Utgangssignalene i de ulike tilstandene.

Systemets Verilogkode er vist i vedlegg A.3. Som vist i vedlegget linje 25 er tilstands-

maskinen realisert ved bruk av en *case* hvor tilstanden endres avhengig av ulike inputs. Utlesningssekvensen i tilstanden *Utlesning* er også realisert ved bruk av en *case* som kontinuerlig hopper videre gjennom prosessen og tilslutt returnerer til grunntilstanden.

3.1.4 Sammensatt krets

De ulike delsystemene er tilslutt koblet sammen til en sammensatt krets som vist i figur 2.2. Verilogkode er vist i vedlegg A.4.

3.2 Analog krets

De tilhørende kravspesifikasjonene[3, s. 10] som vist i tabell 3.2 setter rammene for det analoge systemet. Transistorparameterene for 180 nm transistorteknologi er vist i tabell 3.3.

Tabell 3.2: Tilhørende kravspesifikasjoner for pikselkretsen i figur 2.3.

Spesifikasjon	Verdi
Maksimal transistorbredde, W_{maks}	10 μm
Minimal transistorbredde, W_{min}	2 μm
Maksimal transistorlengde, L_{maks}	2 μm
Minimal transistorlengde, L_{min}	0.7 μm
Maksimal kondensatorstørrelse	3 pF
Maksimal strøm fra $PD1$	750 pA
Minimal strøm fra $PD1$	50 pA

Tabell 3.3: Transistorparametere for 180 nm teknologi[1, tabell 1.5].

Parameter	Verdi		Enhet
-	NMOS	PMOS	-
μC_{ox}	270	70	$\mu\text{A}/\text{V}^2$
V_{t0}	0.45	-0.45	V
$\lambda \cdot L$	0.08	0.08	$\mu\text{m}/\text{V}$
C_{ox}	8.5	8.5	fF/ μm^2
t_{ox}	5	5	nm
n	1.6	1.7	-
θ	1.7	1.0	1/V
m	1.6	2.4	-

3.2.1 Kondensatorstørrelser

Ut fra spesifikasjonene er det to grensetilfeller størrelsen på kondensator C_S er tilpasset. Det første tilfellet er maksimal strøm fra $PD1$ på 750 pA og minimal eksponeringstid på 2 ms og det andre tilfellet er minimal strøm på 50 pA og maksimal eksponeringstid på 30 ms. Innsatt i likning 2.14 gir begge grensetilfellene likningen

$$V = \frac{1,5 \cdot 10^{-12}}{C}. \quad (3.1)$$

Som nevnt i kapittel 2.2.3 er spenningen V lik spenningen V_{N2} og ut fra beregninger med parametrene i tabell 3.3 og V_{eff} satt til 200 mV gir dette spenningen $V_{N2}=1.16$ V. Innsatt i likning 3.1 gir dette størrelsen $C_S=1.3$ pF. Kondensatoren C_C er som nevnt gitt av spesifikasjonene[3, s. 10] og er satt til 3 pF.

3.2.2 Brytere

Som forklart i kapittel 2.2.4 ønskes det at transistorbryterne M1 og M4 skal ha stor bredde W og liten lengde L for å minimere spenningsfallet og størrelsene settes derfor til

$$\begin{aligned} W_1 &= W_4 = 10\mu\text{m} \\ L_1 &= L_4 = 0.7\mu\text{m} \end{aligned} \tag{3.2}$$

i henhold til ekstremalverdiene oppgitt i tabell 3.2. Tilsvarende ønskes det for transistorbryter M2 at bredden W er liten og lengden L er stor for å minimere lekkasjestrømmen. Størrelsene settes derfor til

$$\begin{aligned} W_2 &= 2\mu\text{m} \\ L_2 &= 2\mu\text{m} \end{aligned} \tag{3.3}$$

også i henhold til ekstremalverdiene oppgitt i tabell 3.2. For å verifisere at lekkasjestrømmen ligger innenfor et akseptabelt nivå når transistor M2 er lukket benyttes likningene 2.11, 2.12 og 2.13. Det observeres fra figur 2.3 at de ulike transistorbryterne alltid vil ha $V_s = 0$ i lukket tilstand og ved bruk av n fra tabell 3.3 og temperaturen $T = 300$ K kan lekkasjestrømmen beregnes til å være tilnærmet lik 0 fra likning 2.11

3.2.3 Source-følger

I kapittel 2.2.5 ble det funnet et uttrykk for spenningsforsterkningen A_v som vist i likning 2.25. For å oppnå en spenningsforsterkning på $A_v = 1$ er det nødvendig at $g_{m3} \gg g_{mC}$ og ved å studere formel 2.8 er det gitt at

$$\frac{W_3}{L_3} \gg \frac{W_C}{L_C}. \tag{3.4}$$

Transistorstørrelsene settes derfor til $W_3 = 10 \mu\text{m}$, $L_3 = 0.7 \mu\text{m}$, $W_C = 2 \mu\text{m}$ og $L_C = 2 \mu\text{m}$ i henhold til ekstremalverdiene i tabell 3.2.

3.2.4 Endelige komponentstørrelser

Tabell 3.4 viser en samlet oversikt over størrelsene til de ulike transistorene.

Tabell 3.4: Endelige transistorstørrelser.

Transistor	Størrelse
$M1$	$W_1 = 10 \text{ }\mu\text{m}$
	$L_1 = 0.7 \text{ }\mu\text{m}$
$M2$	$W_2 = 2 \text{ }\mu\text{m}$
	$L_2 = 2 \text{ }\mu\text{m}$
$M3$	$W_3 = 10 \text{ }\mu\text{m}$
	$L_3 = 0.7 \text{ }\mu\text{m}$
$M4$	$W_4 = 10 \text{ }\mu\text{m}$
	$L_4 = 0.7 \text{ }\mu\text{m}$
MC	$W_C = 2 \text{ }\mu\text{m}$
	$L_C = 2 \text{ }\mu\text{m}$

Tabell 3.5 viser en samlet oversikt over kondensatorstørrelsene.

Tabell 3.5: Endelige kondensatorstørrelser

Kondensator	Verdi
C_s	1.3 pF
C_C	3.0 pF

4 Simulering og test

Den analoge kretsen og den digitale kretsen er testet hver for seg. Dette er gjort da det ikke er en direkte måte å koble de ulike simuleringene sammen på, men signalene ut fra den digitale delen er brukt ved testing av den analoge delen.

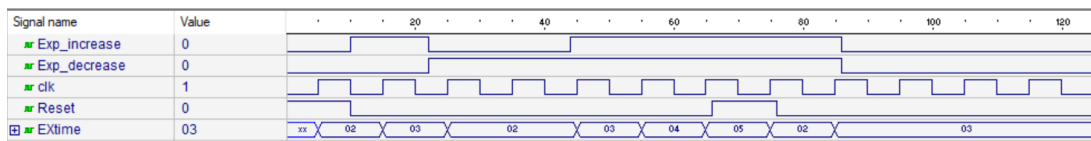
4.1 Digital krets

Den digitale kretsen er simulert ved å påføre ulike signaler på inngangene til kretsen og ut ifra det se hvilke signaler som oppstår på utgangen. Hvert delsystem er testet hver for seg før de er satt sammen og hele den digitale kretsen er testet sammen.

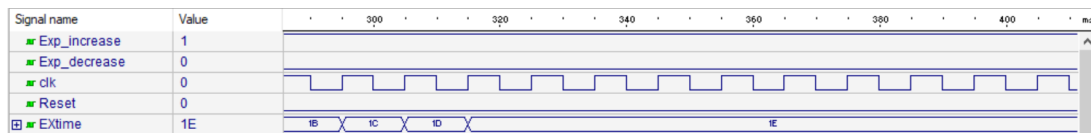
4.1.1 Eksponeringstidregister

CTRL_ex_time-blokken er testet ved først å initialisere blokken påføring av et høyt **Reset**-signal og deretter teste **Exp_increase** og **Exp_decrease** samt hvem av dem som har prioritet. Resultatet av dette er vist i figur 4.1. Slik man kan se av figuren øker **EXtime** mens **Exp_increase** er høy og minkes ikke under 2ms når **Exp_decrease** er høy slik som spesifikasjonene tilsier. Simuleringen viser også at når begge inngangssignalene er høye, er det **Exp_increase** som har prioritet. Som vist i figuren ved 65ms er også **Reset**-signalet testet og verdien på **EXtime** til 2 ms.

Da spesifikasjonene til systemet sier at eksponeringstiden skal være mellom 2 og 30 ms er systemet også testet for maks eksponeringstid. Dette er vist i figur 4.2 og viser at makstiden det er mulig å oppnå er $1E_{16}$ ms som tilsvarer 30 ms i desimaltall.



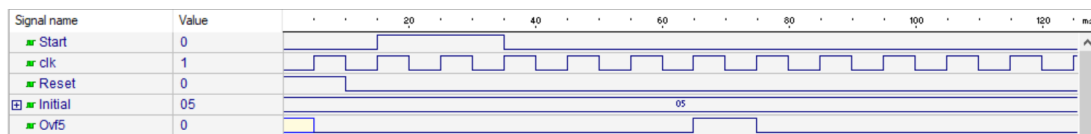
Figur 4.1: Simulering av økt og senket eksponeringstid samt reset-funksjonen i eksponeringstidregisteret *CTRL_ex_time*



Figur 4.2: Simulering av maksimal eksponeringstid i eksponeringstidregisteret *CTRL_ex_time*

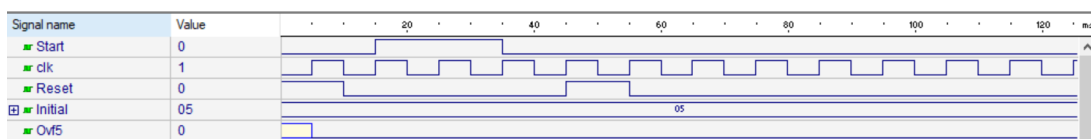
4.1.2 Nedteller

Nedtelleren *Timer_counter* er testet ved å påføre en gitt tid på inngangen *Initial* og derfra se om det tar like lang tid før utgangen *Ovf5* settes til høy. Resultatet er vist i figur 4.3 og viser at når systemet har tiden 5 på *Initial*, tar det 5 klokkesykler fra *Start* settes til høy til *Ovf5* går høy.



Figur 4.3: Simulering av nedtelling fra tiden 5 i nedtelleren *Timer_counter*

Det er også testet at reset-funksjonen fungerer som ønsket. Resultatet av dette er vist i figur 4.4 og slik man kan se i motsetning til tidsdiagrammet i figur 4.3 går ikke *Ovf5* høy etter at *Reset* har vært høy.

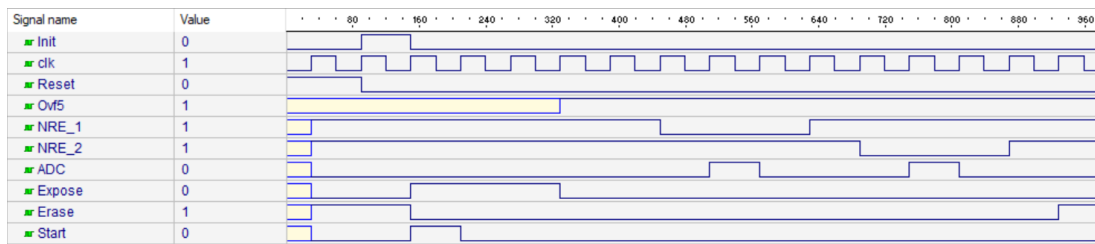


Figur 4.4: Simulering av reset-funksjonen i nedtelleren *Timer_counter*

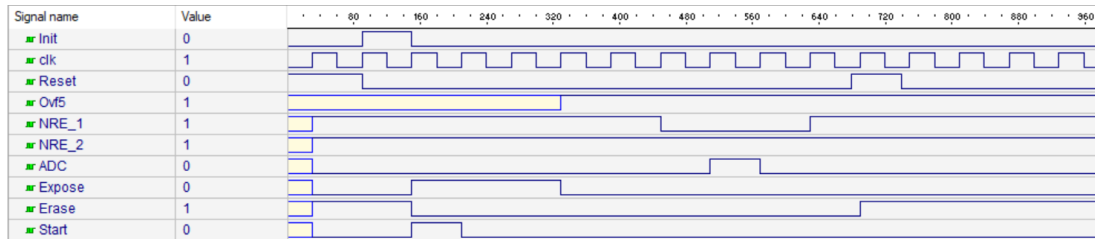
4.1.3 FSM kontroll

FSM_ex_control er testet ved først å initialisere verdiene ved påføring av et høyt *Reset*-signal for deretter å sette *Init* til høy i en klokkesykel. Da modulen enda ikke er tilkoblet til *Timer_counter*, ble *Ovf5* manuelt satt høy etter en viss tid. Resultatet er vist i figur 4.5.

Det er også testet om reset-funksjonen fungerer som ønsket. Resultatet av dette er vist i figur 4.6 og viser at prosessen stopper og alle verdier settes til startverdiene.



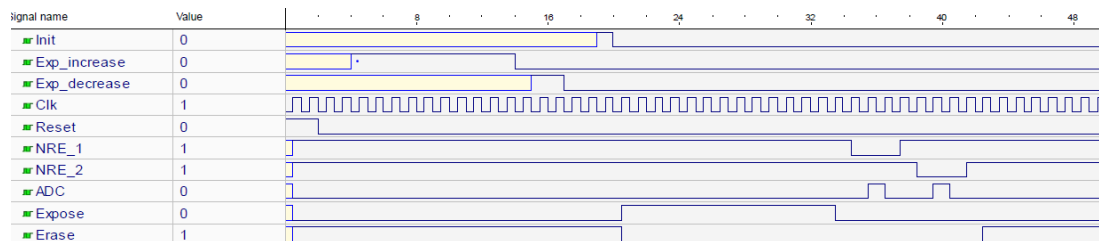
Figur 4.5: Simulering av FSM kontrollen *FSM_ex_control*



Figur 4.6: Simulering av reset-funksjonen til FSM kontrollen *FSM_ex_control*

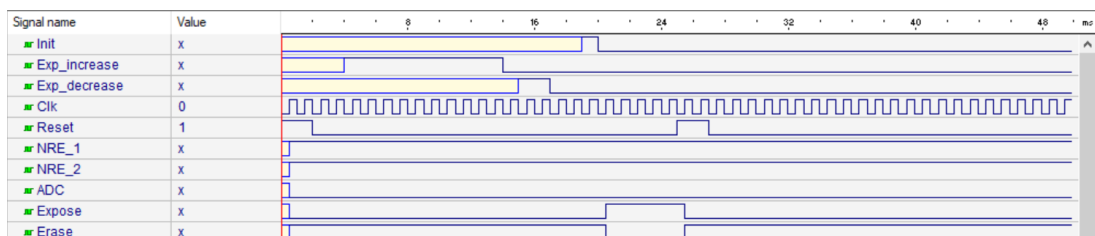
4.1.4 Sammensatt krets

Tilslutt er hele den digitale delen testet ved først å initialisere verdiene ved bruk av signalet **Reset**, etterfulgt av endring i **Exp_increase** og **Exp_decrease** samt tilslutt settes **Init** høy for å ta bilde. Resultatet er vist i figur 4.7.



Figur 4.7: Simulering av det sammensatte digitale systemet

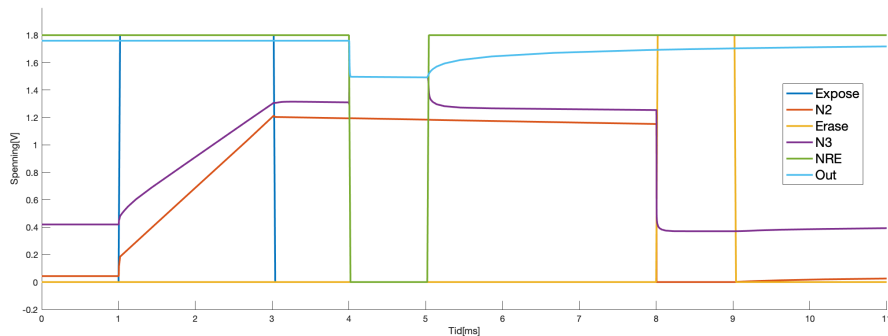
Reset-funksjonen er også testet for det sammensatte digitale systemet og resultatet er vist i figur 4.8 viser at det fungerer som ønsket.



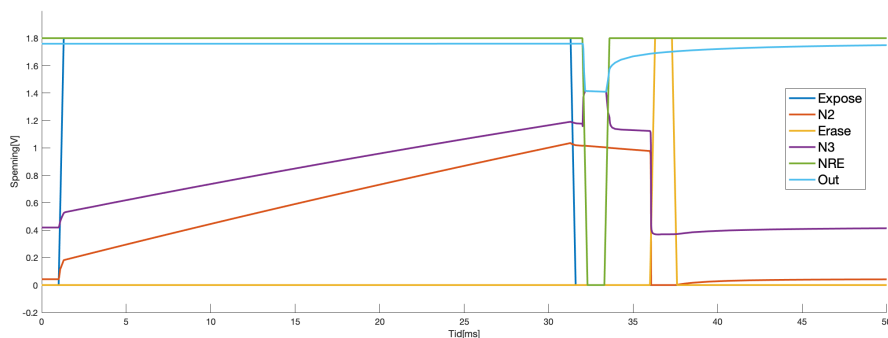
Figur 4.8: Simulering av reset-funksjon for det sammensatte digitale systemet

4.2 Analog krets

Den analoge kretsen fra figur 2.3 simuleres i AIM-Spice[4] med kode som vist i vedlegg B.1. Benyttede transistor og kondesatorstørrelser er som vist i tabell 3.4 og 3.5. Figur 4.9 og 4.10 viser resultatet ved simulering av en enkelt piksel ved de to grensetilfellene som nevnt i kapittel 3.2.1.



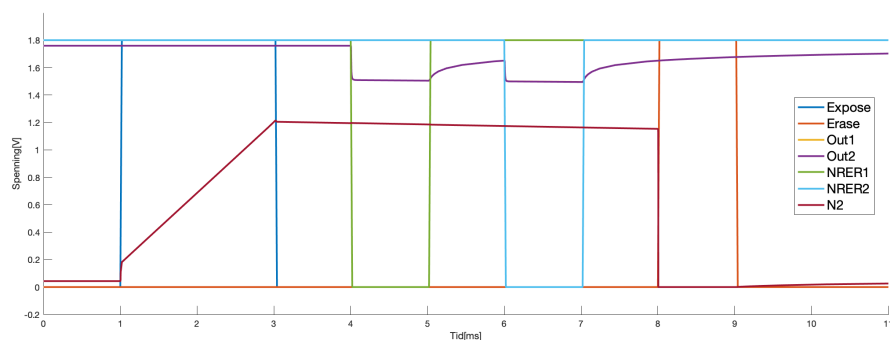
Figur 4.9: Simulering av individuell pikselkrets med $C_s = 1.3$ pF med eksponeringstid 2 ms og fotodiodestrøm lik 750 pA. Resultater fra AIM-Spice, og plottet i MATLAB[5]



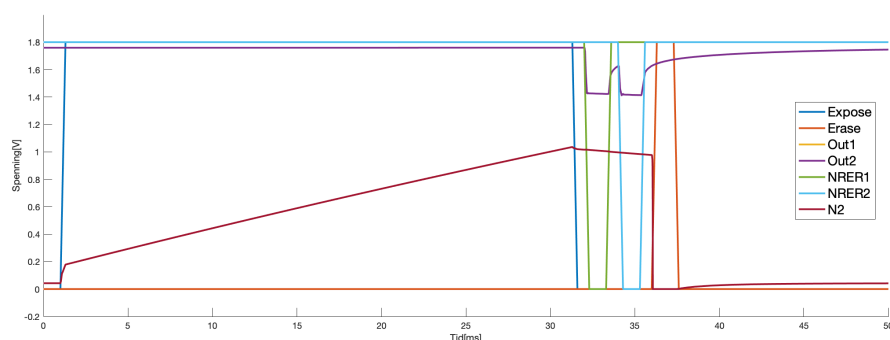
Figur 4.10: Simulering av individuell pikselkrets med $C_s = 1.3$ pF med eksponeringstid 30 ms og fotodiodestrøm lik 50 pA. Resultater fra AIM-Spice, og plottet i MATLAB

Av figurene kan man se at spenningen over kondensatoren, spenningen i node $N2$, er lineær i begge tilfellene, men at spenningen faller litt etter at eksponeringen er ferdig. Figurene viser også at ved avlesning stabiliserer spenningen på **Out** seg mellom spenningene V_{DD} og V_{N2} . Av figuren kan man også se at når **Erase** går høy faller spenningen V_{N2} til 0 V.

Fire enkeltpikslers er satt sammen til et rutenett som vist i figur 2.8. Resultatene ved bruk av testbenken i vedlegg B.2 er vist i figur 4.11 og 4.12 for strømmer på henholdsvis 750 pF og 50 pF.



Figur 4.11: Simulering av rutenett av pikselkrets med $C_s = 1.3$ pF med eksponeringstid 2 ms og fotodiodestrøm lik 750 pA. Resultater fra AIM-Spice, og plottet i MATLAB



Figur 4.12: Simulering av rutenett av pikselkrets med $C_s = 1.3$ pF med eksponeringstid 30 ms og fotodiodestrøm lik 50 pA. Resultater fra AIM-Spice, og plottet i MATLAB

Av figuren kan man se at man får en utslag på Out ved to tilfeller. Først er det en avlesning når NRE_R1 er lav og deretter når NRE_R2 er lav. Out-signalet er heller ikke blir påvirket av endringer i Expose eller Erase. Fordi benyttet testbenk påfører samme strøm til alle pikselene, får alle pikslene samme utslag og spenningen på Out1 og Out2 er derfor identiske.

5 Resultat og diskusjon

5.1 Digital kontrolllogikk

Resultatene presentert i kapittel 4.1 viser at systemet fungerer som ønsket. Simuleringene i figur 4.1 og 4.2 viser at eksponeringstiden holder seg innenfor de gitte spesifikasjonene på 2 ms og 30 ms samt at ved en reset av eksponeringstidsregisteret settes tiden til 2 ms slik som valgt i designet.

Figur 4.3 viser at nedtellingssystemet fungerer som ønsket ved at det tar like mange klokkesykler fra Start går høy som verdien på Init før Ov5f5 går høy. På figuren er det vist et eksempel med verdien 5 på Initial og systemet venter 5 klokkesykler før Ov5f5 går høy. Av figur 4.4 kan man se at reset-funksjonen også fungerer som ønsket ved at Ov5f5 forblir lav.

Det er ønskelig at utgangssignalene fra FSM kontrollen er som vist i figur 3.4 og av resultatene vist i figur 4.5 kan man se at dette stemmer. Systemet starter eksponeringen en sykel etter at **Init** går høy og fortsetter frem til **0vf5** går høy. Deretter starter den automatsike utlesningssekvensen og fortsetter akkurat som ønsket. I figur 4.6 kan man se at reset-funksjonen avbryter utlesningssekvensen og setter alle verdier til grunntilstandsverdiene.

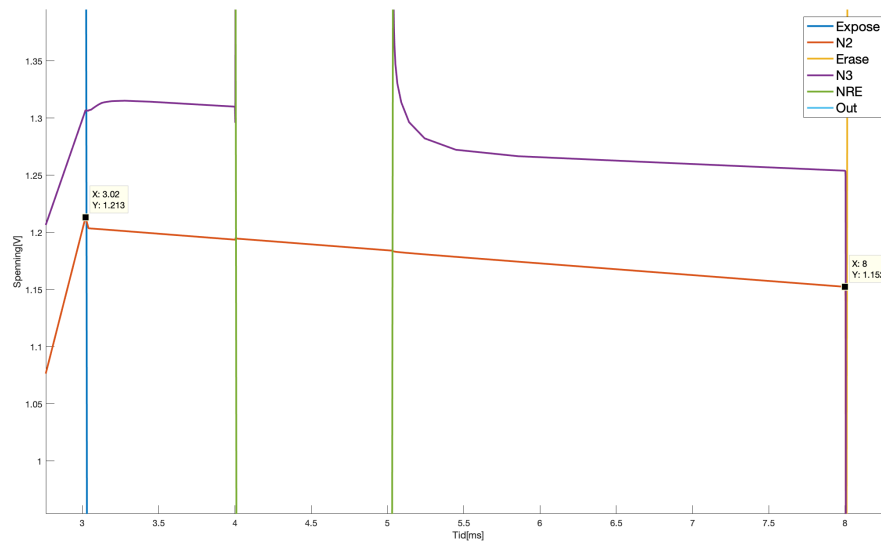
Figur 4.7 viser at den sammensatte digitale kontrollogikken fungerer som ønsket. Det er mulig å endre eksponeringstiden og resten av bildesekvensen fungerer i henhold til ønsket virkemåte. Figur 4.8 viser at ved en reset av hele det digitale systemet settes utgangssignalene til riktige verdier og kretsen blir resatt på en riktig måte.

5.2 Analog krets

Resultatene presentert i kapittel 4.2 viser at både den analoge individuelle pikselkretsen og det sammensatte rutenettet av analoge pikselkretser i all hovedsak fungerer som forventet. Det finnes derimot noen få abnormaliteter som vil bli diskutert i det følgende underkapittelet.

Den individuelle pikselkretsen fra 2.3 responderer som ventet når den utsettes for stimuli fra testbenken definert i vedlegg B.2. Det observeres at kondensator C_s lades opp ved eksponering og verdien leses av ved lav verdi på signalet **NRE**. Videre sees det at kondensatoren C_s lades ut ved høy verdi på signalet **Erase** og pikselkretsen settes tilbake til utgangstilstanden.

Det observeres fra figur 4.9 og 4.10 at spenningen over node $N2$ ikke holdes konstant fra signalet **Expose** går lavt til signalet **Erase** går høyt. Dette skyldes i all hovedsak en lekkasjestrøm i transistorbryteren $M2$ som gjør at ladningen i kondensatoren C_s gradvis lekker til V_{ss} mens avlesningen av spenningsverdien pågår. Dette er ikke heldig, da det risikeres at ADCen registrerer forskjellige spenning på piksler som er eksponert samtidig, men avleses til ulikt tidspunkt. Figur 5.1 viser et utsnitt av plottet fra figur 4.9 og viser forskjellen i spenning.



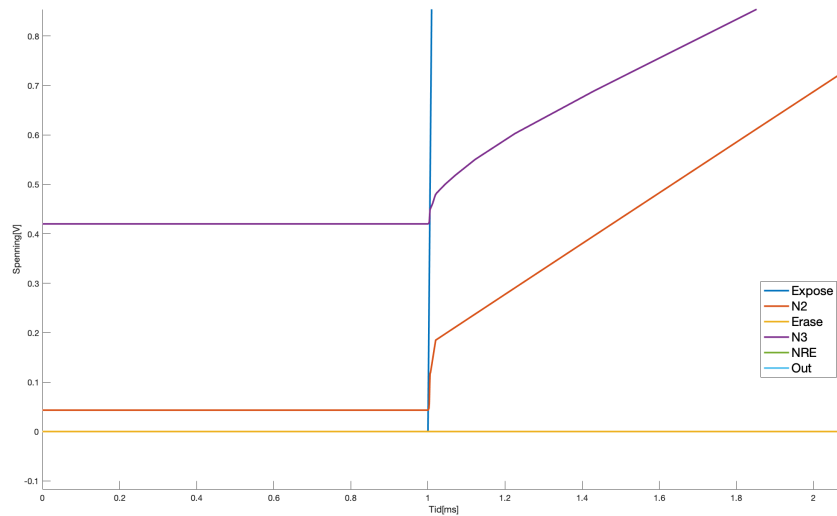
Figur 5.1: Utsnitt av figur 4.9 med fokus på området fra **Expose** går lav til **Erase** går høy. Høyeste og laveste spenningsverdi i det gjeldende området er markert.

Strømmen over node $N2$ vil være den samme for alle 4 pikslene i rutenettet på grunn av testbenken slik at det er tilstrekkelig å studere kun den ene. Det totale spenningstapet under avlesning finnes til 0.061 V, noe som tilsvarer et prosentvis tap på

$$\frac{0.061}{1.213} \cdot 100\% = 5.03\% \quad (5.1)$$

ved en 5 ms avlesningsperiode.

En annen faktor ved resultatene er spenningen i node $N2$ når signalet **Expose** går høyt. Et utsnitt av spenningen fra figur 4.9 er vist i figur 5.2.



Figur 5.2: Utsnitt av 4.9 med fokus på tilfellet der **Expose** går fra lav til høy.

Når **Expose** er lav vil transistorbryter $M1$ lede i subterskel tilstand. Dette vil i praksis si at det går en liten strøm gjennom transistor $M1$ selv når den er lukket. Når **Expose** så blir høy, og transistor $M1$ plutselig begynner å lede, vil kondensator C_s plutselig se en ny krets koblet til seg. Impedansen har altså gått fra å være veldig stor til å bli veldig liten. Ettersom systemets tilstand endres drastisk, er det rimelig å anta at DC-nivået i disse tilstandene også vil være forskjellige. Som en tilleggsopplysning kan den nevnes at transistor $M1$ ikke vil begynne å lede helt umiddelbart, men ettersom klokkehastigheten er 1 kHz vil det oppleves temmelig momentant da transistoren åpnes i løpet av nanosekunder.

Det observeres til slutt at spenningsverdien mellom node $N2$ og node $N3$ ligger med en stadig minkende avstand mellom hverandre fra figur 4.9 etterhvert som spenningen på hver av nodene øker. I starten når NRE er høy, og transistor $M4$ ikke leder, er DC-nivået kun på grunn av body effekten i transistoren. Etterhvert som spenningen stiger, og potensialet på gaten til transistor $M3$ øker, blir avstanden mindre fordi source og bulk potensialet blir mindre, og body effekten blir mindre virkningsfull.

6 Konklusjon

Digitalkameraet er realisert som et rutenett av analoge pikselkretser med tilhørende digital kontrolllogikk. Den analoge kretsen ble designet ved hjelp av transistorbrytere, en forsterker og en aktiv last, og alle ble dimensjonert for å fungere godt med hverandre. I tillegg ble body effekt og short channel effekt tatt høyde for slik at den realiserde kretsen fungerte så nært utregningene som mulig ved simulering. Den analoge kretsen responderte i henholdt til gitte krav som diskutert i kapittel 5.2.

Kameraets digitale kontrolllogikk er designet som ulike tilstandsmaskiner og et skiftregister. Systemet holder seg innenfor de gitte kravene på minste eksponeringstid på 2 ms og maksimale eksponeringstid på 30 ms.

Bibliografi

- [1] Tony Chan Carusone, David Johns, and Kenneth Martin. *ANALOG INTEGRATED CIRCUIT DESIGN International student version*. John Wiley & Sons, Inc, 2013.
- [2] Fakta om verilog. <https://en.wikipedia.org/wiki/Verilog>.
- [3] Bjørn B. Larsen. *TFE4152 – Design of integrated circuits 2018, Project description, Digital camera*. 2018.
- [4] Aim-spice hjemmeside. <http://www.aimspice.com/>.
- [5] Matlab hjemmeside. <https://www.mathworks.com/products/matlab.html>.

A Digital kontrollogikk

A.1 Eksponeringstidregister

```
1 `timescale 1 ms / 1 ns
2 module CTRL_ex_time (Exp_increase ,Exp_decrease ,clk ,Reset ,EXtime);
3
4 output reg[4:0] EXtime;
5 input wire Exp_increase;
6 input wire Exp_decrease;
7 input wire clk;
8 input wire Reset;
9
10 always_ff @(posedge clk) begin
11     if (Reset) EXtime = 2;
12     else if (Exp_increase) begin
13         if (EXtime < 30) EXtime <= EXtime + 1;
14     end
15     else if (Exp_decrease) begin
16         if (EXtime > 2) EXtime <= EXtime - 1;
17     end
18 end
19 endmodule
```

A.2 Nedteller

```
1 `timescale 1 ms / 1 ns
2 module Timer_counter ( Reset ,clk ,Start ,Initial ,Ovf5 );
3
4 output logic Ovf5 ;
5 input wire Reset ;
6 input wire clk ;
7 input wire Start ;
8 input reg[4:0] Initial ;
9 reg[4:0] counter;
10 initial
11     counter = 0;
12
13 typedef enum logic [1:0]{ S0,S1}statetype;
14 statetype state , nextState;
15
16 always @(posedge clk) begin
17     if(Reset) state = S0;
18     else state = nextState;
19
20     case(state)
21         S0: begin
22             Ovf5 = 0;
23             if(Start) nextState = S1;
24             else nextState = S0;
25         end
26         S1: begin
27             if(counter == Initial-1) begin
28                 Ovf5 = 1;
29                 nextState = S0;
30             end
31             else counter = counter + 1;
32         end
33     endcase
34 end
35 endmodule
```

A.3 FSM kontrol

```
1 `timescale 1 ms / 1 ns
2 module FSM_ex_control (Reset ,Clk ,Erase ,Expose ,ADC ,NRE_1 ,NRE_2 ,Init
   ,Start ,Ovf5 );
3
4 output reg Erase ;
5 output logic Expose, ADC, NRE_1, NRE_2, Start ;
6 input wire Reset, Clk, Init , Ovf5 ;
7 reg[3:0] counter;
8 reg Started;
9 initial begin
10     counter = 0;
11     Started = 0;
12 end
13
14 typedef enum logic [2:0]{ S0,S1,S2}statetype;
15 statetype state , nextState;
16
17 always @(posedge Clk) begin
18     if(Reset) state = S0;
19     else state = nextState;
20
21     case(state)
22     S0: begin
23         Expose = 0; NRE_1 = 1; NRE_2 = 1; ADC = 0; Start = 0; Erase = 1;
24         Started = 0;
25         if(Init)
26             nextState = S1;
27         else
28             nextState = S0;
29     end
30
31     S1: begin
32         if(!Started) begin
33             Start = 1; Expose = 1; Erase = 0;
34             Started = 1;
35         end
36         else Start = 0;
37         if(Ovf5) begin
38             nextState = S2;
39             Expose = 0;
40         end
41         else begin
42             nextState = S1;
43         end
44     end
45
46     S2: begin
47         case(counter)
48         1: NRE_1 = 0;
49         2: ADC = 1;
50         3: ADC = 0;
51         4: NRE_1 = 1;
52         5: NRE_2 = 0;
53         6: ADC = 1;
54         7: ADC = 0;
55         8: begin
56             NRE_2 = 1;
```

```
56         nextState = S0;
57     end
58 endcase
59     counter = counter + 1;
60 end
61 endcase
62 end
63 endmodule
```

A.4 Sammensatt krets

```
1 `timescale 1 ms / 1 us
2 module RE_control(Init , Exp_increase , Exp_decrease , Clk , Reset , NRE_1,
   NRE_2, ADC, Expose, Erase);
3
4 input logic Init , Exp_increase , Exp_decrease , Clk , Reset ;
5 output logic NRE_1, NRE_2, ADC, Expose, Erase;
6 wire [4:0] EXtime;
7 logic Start , Ovf5;
8
9 CTRL_ex_time timeBlock(Exp_increase ,Exp_decrease ,Clk ,Reset ,EXtime);
10 Timer_counter counterBlock(Reset ,Clk ,Start ,EXtime ,Ovf5);
11 FSM_ex_control stateBlock(Reset ,Clk ,Erase ,Expose ,ADC ,NRE_1 ,NRE_2 ,
   Init ,Start ,Ovf5);
12 endmodule
```


A.5 Testbenk sammensatt krets

```
1 `timescale 1 ms / 1 us
2
3 module RE_control_TB;
4
5 logic Init, Exp_increase, Exp_decrease, Clk, Reset, NRE_1, NRE_2, ADC,
   Expose, Erase, Ovf5;
6
7 RE_control controlunit(Init, Exp_increase, Exp_decrease, Clk, Reset,
   NRE_1, NRE_2, ADC, Expose, Erase, Ovf5);
8
9 initial begin
10     Clk=0; Reset = 1; #2;
11     Reset = 0; #2;
12     Exp_increase = 1; #10;
13     Exp_increase = 0; #1;
14     Exp_decrease = 1; #2;
15     Exp_decrease = 0; #2;
16     Init = 1; #1;
17     Init = 0; #5;
18
19 end
20
21 always
22     #0.5 Clk = !Clk;
23 initial
24     #50 $finish;
25 endmodule
```

B Analog krets

B.1 Firepikselskrets

```
1 FourPixel
2
3 .include p18_cmos_models_tt.inc
4 .include p18_model_card.inc
5
6 X11 VDD 0 Expose Erase NRE_R1 OUT1 OnePixel
7 X12 VDD 0 Expose Erase NRE_R1 OUT2 OnePixel
8 X21 VDD 0 Expose Erase NRE_R2 OUT1 OnePixel
9 X22 VDD 0 Expose Erase NRE_R2 OUT2 OnePixel
10
11 .subckt OnePixel Vdd Vss Expose Erase NRE Out
12 XPD1 Vdd N1 PhotoDiode
13 MN1 N1 Expose N2 0 NMOS L=0.7u W=10u
14 MN2 N2 Erase 0 0 NMOS L=2u W=2u
15 CS N2 0 1.3p
16 MP3 0 N2 N3 Vdd PMOS L=0.7u W=10u
17 MP4 N3 NRE Out Vdd PMOS L=0.7u W=10u
18
19 MC Out Out Vdd Vdd PMOS L=2u W=2u
20 CC Out 0 3p
21 .ends
22
23 .subckt PhotoDiode VDD N1_R1C1
24 I1_R1C1 VDD N1_R1C1 DC Ipd_1
25 d1 N1_R1C1 vdd dwell 1
26 .model dwell d cj0=1e-14 is=1e-12 m=0.5 bv=40
27 Cd1 N1_R1C1 VDD 30f
28 .ends
```

B.2 Analog testbenk

```
1 Testbench
2
3 .param Ipd_1 = 50p ! Photodiode current, range [50 pA, 750 pA]
4 .param VDD = 1.8 ! Supply voltage
5 .param EXPOSURETIME = 30m ! Exposure time, range [2 ms, 30 ms]
6
7 .param TRF = {EXPOSURETIME/100} ! Risetime and falltime of EXPOSURE and
   ERASE signals
8 .param PW = {EXPOSURETIME} ! Pulsewidth of EXPOSURE and ERASE signals
9 .param PERIOD = {EXPOSURETIME*10} ! Period for testbench sources
10 .param FS = 1k; ! Sampling clock frequency
11 .param CLK_PERIOD = {1/FS} ! Sampling clock period
12 .param EXPOSE_DLY = {CLK_PERIOD} ! Delay for EXPOSE signal
13 .param NRE_R1_DLY = {2*CLK_PERIOD + EXPOSURETIME} ! Delay for NRE signal
14 .param NRE_R2_DLY = {4*CLK_PERIOD + EXPOSURETIME} ! Delay for NRE signal
15 .param ERASE_DLY = {6*CLK_PERIOD + EXPOSURETIME} ! Delay for ERASE signal
16
17 VDD Vdd 0 dc VDD
18 VEXPOSE Expose 0 dc 0 pulse(0 VDD EXPOSE_DLY TRF TRF EXPOSURETIME PERIOD)
19 VERASE Erase 0 dc 0 pulse(0 VDD ERASE_DLY TRF TRF CLK_PERIOD PERIOD)
20 VNRE_R1 NRE_R1 0 dc 0 pulse(VDD 0 NRE_R1_DLY TRF TRF CLK_PERIOD PERIOD)
21 VNRE_R2 NRE_R2 0 dc 0 pulse(VDD 0 NRE_R2_DLY TRF TRF CLK_PERIOD PERIOD)
22
23 .plot V(EXPOSE) V(ERASE) V(Out1) V(Out2) V(NRE_R1) V(NRE_R2)
```