



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

ARQUITECTURAS AVANÇADAS DE COMPUTADORES

Simulação de um processador μ Risc

Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 29 de Março 2014

Índice

1	Introdução	1
2	Estrutura do Processador	1
2.1	Primeiro Andar - IF	1
2.2	Segundo Andar - ID e OF	1
2.3	Terceiro Andar - EX e MEM	1
2.4	Quarto Andar - WB	1

1 Introdução

2 Estrutura do Processador

O processador μ Risc que foi projectado encontra-se dividido em quatro andares

2.1 Primeiro Andar - IF

2.2 Segundo Andar - ID e OF

2.3 Terceiro Andar - EX e MEM

2.4 Quarto Andar - WB