

INSTITUTO SUPERIOR TÉCNICO

MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

ARQUITECTURAS AVANÇADAS DE COMPUTADORES

**Descrição do processador μ Risc a funcionar em
*pipeline***

Guilherme Branco Teixeira	n.º 70214
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 10 de Maio 2015

Índice

1	Introdução	1
2	Métodos de resolução para dependências e conflitos	1
2.1	Conflitos de dados: <i>data hazards</i>	1
2.2	Conflitos de dados, <i>data hazards</i>	1
2.3	Conflitos de controlo: <i>control hazards</i>	1
2.4	Conflitos de controlo, <i>control hazards</i>	2
3	Estrutura do Processador	2
4	Testes de <i>Performance</i>	2
5	Conclusões	3
6	Anexos	4

1 Introdução

Com este trabalho laboratorial pretende-se projectar um processador μ Risc com funcionamento em *pipeline*. O processador possui 4 andares de *pipelining*: no primeiro andar é feito o *instruction fetch* (IF), no segundo andar é feito o *instruction decode* (ID) e o *operand fetch* (OF), no terceiro andar são executadas operações da ALU (EX) e de acesso à memória de dados (MEM) e, por fim, no quarto é feita a escrita no banco de registos, o *write back* (WB). Com o funcionamento em *pipelining* podem ocorrer dois tipos de conflitos - de dados (*data hazards*) e de controlo (*control hazards*).

2 Métodos de resolução para dependências e conflitos

Em primeiro lugar apresentam-se os métodos e técnicas de resolução dos conflitos de controlo e dados. Em segundo lugar quais as técnicas que foram de facto utilizadas.

2.1 Conflitos de dados: *data hazards*

Um conflito de dados surge quando uma instrução depende dos resultados da instrução anterior, de forma a afectar o resultado obtido pela linha de processamento.

referir que no
nosso caso so
ha conflitos do
tipo RAW

2.2 Conflitos de dados, *data hazards*

Conflito que surge quando uma instrução depende dos resultados de uma instrução anterior, de forma a afectar o resultado obtido pela linha de processamento.

- **Solução 1:** Bloqueio dos andares do *pipeline*, *stall*, até que os dados correctos estejam disponíveis;
- **Solução 2:** Se o dado correcto existir algures no *pipeline*, estabelece-se um *bypass* para o andar correcto, aplicando a técnica de *forwarding*;
- **Solução 3:** Escalonar/reordenar as instruções, se a ordenação for feita pelo compilador, tem-se um escalonamento estático, se for feita pelo *hardware*, escalonamento dinâmico;

2.3 Conflitos de controlo: *control hazards*

Um conflito de controlo surge quando uma instrução de controlo condicional depende dos resultados de uma instrução anterior, de uma forma a impedir uma predição correcta. Analisando as soluções apresentadas verificou-se que o escalonamento estático e dinâmico não seria a solução desejada devido a complexidade para um processador de 4 andares comparativamente às outras anteriores. Ponderou-se inicialmente a utilização de *stalls* devido à facilidade de implementação mas devido ao inconveniente de reduzir o número médio de instruções por ciclo, optou-se pela segunda solução de forma a aumentar o número médio de instruções por ciclo como também a complexidade de implementação.

nao impede a
prediccao

2.4 Conflitos de controlo, *control hazards*

Conflito que surge quando uma instrução de controlo condicional depende dos resultados de uma instrução anterior, de uma forma a impedir uma predição correcta.

- **Solução 1:** BTB, foi construída uma BTB com 9 bits de largura e apenas um bit de predição (BPB);
- **Solução 2:** *forwarding* de flags, após se obter o resultado necessário para a predição, estabelece-se um bypass para verificar a condição do salto;

explicar o que é uma BTB, explicar BPB

3 Estrutura do Processador

4 Testes de *Performance*

Tabela 1: Diversas topologias do processador que foram testadas.

Processador #1	com <i>forwarding</i> de dados e BTB
Processador #2	sem <i>forwarding</i> de dados, com NOPS e com BTB
Processador #3	com <i>forwarding</i> de dados e sem BTB
Processador #4	sem <i>forwarding</i> de dados e sem BTB

Tabela 2: Resultados obtidos para o teste#1.

Teste #1	Frequência [MHz]	Número de Ciclos de Execução	Número de Predições Falhadas	Tempo de Execução [μs]
Processador #1	211,338	57	0	0,2697
Processador #2	211,338	114	0	0,5394
Processador #3	285,608	57	0	0,1996
Processador #4	285,608	114	0	0,3991

Tabela 3: Resultados obtidos para o teste#2.

Teste #2	Frequência [MHz]	Número de Ciclos de Execução	Número de Predições Falhadas	Tempo de Execução [μs]
Processador #1	211,338	2358	108	11,1575
Processador #2	211,338	3044	108	14,4035
Processador #3	285,608	2705	463	9,4710
Processador #4	285,608	3323	463	11,6348




Tabela 4: Resultados obtidos para o teste#3.

Teste #3	Frequência [MHz]	Número de Ciclos de Execução	Número de Predições Falhadas	Tempo de Execução [μs]
Processador #1	211,338	1058	122	5,0062
Processador #2	211,338	1582	122	7,4856
Processador #3	285,608	1123	187	3,9320
Processador #4	285,608	1647	187	5,7666

5 Conclusões

6 Anexos

Todo list

	referir que no nosso caso so ha conflitos do tipo RAW	1
	nao impede a prediccao	1
	explicar o que é uma BTB, explicar BPB	2