



INSTITUTO SUPERIOR TÉCNICO  
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE  
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS  
*Design de um Amplificador e ADC de 4 bits*

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 1 de Maio de 2015

# Índice

<b>1</b>	<b>Introdução</b>	<b>1</b>
<b>2</b>	<b>Abordagem ao Circuito</b>	<b>2</b>
2.1	Identificação do Funcionamento do Circuito . . . . .	2
2.2	Definicação das Dimensões dos Transístores . . . . .	4
<b>3</b>	<b>Conclusões</b>	<b>6</b>

# 1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	$V_{DD}$	3.3 V
Ganho para Sinais de Baixa Amplitude	$A_v$	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	$C_L$	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ $\mu$ s
<i>Budget</i> da Corrente	$I_{DD}$	400 $\mu$ A
Área de <i>Die</i>	/	0.02 mm <sup>2</sup>

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.

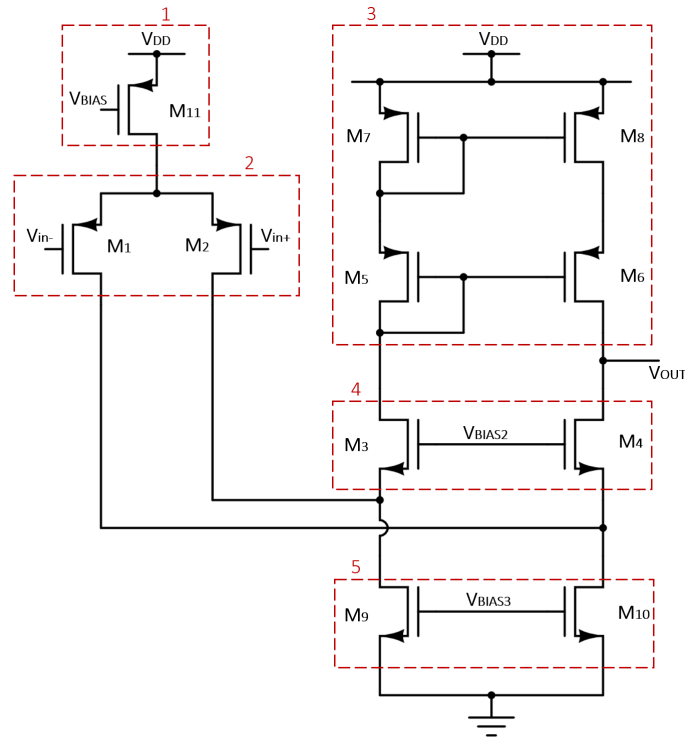


Figura 1: Circuito do amplificador a projectar.

## 2 Abordagem ao Circuito

### 2.1 Identificação do Funcionamento do Circuito

Analisando o circuito da Figura 1 em pormenor identificam-se 5 blocos, sendo importante analisar a função de cada um, para que melhor se possa compreender o funcionamento e comportamento do circuito na sua totalidade.

O Bloco 1 representa o transistor responsável pela polarização do circuito. O Bloco 2 representa um par diferencial PMOS. O Bloco 3 corresponde a um espelho de corrente *cascade* básico do tipo PMOS.

Relativamente ao par diferencial, o circuito pode funcionar de acordo com três situações:

- $v_{in-} = v_{in+} \rightarrow$  situação 1
- $v_{in-} > v_{in+} \rightarrow$  situação 2
- $v_{in-} < v_{in+} \rightarrow$  situação 3

Na situação 1, cada transistor do par diferencial,  $M_1$  e  $M_2$ , tem metade da corrente que passa em  $M_{11}$  e o circuito apresenta o seguinte comportamento.

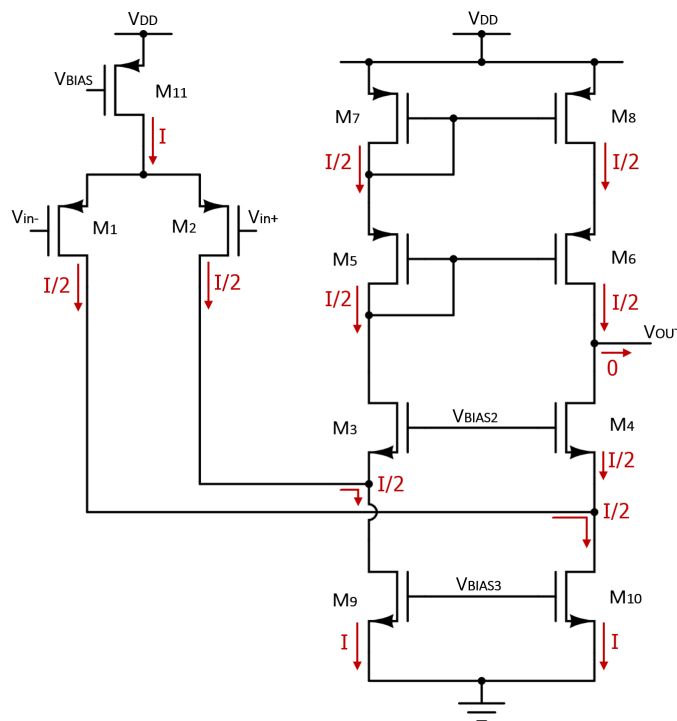


Figura 2: Funcionamento do circuito na situação 1.

Considerando agora o extremo da situação 2, a tensão na *gate* de  $M_1$  toma o valor máximo da fonte de tensão que polariza esse transistor e a tensão na *gate* de  $M_2$  é nula. Assim, o circuito apresenta o seguinte comportamento.

bloco 4 e 5?

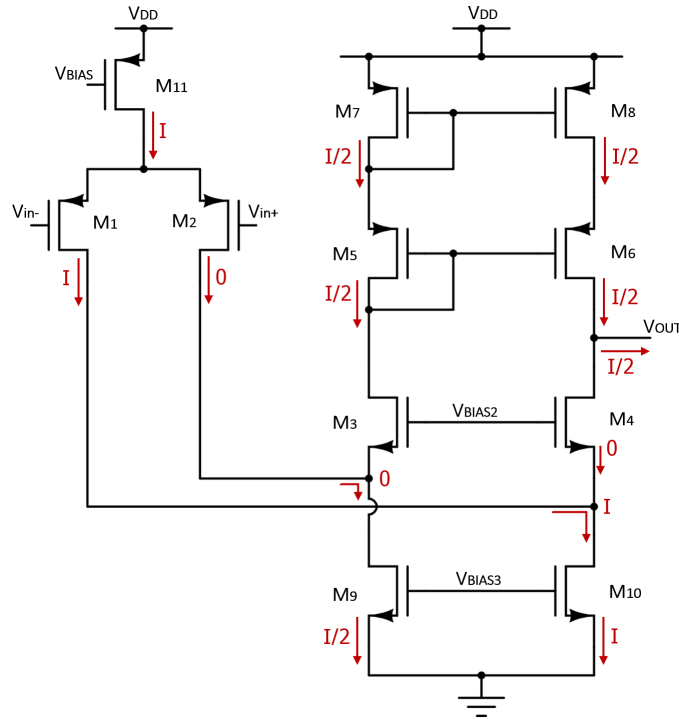


Figura 3: Funcionamento do circuito no extremo da situação 2.

Considerando agora o extremo da situação 3, a tensão na *gate* de  $M_2$  toma o valor máximo da fonte de tensão que polariza esse transistor e a tensão na *gate* de  $M_1$  é nula. Assim, o circuito apresenta o seguinte comportamento.

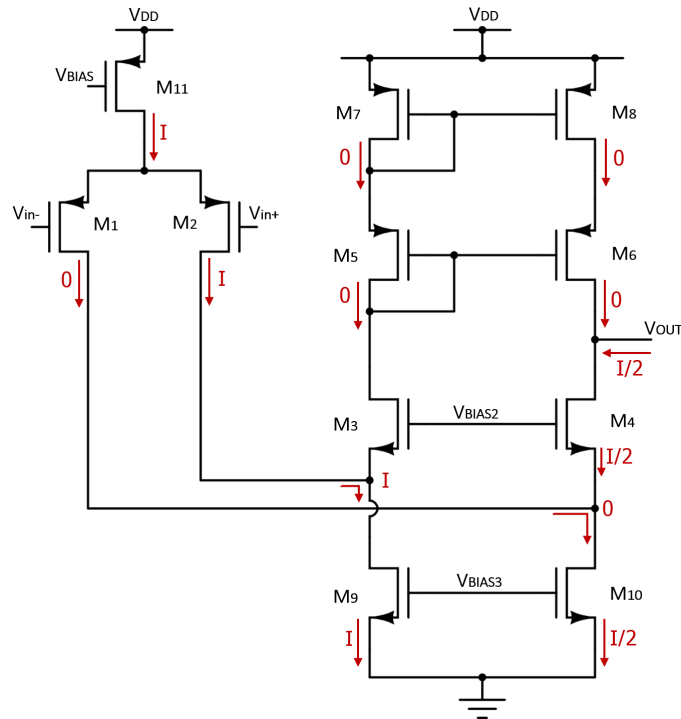


Figura 4: Funcionamento do circuito no extremo da situação 3.

## 2.2 Definição das Dimensões dos Transístores

A primeira fase no projecto do amplificador passou por decidir as dimensões dos vários transístores. Sabe-se que a dimensão de um transístor é dada pelos parâmetros  $W$  (*width* - largura) e  $L$  (*length* - comprimento).

O valor de  $L$  ficou decidido à partida como sendo  $1\ \mu\text{m}$  para todos os transístores do circuito, isto porque se tem como *rule of thumb* que, para se evitar o efeito de modulação do comprimento do canal, o valor de  $L$  deve ser maior ou igual a  $1\ \mu\text{m}$ . O valor de  $W$  pode ser calculado recorrendo à equação que determina a corrente num transístor. Para um transístor do tipo P a corrente é dada por

$$I_D = \frac{1}{2} \mu_n C_{ox} \times \left( \frac{W}{L} \right) \times (V_{GS} - V_{TH})^2 = k_P \times \left( \frac{W}{L} \right) \times V_{OD}^2, \quad (2.1)$$

sendo que para um transístor do tipo N troca o valor do factor de ganho, em vez de  $k_P$  tem-se  $k_N$ .

Da equação anterior pretende-se determinar o valor de  $W$  dos vários transístores, sendo então necessário saber o valor de  $L$  (já determinado anteriormente), o valor da corrente que passa nos transístores,  $I_D$ , o valor de  $k$  e o valor da tensão de *overdrive*,  $V_{OD}$ .

O valor da tensão de *overdrive* definiu-se como sendo de  $0.2\ \text{V}$  para todos os transístores. Este valor deriva de outra *rule of thumb* que indica que se deve escolher para  $V_{OD}$  um valor de  $0.2\ \text{V}$  - menos do que isso e fica-se demasiado sensível a  $V_{TH}$  e mais do que isso e fica-se com pouca margem de saturação, que é uma medida do quão dentro da saturação se está, sendo calculada por  $V_{DS} - V_{OD}$ .

O valor de  $k$  pode ser obtido com recurso aos *process parameters*, sendo de referir que o valores que se retiram das *datasheets* representam apenas  $\mu_n C_{ox}$ , pelo que têm de ser multiplicados por  $1/2$  para que se obtenha o factor de ganho final, como se pode ver na próxima equação, para o caso de um transístor do tipo P:

$$k_P = \frac{1}{2} \mu_n C_{ox} = \frac{1}{2} \times K P_P. \quad (2.2)$$

Os valores já conhecidos que ajudam a obter o valor de  $W$  através da equação (2.1) encontram-se esquematizados na seguinte tabela.

Tabela 2: Valores especificados para algumas das características que definem os transístores.

Especificação	Método de Cálculo	Símbolo	Valor
Comprimento	<i>rule of thumb</i>	$L$	$1\ \mu\text{m}$
Tensão de <i>Overdrive</i>	<i>rule of thumb</i>	$V_{OD}$	$0.2\ \text{V}$
Factor de Ganho (tipo P) <i>datasheet</i>	<i>process parameters</i>	$K P_P$	$58\ \mu\text{A}/\text{V}^2$
Factor de Ganho (tipo N) <i>datasheet</i>	<i>process parameters</i>	$K P_N$	$175\ \mu\text{A}/\text{V}^2$
Factor de ganho (tipo P)	equação (2.2)	$k_P$	$29\ \mu\text{A}/\text{V}^2$
Factor de ganho (tipo N)	equação (2.2)	$k_N$	$87.5\ \mu\text{A}/\text{V}^2$

Para determinar os valores das correntes que passam nos vários transístores começou-se por determinar a corrente máxima à saída do circuito. Existe uma relação entre a *slew-rate*,  $SR$ , e a corrente de saída máxima,  $I_{out_{max}}$  expressa por

$$SR = \frac{I_{out_{max}}}{C_L}, \quad (2.3)$$

que nos permite concluir que quanto maior for a corrente de saída, mais depressa é carregado o condensador que constitui a carga.

Com os valores da Tabela 1 obtém-se:

$$SR = \frac{I_{out_{max}}}{C_L} \leftrightarrow I_{out_{max}} = 200 \times 0.25 \times 10^{-6} \text{ A} = 50 \text{ } \mu\text{A}. \quad (2.4)$$

Analisando as Figuras 3 a 4 percebe-se que a corrente  $I_{out_{max}}$  corresponde a  $I/2$ , pelo que o valor máximo de  $I$  corresponde a  $100 \text{ } \mu\text{A}$ . Assim, o dimensionamento dos transístores foi feito tendo em conta o máximo de corrente que por eles passa.

### 3 Conclusões