



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS
Design de um Amplificador e ADC de 4 bits

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 1 de Maio de 2015

Índice

1	Introdução	1
2	Abordagem ao Circuito	2
2.1	Funcionamento Teórico do Circuito	2
2.2	Primeiro Dimensionamento dos Transístores	4
2.3	Primeira Simulação	5
3	Conclusões	8

1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	V_{DD}	3.3 V
Ganho para Sinais de Baixa Amplitude	A_v	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	C_L	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ μ s
<i>Budget</i> da Corrente	I_{DD}	400 μ A
Área de <i>Die</i>	/	0.02 mm ²

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.



Figura 1: Circuito do amplificador a projectar.

introducao
teorica do
OTA

2.2 Primeiro Dimensionamento dos Transístores

A primeira fase no projecto do amplificador passou por decidir as dimensões dos vários transístores. Sabe-se que a dimensão de um transístor é dada pelos parâmetros W (*width* - largura) e L (*length* - comprimento).

O valor de L ficou decidido à partida como sendo $1\ \mu\text{m}$ para todos os transístores do circuito, isto porque se tem como *rule of thumb* que, para se evitar o efeito de modulação do comprimento do canal, o valor de L deve ser maior ou igual a $1\ \mu\text{m}$. O valor de W pode ser calculado recorrendo à equação que determina a corrente num transístor. Para um transístor do tipo P a corrente é dada por

$$I_D = \frac{1}{2} \mu_n C_{ox} \times \left(\frac{W}{L} \right) \times (V_{GS} - V_{TH})^2 = k_P \times \left(\frac{W}{L} \right) \times V_{OD}^2, \quad (2.1)$$

sendo que para um transístor do tipo N troca o valor do factor de ganho, em vez de k_P tem-se k_N .

Da equação anterior pretende-se determinar o valor de W dos vários transístores, sendo então necessário saber o valor de L (já determinado anteriormente), o valor da corrente que passa nos transístores, I_D , o valor de k e o valor da tensão de *overdrive*, V_{OD} .

O valor da tensão de *overdrive* definiu-se como sendo de $0.2\ \text{V}$ para todos os transístores. Este valor deriva de outra *rule of thumb* que indica que se deve escolher para V_{OD} um valor de $0.2\ \text{V}$ - menos do que isso e fica-se demasiado sensível a V_{TH} e mais do que isso e fica-se com pouca margem de saturação, que é uma medida do quão dentro da saturação se está, sendo calculada por $V_{DS} - V_{OD}$.

O valor de k pode ser obtido com recurso aos *process parameters*, sendo de referir que o valores que se retiram das *datasheets* representam apenas $\mu_n C_{ox}$, pelo que têm de ser multiplicados por $1/2$ para que se obtenha o factor de ganho final, como se pode ver na próxima equação, para o caso de um transístor do tipo P:

$$k_P = \frac{1}{2} \mu_n C_{ox} = \frac{1}{2} \times K P_P. \quad (2.2)$$

Os valores já conhecidos que ajudam a obter o valor de W através da equação (2.1) encontram-se esquematizados na seguinte tabela.

Tabela 2: Valores especificados para algumas das características que definem os transístores.

Especificação	Método de Cálculo	Símbolo	Valor
Comprimento	<i>rule of thumb</i>	L	$1\ \mu\text{m}$
Tensão de <i>Overdrive</i>	<i>rule of thumb</i>	V_{OD}	$0.2\ \text{V}$
Factor de Ganho (tipo P) <i>datasheet</i>	<i>process parameters</i>	$K P_P$	$58\ \mu\text{A}/\text{V}^2$
Factor de Ganho (tipo N) <i>datasheet</i>	<i>process parameters</i>	$K P_N$	$175\ \mu\text{A}/\text{V}^2$
Factor de ganho (tipo P)	equação (2.2)	k_P	$29\ \mu\text{A}/\text{V}^2$
Factor de ganho (tipo N)	equação (2.2)	k_N	$87.5\ \mu\text{A}/\text{V}^2$

Para determinar os valores das correntes que passam nos vários transístores começou-se por determinar a corrente máxima à saída do circuito. Existe uma relação entre a *slew-rate*, SR , e a corrente de saída máxima, $I_{out_{max}}$ expressa por

$$SR = \frac{I_{out_{max}}}{C_L}, \quad (2.3)$$

que nos permite concluir que quanto maior for a corrente de saída, mais depressa é carregado o condensador que constitui a carga.

Com os valores da Tabela 1 obtém-se:

$$SR = \frac{I_{out_{max}}}{C_L} \leftrightarrow I_{out_{max}} = 200 \times 0.25 \times 10^{-6} \text{ A} = 50 \mu\text{A}. \quad (2.4)$$

Analisando as Figuras 3 a 4 percebe-se que a corrente $I_{out_{max}}$ corresponde a $I/2$, pelo que o valor máximo de I corresponde a $100 \mu\text{A}$. O dimensionamento dos transístores foi feito tendo em conta o ponto de funcionamento em repouso (PFR), situação 1, de acordo com

$$W_P = \frac{I_D \times L}{k_P \times V_{OD}^2} \rightarrow \text{transistor tipo PMOS}; \quad (2.5)$$

$$W_N = \frac{I_D \times L}{k_N \times V_{OD}^2} \rightarrow \text{transistor tipo NMOS}. \quad (2.6)$$

Os valores obtidos para a *width* dos vários transístores apresenta-se na tabela seguinte. De notar que os valores foram arredondados ao inteiro mais próximo.

Tabela 3: Valores de W dos transístores que constituem o circuito, calculados em função do PFR.

Transístor	Tipo	Corrente	Observações	W
M1	PMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	/	43 μm
M2	PMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	/	43 μm
M3	NMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	/	14 μm
M4	NMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	/	14 μm
M5	PMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	constitui espelho de corrente com M6 com rácio 1:1	43 μm
M6	PMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	constitui espelho de corrente com M5 com rácio 1:1	43 μm
M7	PMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	constitui espelho de corrente com M8 com rácio 1:1	43 μm
M8	PMOS	$I_D = I_{max}/2 = 50 \mu\text{A}$	constitui espelho de corrente com M7 com rácio 1:1	43 μm
M9	NMOS	$I_{Dmax} = I_{max} = 100 \mu\text{A}$	/	29 μm
M10	NMOS	$I_{Dmax} = I_{max} = 100 \mu\text{A}$	/	29 μm
M11	PMOS	$I_{Dmax} = I_{max} = 100 \mu\text{A}$	/	86 μm

De referir que os transístores M_5 e M_6 têm as mesmas dimensões, tal como pretendido, pois formam um espelho de corrente que tem como rácio 1:1. O mesmo se aplica aos transístores M_7 e M_8 .

2.3 Primeira Simulação

Com o dimensionamento dos transístores feito procede-se a uma primeira simulação do circuito, com o intuito de verificar o seu funcionamento. Porém, antes de simular o circuito alterou-se a sua polarização, para que em vez de ser feita em tensão seja feita em corrente. Isto é feito porque uma

polarização em corrente permite ter mais controlo, sendo que quando é feita em tensão não se tem garantias dos valores pretendidos.

Assim, o circuito da Figura 1 foi alterado para o apresentado de seguida.

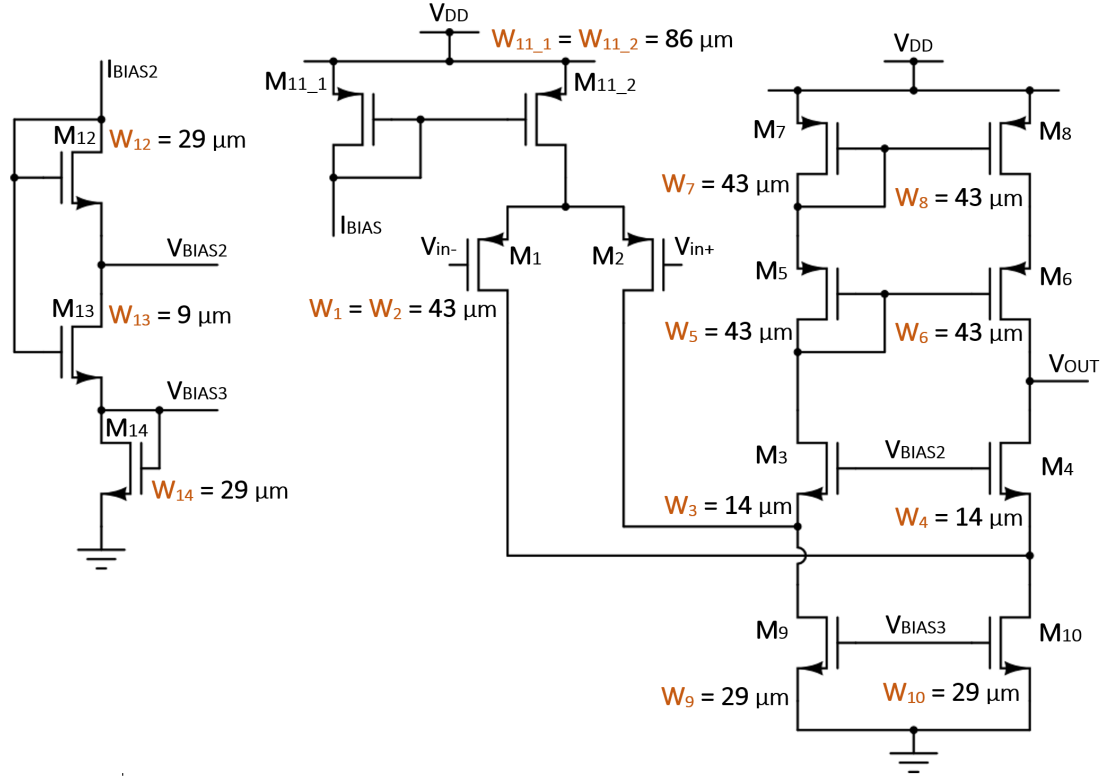


Figura 5: Primeiro circuito de simulação do amplificador.

Na figura anterior pode-se ver o valor de W utilizado nos vários transístores, sendo que para todos o valor de L é de $1 \mu\text{m}$.

Como se pode ver, o transístor M_{11} que é originalmente polarizado em tensão com V_{BIAS} , Bloco 1, foi substituído por um espelho de corrente básico que é polarizado em corrente com I_{BIAS} . A polarização feita com recurso a V_{BIAS_2} e V_{BIAS_3} foi também alterada para passar a ser feita em corrente com I_{BIAS_2} , através de um espelho de corrente *cascade low-voltage*. O valor de I_{BIAS} e de I_{BIAS_2} é de $100 \mu\text{A}$.

De notar que os transístores M_{11_1} e M_{11_2} têm a mesma dimensão que aquela que foi determinada para M_{11} , uma vez que a corrente que os atravessa é também $100 \mu\text{A}$ e são do tipo PMOS. Já os transístores M_{12} e M_{14} têm a mesma dimensão que M_9 e M_{10} , uma vez que a corrente que os atravessa é também $100 \mu\text{A}$ e são do tipo NMOS. O transístor M_{13} , de acordo com o funcionamento teórico de um espelho de corrente *cascade low-voltage*, deve ter um W 3 vezes inferior ao de M_{12} , assim como deve funcionar sempre no tríodo, o que implica uma *width* de $9 \mu\text{m}$.

Na Figura 6 encontra-se o *schematic* criado no Cadence correspondente ao da Figura 5.

Com o *schematic* anterior projectou-se um símbolo e criou-se um novo *schematic de testbench*, como se pode ver na Figura 7.

imagem
do sche-
matic

0 - corte 1 - triodo 2 - saturacao 3- subthreshold

imagem
do test-
bench

simulacao
e verifi-
cacao do
vgs

3 Conclusões