



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS

Design de um Amplificador

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 31 de Maio de 2015

Índice

1	Introdução	1
2	Adenda ao <i>Middle Target</i>	1
2.1	Detecção dos erros	2
2.2	Correcção do dimensionamento	3
2.3	Demonstração de resultados	4
2.3.1	Resultados do dimensionamento inicial	5
2.3.2	Resultados do dimensionamento corrigido	5
3	Projectão do <i>Layout</i>	6
3.1	Multiplicidade e <i>Fingers</i>	6
3.2	Disposição dos transístores	7
3.3	Ligações internas dos blocos	9
3.4	Ligações externas entre os blocos	9
4	Conclusões	10

1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	V_{DD}	3.3 V
Ganho para Sinais de Baixa Amplitude	A_v	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	C_L	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ μ s
<i>Budget</i> da Corrente	I_{DD}	400 μ A
Área de Die	/	0.02 mm ²

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.



Figura 1: Circuito do amplificador a projectar.

2 Adenda ao *Middle Target*

Esta secção foi acrescentada ao relatório final no intuito de corrigir os resultados obtidos e apresentados no relatório anterior, o do *middle target*. Como referenciado, pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da Tabela 1.

2.1 Detecção dos erros

Foram identificados vários erros no relatório intermédio que comprometem os resultados apresentados anteriormente. A primeira correcção foi referente ao *schematic* do *testbench* que permite simular o circuito em testes de resposta AC. Foi colocado um *switch* que simula a bobine - provoca um circuito aberto para um regime AC e curto-circuito para um regime DC. Foi também alterada a amplitude do sinal de entrada de 3.3 V para 1.6 V, sendo que esta alteração garante que os transístores não saem da saturação. De seguida pode-se comparar o novo *testbench* com o anterior.

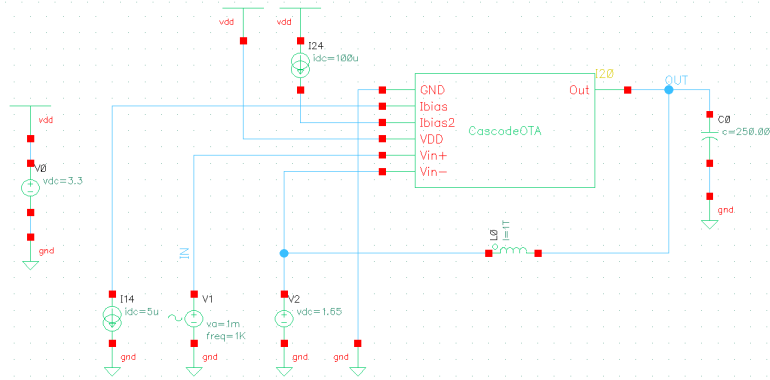


Figura 2: *Schematic* do *testbench* anterior que permite simular o circuito em testes de resposta AC.

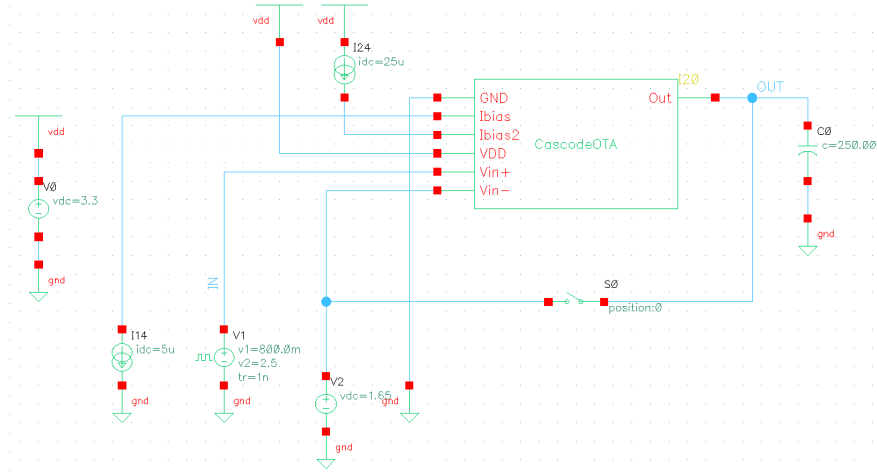


Figura 3: *Schematic* do novo *testbench* que permite simular o circuito em testes da *slew-rate* e de resposta transiente, DC e AC.

Outro erro identificado é referente ao cálculo da *slew-rate*. No relatório intermédio, o resultado da *slew-rate* era relativo só ao flanco de descida, sendo necessário demonstrar para os dois flancos - subida (equação 2.1) e descida (equação 1.2).

$$\text{slewRate}(\text{VT}("/\text{OUT}")) \ 1 \ \text{nil} \ 2 \ \text{nil} \ 10 \ 90 \ \text{nil} \ \text{"time"}) \quad (2.1)$$

$$\text{slewRate}(\text{VT}("/\text{OUT}")) \ 2 \ \text{nil} \ 1 \ \text{nil} \ 10 \ 90 \ \text{nil} \ \text{"time"}) \quad (2.2)$$

A equação `slewRate` é obtida da calculadora do *CADENCE*, escolhendo o sinal pretendido. Neste caso o sinal é a saída do *CascodeOTA*, `VT("/OUT")`. De seguida escolhe-se a posição inicial e final para

o calculo da *slew-rate*, foi definido que para o flanco de descida começa-se a calcular desde 2 V até 1 V e no flanco de subida o calculo é o inverso, de 1 V até 2 V. O intervalo anteriormente referido foi escolhido de forma a calcular a *slew-rate* na zona onde os transístores se encontram na saturação.

2.2 Correção do dimensionamento

Com os erros anteriormente referidos corrigidos, o circuito apresentado na entrega intermédia falhava em algumas especificações, ganho para sinais de baixa amplitude, margem de fase e largura de banda, na secção inicial está demonstrado os resultados das simulações de Monte Carlo e *corners*.

Com o intuito de corrigir as dimensões, partiu-se de um critério inicial, obter transístores de dimensões mais reduzidas e manter o rácio W/L obtido no relatório anterior. Em primeiro lugar, verificou-se com a nova expressão do calculo da *slew-rate* obtém-se resultados mais elevados, assim sendo podesse reduzir as dimensões dos transístores M_9 e M_{10} . De seguida pretendeu-se melhorar a margem de fase, analisando o resultado das especificações pretendidas verificou-se que era necessário aumentar a largura de banda de forma a obter uma margem de fase sem alterar significativamente os resultados das outras especificações. Começou-se por analisar as dimensões das capacidades do circuito e verificou-se que a capacidade referente aos transístores M_7 e M_8 é a capacidade que mais influencia a margem de fase. Mas como já foi referido no relatório anterior os transístores M_7 e M_8 também afectam o ganho e a largura de banda, como se pode ver pelas expressões seguintes. Assim sendo, e analisando as expressões decidiu-se inicialmente por diminuir os transístores M_7 e M_8 o que fez aumentar a largura de banda como também a margem de fase. Com o intuito de melhorar as especificações obtidas diminui-se as dimensões dos transístores M_3 e M_4 até atingir uma dimensão de L mínima de 0.85μ este critério foi também aplicado aos transístores M_5 e M_6 sendo necessário um aumento das dimensões.

$$A_v = g_{m1}R_o = g_{m1} [(g_{m4}r_{o4} (r_{o2}/r_{o10})) // (g_{m6}r_{o6}r_{o8})]; \quad (2.3)$$

$$f_p = \frac{1}{2\pi C_L R_o} = \frac{1}{2\pi C_L [(g_{m4}r_{o4} (r_{o2}/r_{o10})) // (g_{m6}r_{o6}r_{o8})]}; \quad (2.4)$$

Com estas alterações conseguiu-se obter todas as especificações menos para o ganho de sinais de baixa amplitude. Analisando a expressão anterior do ganho e verifica-se que para aumentar o ganho sem alterar as restantes especificações, seria aumentar o g_{m1} . Como g_m é directamente proporcional a I_D , com aumento de W há o aumento de I_D e aumento de g_m . A expressão seguinte mostra como W influencia I_D :

$$g_m \propto I_D = k_P \times \left(\frac{W}{L}\right) \times V_{OD}^2 \times (1 + \lambda V_{DS}). \quad (2.5)$$

Assim, o circuito final relativamente à entrega intermédia é:

explicar isto

nao esquecer que o racio de m1 e m2 mudou face ao da entrega intermedia, expliciar porque

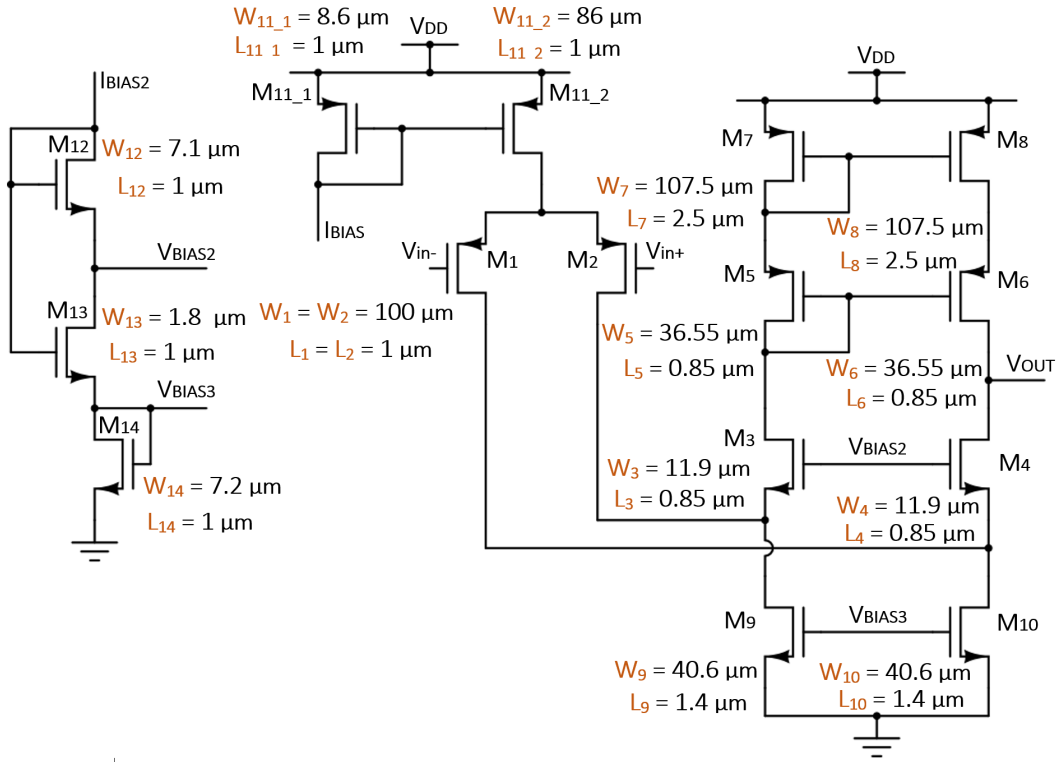


Figura 4: Circuito final da entrega intermédia.

Tabela 2: Dimensões dos transístores que constituem o amplificador.

Transístores	W [μm]	L [μm]	Rácio W/L
M1 e M2	100	1	100
M3 e M4	11.9	0.85	14
M5 e M6	36.55	0.85	43
M7 e M8	107.5	2.5	43
M9 e M10	40.6	1.4	29
M11_1	8.6	1	8.6
M11_2	8.6	1	8.6
M12	7.1	1	7.1
M13	1.8	1	1.8
M14	7.2	1	7.2

2.3 Demonstração de resultados

Nesta secção apresenta-se os resultados do dimensionamento do relatório intermédio e do novo dimensionamento anteriormente referido, para simulações de Monte Carlo e de *corners*.

2.3.1 Resultados do dimensionamento inicial

Test	Name	Yield	Min	Target	Max	Mean	Sigma to Target	Sigma
Parameters: Yield Estimate: 42 % (21 passed/50 pts)								
- SIA2015_Sim.CascodeOTA.1								
- Slew Rate Descida(summary)	100	-264.3M		-229.4M	-250.6M	6.34464	7.967M	
Slew Rate Descida	100	-264.3M	< -200M	-229.4M	-250.6M	6.34464	7.967M	
- Slew Rate Subida(summary)	100	211.5M		260.9M	235.5M	3.12828	11.35M	
Slew Rate Subida	100	211.5M	> 200M	260.9M	235.5M	3.12828	11.35M	
- gainBwProd(VF(*"/OUT"))(summary)	100	174.9M		217.3M	195M		9.222M	
gainBwProd(VF(*"/OUT"))	100	174.9M	info	217.3M	195M		9.222M	
- ganho(summary)	70	66.68		73.33	69.62	0.458434	1.359	
ganho	70	66.68	> 69	73.33	69.62	0.458434	1.359	
- largura de banda(summary)	74	45.84k		80.86k	64.65k	0.60054	7.74k	
largura de banda	74	45.84k	> 60k	80.86k	64.65k	0.60054	7.74k	
- margem de fase (summary)	96	59.77		62.56	61.07	1.60217,28.4143	666.3m	
margem de fase	96	59.77	range 60 80	62.56	61.07	1.60217,28.4143	666.3m	

Figura 5: Simulação de Monte Carlo para 50 pontos.

Test	Output	Nominal	Pass/Fail	Min	Max
SIA2015_Sim.CascodeOTA.1	ganho	67.52	near	67.52	67.52
SIA2015_Sim.CascodeOTA.1	largura de banda	75.12k	pass	75.12k	75.12k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.49	pass	61.49	61.49
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	213.1M	pass	213.1M	213.1M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-230.7M	pass	-230.7M	-230.7M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	179M		179M	179M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	72.16	pass	72.16	72.16
SIA2015_Sim.CascodeOTA.1	largura de banda	48.48k	fail	48.48k	48.48k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.13	pass	61.13	61.13
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	244.6M	pass	244.6M	244.6M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-252.3M	pass	-252.3M	-252.3M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	197.6M		197.6M	197.6M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	68.1	near	68.1	68.1
SIA2015_Sim.CascodeOTA.1	largura de banda	72.6k	pass	72.6k	72.6k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.36	pass	61.36	61.36
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	236.6M	pass	236.6M	236.6M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-247.6M	pass	-247.6M	-247.6M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	184.9M		184.9M	184.9M

Figura 6: Resultados obtidos para as 3 primeiras simulações de Monte Carlo.

Test	Output	Nominal	Pass/Fail	Min	Max	WP	WS	W0	W2
SIA2015_Sim.CascodeOTA.1	ganho	66.65	near	66.65	70.82	69.8	69.89	68.76	70.82
SIA2015_Sim.CascodeOTA.1	largura de banda	71.19k	near	56.64k	71.82k	71.82k	56.64k	65.55k	62.57k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.63	near	57.21	64.83	62.37	60.02	64.83	57.21
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	242M	pass	227.6M	253.5M	253.5M	227.6M	231M	252M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-250.5M	pass	-263.6M	-244.2M	-251.6M	-254.7M	-244.2M	-263.6M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	193.3M		177.4M	222.6M	222.6M	177.4M	180M	216M

Figura 7: Simulação por *corners*.

2.3.2 Resultados do dimensionamento corrigido

Test	Name	Yield	Min	Target	Max	Mean	Sigma to Target	Sigma
Parameters: Yield Estimate: 92 % (46 passed/50 pts)								
- SIA2015_Sim.CascodeOTA.1								
- Slew Rate Descida(summary)	100	-304M		-259.9M	-286.3M	10.6882	8.113M	
Slew Rate Descida	100	-304M	< -200M	-259.9M	-286.3M	10.6882	8.113M	
- Slew Rate Subida(summary)	100	271.1M		305.8M	289.5M	12.3037	7.272M	
Slew Rate Subida	100	271.1M	> 200M	305.8M	289.5M	12.3037	7.272M	
- gainBwProd(VF(*"/OUT"))(summary)	100	306.8M		374.6M	337.4M		14.06M	
gainBwProd(VF(*"/OUT"))	100	306.8M	info	374.6M	337.4M		14.06M	
- ganho(summary)	96	66.57		74.71	71.66	2.00403	1.326	
ganho	96	66.57	> 69	74.71	71.66	2.00403	1.326	
- largura de banda(summary)	100	65.53k		122.9k	88.61k	2.49824	11.45k	
largura de banda	100	65.53k	> 60k	122.9k	88.61k	2.49824	11.45k	
- margem de fase (summary)	96	59.37		64.8	62.75	2.56023,16.2053	1.065	
margem de fase	96	59.37	range 60 80	64.8	62.75	2.56023,16.2053	1.065	

Figura 8: Simulação de Monte Carlo para 50 pontos.

Test	Output	Nominal	Pass/Fail	Min	Max
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	70.45	pass	70.45	70.45
SIA2015_Sim.CascodeOTA.1	largura de banda	93.75k	pass	93.75k	93.75k
SIA2015_Sim.CascodeOTA.1	margem de fase	63.89	pass	63.89	63.89
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	289.2M	pass	289.2M	289.2M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-286.9M	pass	-286.9M	-286.9M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	312.9M		312.9M	312.9M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	73.75	pass	73.75	73.75
SIA2015_Sim.CascodeOTA.1	largura de banda	70.07k	pass	70.07k	70.07k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.78	pass	61.78	61.78
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	285.5M	pass	285.5M	285.5M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-285.7M	pass	-285.7M	-285.7M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	341.9M		341.9M	341.9M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	69.95	pass	69.95	69.95
SIA2015_Sim.CascodeOTA.1	largura de banda	102.8k	pass	102.8k	102.8k
SIA2015_Sim.CascodeOTA.1	margem de fase	63.78	pass	63.78	63.78
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	291.7M	pass	291.7M	291.7M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-287.2M	pass	-287.2M	-287.2M
SIA2015_Sim.CascodeOTA.1	gainBwProd(VF(*"/OUT"))	323.9M		323.9M	323.9M

Figura 9: Resultados obtidos para as 3 primeiras simulações de Monte Carlo.

Test	Output	Nominal	Pass/Fail	Min	Max	corner	WP	WS	W0	W2
SIA2015_Sim.CascodeOTA:1	ganho	70.97	pass	70.06	73.82	disab...	72.16	71.89	70.06	73.82
SIA2015_Sim.CascodeOTA:1	largura de banda	96.3k	pass	76.45k	97.18k	disab...	96.77k	76.45k	97.18k	77.62k
SIA2015_Sim.CascodeOTA:1	margin de fase	63.89	near	59.9	65.11	disab...	64.16	61.58	65.11	59.9
SIA2015_Sim.CascodeOTA:1	Slew Rate Subida	292.4M	pass	277.3M	303.8M	disab...	298.5M	284.9M	277.3M	303.8M
SIA2015_Sim.CascodeOTA:1	Slew Rate Descida	-291.5M	pass	-301.5M	-283.4M	disab...	-287.3M	-288.4M	-283.4M	-301.5M
SIA2015_Sim.CascodeOTA:1	gainBvProd(VF*/OUT*)	341.4M		301.2M	393.3M	disab...	393.3M	301.2M	310.1M	382.1M

Figura 10: Simulação por *corners*.

comentar diferenças obtidas

3 Projecção do *Layout*

3.1 Multiplicidade e *Fingers*

Para projectar o *layout* do circuito da Figura 4 optou-se por dividir os transístores de grandes dimensões com recurso a duas técnicas - multiplicidade e *fingers*. A técnica de *fingers* corresponde a um arranjo específico do transístor com n *gate fingers* em que as difusões da *source* e do *drain* são partilhadas. Se se tiver n *fingers* haverá então $n + 1$ difusões. A multiplicidade é quando se faz uma ligação em paralelo de múltiplos dispositivos MOS, sendo que o agregado deles corresponde a um só transístor.

Do ponto de vista da definição correspondem ao mesmo, mas são de facto duas maneiras diferentes de pensar na paralelização de transístores. Com o recurso a *fingers* tem-se uma única célula com o transístor completo com todos os *fingers*, útil para quando se quer uma célula mais compacta, enquanto na multiplicidade tem-se tantos transístores quanto a multiplicidade indicar. De facto, é possível conjugar as duas técnicas, ou seja, cada dispositivo MOS da multiplicidade pode ser feito com vários *fingers*.

Para o trabalho em causa optou-se por usar as duas técnicas teoricamente idênticas para adquirir mais experiência e para verificar as diferenças que têm ao nível de implementação prática no Cadence.

Estas práticas são aplicadas também de forma a evitar os efeitos nocivos de *mismatches*, ou seja da vulnerabilidade aos gradientes de parâmetro. Ao minimizar a área efectiva dos circuitos protege-se assim o dispositivo destes efeitos.

Sendo assim deu-se especial atenção aos pares de transístores em que se considerou que existe uma maior sensibilidade a *mismatches*. São estes os pares M1/M2, M7/M8, M9/M10 e M11-1/M11-2. Começou-se em primeira instância por aplicar multiplicidade, tentando aproximar-se ao máximo os tamanhos dos pares que estão ligados. Em adição a multiplicidade optou-se por usar também a técnica *fingers* nos pares M7/M8 e M5/M6

Assim, na tabela seguinte encontra-se uma descrição de como são constituídos os vários transístores do circuito.

explicar porque de fingers nos pares do M7 e do M5

Tabela 3: Dimensões e características dos transístores do amplificador.

Transístores	Multiplicidade	Número de <i>gates</i>	W_{total} [μm]	$W_{single\ gate}$ [μm]	L [μm]	Descrição
M1 e M2	8	1	100	12.5	1	8 transístores, cada um com 1 <i>gate</i>
M3 e M4	2	1	11.9	5.95	0.85	2 transístores, cada um com 1 <i>gate</i>
M5 e M6	1	4	36.6	9.15	0.85	1 transistor com 4 <i>gates</i>
M7 e M8	2	4	107.5	13.45	2.5	2 transístores, cada um com 4 <i>gates</i>
M9 e M10	4	1	40.6	10.15	1.4	4 transístores, cada um com 1 <i>gate</i>
M11_1	1	1	8.6	8.6	1	1 transistor com 1 <i>gate</i>
M11_2	10	1	8.6	0.86	1	10 transístores, cada um com 1 <i>gate</i>
M12	1	1	7.1	7.1	1	1 transistor com 1 <i>gate</i>
M13	1	1	1.8	1.8	1	1 transistor com 1 <i>gate</i>
M14	1	1	7.2	7.2	1	1 transistor com 1 <i>gate</i>

3.2 Disposição dos transístores

Depois de se definir como estão estruturados os vários transístores é importante definir como se encontram dispostos no *layout*. A topologia básica que foi utilizada é a de *common centroid*. Através desta técnica consegue-se garantir um melhor *matching* entre dois transístores iguais e em que se pretende um comportamento semelhante. De facto, o *common centroid* é utilizado para se garantir que, e.g., um amplificador diferencial tenha um sinal de modo comum próximo de 0 e, como tal, um CMRR maior.

Para o circuito em causa foram definidos 4 blocos principais sobre os quais se definiu uma estrutura *common centroid*:

- espelho de corrente básico que é polarizado em corrente com I_{BIAS} (equivalente ao Bloco 1 da Figura 1) - estrutura *common centroid* #1;
- transístores do par diferencial (Bloco 2 da Figura 1) - estrutura *common centroid* #2;
- espelho de corrente cascode básico do tipo PMOS (Bloco 3 da Figura 1) - estrutura *common centroid* #3;
- transístores do tipo NMOS - estrutura *common centroid* #4;

A escolha destes blocos foi feita com base no *mismatch*. É essencial que entre os transístores do par diferencial não haja diferenças de comportamento, pois se houver o circuito fica desequilibrado. Os dois espelhos de corrente existentes também não devem ter *mismatch*, pois pretende-se um espelhamento correcto.

De seguida apresenta-se as várias estruturas *common centroid* definidas:

e os transístores NMOS?

D	D	D	D	D	D	D
D	M _{11_2}	M _{11_2}	D	M _{11_2}	M _{11_2}	D
D	M _{11_2}	D	M _{11_1}	D	M _{11_2}	D
D	M _{11_2}	M _{11_2}	D	M _{11_2}	M _{11_2}	D
D	D	D	D	D	D	D

(a)

M ₁	M ₂	M ₂	M ₁	M ₁	M ₂	M ₂	M ₁
M ₂	M ₁	M ₁	M ₂	M ₂	M ₁	M ₁	M ₂

(b)

M ₈	M ₇
M ₇	M ₈
M ₅	M ₆

(c)

M ₄	M ₃	D	M ₄	M ₃
M ₁₀	M ₉	D	M ₁₀	M ₉
D	M ₁₂	M ₁₃	M ₁₄	D
M ₁₀	M ₉	D	M ₁₀	M ₉

(d)

Figura 11: Estrutura *common centroid* #1 (a), #2 (b), #3 (c) e #4 (d).

Nas figuras anteriores verifica-se a existências de transístores representados pela letra D - transístores *dummies*. Este tipo de transístores serve para se garantir que os restantes transístores têm a mesma vizinhança, ou seja, que à sua volta vêm o mesmo. Veja-se o seguinte exemplo em que se consideram dois transístores - 1 e 2. O transístor 1 está definido com uma multiplicidade de 1 e o transístor 2 com uma multiplicidade de 8. Na figura seguinte encontra-se um exemplo de estrutura *common centroid* para esse caso.

2	2	2
2	1	2
2	2	2

Figura 12: Exemplo de estrutura *common centroid* com dois transístores.

O transístor 1 tem como vizinhança 4 transístores - para cima, para baixo, para a esquerda e para a direita. No entanto, qualquer transístor 2 tem uma “falha” naquilo que vê, pois não tem “vizinhos” nalgumas direcções. Assim, para se resolver este problema colocam-se transístores *dummies* nos sítios onde há “falhas”.

	D	D	D	
D	2	2	2	D
D	2	1	2	D
D	2	2	2	D
	D	D	D	

Figura 13: Exemplo de estrutura *common centroid* com dois transístores e também transístores *dummies*.

De facto, os transístores *dummies* não necessitam de ter as mesmas dimensões que os restantes e o circuito da figura anterior pode ser definido da seguinte maneira.

	D	D	D	
D	2	2	2	D
D	2	1	2	D
D	2	2	2	D
	D	D	D	

Figura 14: Exemplo de estrutura *common centroid* com dois transístores e também transístores *dummies* de dimensões menores.

Relembrando as estruturas da Figura 11, verifica-se que a estruturas #1 e #3 têm *dummies*.

explicar porque
têm, e porque
as outra não
têm

3.3 Ligações internas dos blocos

Uma vez definidos como estão estruturados os transístores e como estão dispostos efectam-se as ligações internas dos 4 blocos da Figura 11.

Existem várias regras para construir um *layout*, sendo que uma delas impõe um espaço mínimo para separar as diferentes máscaras. Para evitar isto, recorre-se a uma opção existente no Cadence que notifica o utilizador quando este não cumpre as margens mínimas.

As ligações entre *gates* de transístores que estejam próximos são feitas a partir da camada condutora **poly**. Porém, se os transístores estiverem afastados é preferível efectuar a ligação com recurso a **Metal 1** e a contactos do tipo **P1_C**, que efectuam a ligação entre **poly** e **Metal 1**. Esta solução é preferível para esses casos pois a **poly** tem uma resistividade elevada e colocar demasiado dessa camada faz aumentar a resistividade geral do circuito. De facto, na tabela seguinte apresenta-se a resistividade das diversas máscaras existentes no fabrico e verifica-se que a **poly** (**poly 1**) tem uma resistividade bem superior face a camadas como **Metal 1** e **Metal 2**. Verifica-se também que a resistividade de um contacto do tipo **P1_C** é elevada, mas que compensa, uma vez que para efectuar uma ligação correcta entre duas *gates* bastaria colocar no máximo 2 contactos.

Tabela 4: Resistividade das diversas máscaras de fabrico (a) e resistividade dos diversos tipos de contactos (b).

(a)			(b)	
Sheet resistance			Contact resistance	
Layer		Ω/\square	Layer-layer	Ω/cnt
metal4	R_{sm4}	0.05	metal4-metal3	R_{via3} 3
metal3	R_{sm3}	0.05	metal3-metal2	R_{via2} 1.5
metal2	R_{sm2}	0.08	metal2-metal1	R_{via} 1.5
metal1	R_{sm1}	0.08	metal1-poly1	R_{cp} 5
poly1	R_{sp}	6	metal1-n ⁺ diff.	R_{cdn} 40
poly2	R_{sp2}	50	metal1-p ⁺ diff.	R_{cdp} 90
n ⁺ diff.	R_{sdn}	80		
p ⁺ diff.	R_{sdp}	150		

Tomou-se a decisão de, sempre que possível, efectuar as ligações com **Metal 1** na horizontal e com **Metal 2** na vertical. Procura-se aplicar esta *rule of thumb* sempre que possível, sendo que apenas não é cumprida quando se verifica que acaba por tornar mais difícil o *design* do *layout* ou que conduz a uma área maior porque é necessário ajustar o espaçamento entre transístores para acomodar uma ligação em **Metal 1** ou **Metal 2** consoante o caso.

Para ligar **Metal 1** a **Metal 2** é usada uma via. De referir que, optou-se também, sempre que possível, por colocar vias e contactos duplos, para que houvesse um de *backup*. À semelhança do que se referiu anteriormente, isto é feito quando não dificulta o *design* do *layout*.

3.4 Ligações externas entre os blocos

4 Conclusões