



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS
Projecto de Alto Nível de um ADC e DAC

Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 16 de Março de 2015

Índice

1	Introdução	1
2	Introdução Teórica	1
2.1	Conversores A/D e Conversores D/A	1
2.2	SNR	2
2.3	SINAD e ENOB	2
2.4	Janela Rectangular, Janela de Hamming e Janela de Blackman-Harris	2

1 Introdução

Com este trabalho laboratorial pretende-se introduzir o *software* Cadence, projectando um conversor AD/DA de alto nível. Analisando os conversores analógico-digitais (ADC) pode-se melhor compreender o conceito de *Fast Fourier Transform* (FFT), e a maneira como pode ser aplicada para medir parâmetros dos ADC, como a SINAD e o ENOB. Pretende-se também estudar o efeito de aplicar diversas janelas sobre a FFT.

2 Introdução Teórica

2.1 Conversores A/D e Conversores D/A

Começando por analisar os conversores analógico-digitais, as arquitecturas que os permitem podem ser divididas em três categorias: baixa-a-média velocidade, média velocidade e alta velocidade. O ADC utilizado neste trabalho é de aproximações sucessivas (SAR), sendo de média velocidade e exactidão.

Os conversores deste tipo estão entre os mais populares para realizar ADCs devido à sua versatilidade - conseguem efectuar conversões rápidas ou podem ser utilizados para que haja uma maior exactidão, operando a baixa potência nos dois casos. Este conjunto de características deriva de, no caso mais simples, o conversor necessitar apenas de um só comparador, um banco de condensadores com interruptores e pouca lógica de controlo digital. Na figura abaixo está esquematizado o circuito referido.

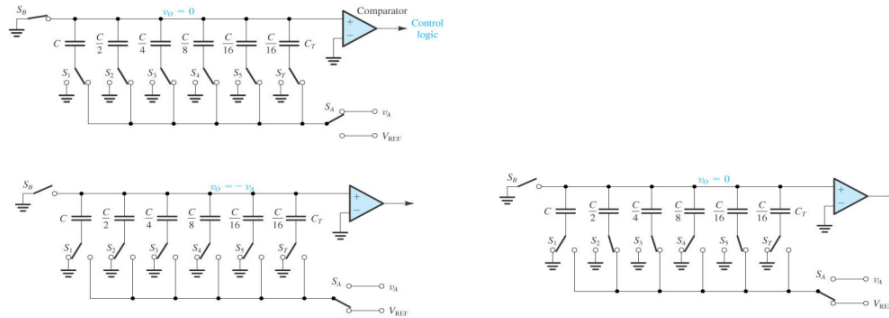


Figura 1: ADC construído com uma arquitectura de aproximações sucessivas.

OS ADCs de aproximações sucessivas têm por base o algoritmo de procura conhecido como “procura binária”, onde os dados podem ser calculados em N passos, para um conjunto de dados organizados de tamanho 2^N . Assim, o conversor aplica o algoritmo para determinar a palavra digital mais próxima que corresponde ao sinal de entrada. Isto implica que são necessários N ciclos de relógio para completar uma conversão de N bits.

O diagrama de blocos de um ADC unipolar de aproximações sucessivas que utiliza também um DAC é apresentado de seguida.

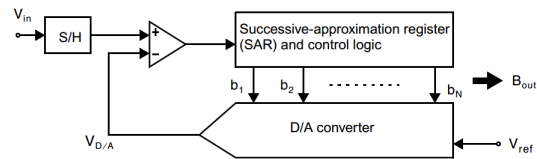


Figura 2: Diagrama de blocos de um ADC de aproximações sucessivas.

Existe um circuito *sample-and-hold* que permite adquirir a tensão de entrada. De seguida um comparador analógico de tensão compara a tensão de entrada com a saída do DAC e coloca o resultado da comparação no

2.2 SNR

2.3 SINAD e ENOB

2.4 Janela Rectangular, Janela de Hamming e Janela de Blackman-Harris