

### Instituto Superior Técnico

# MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE COMPUTADORES

## Sistemas Integrados Analógicos

# Design de um Amplificador e ADC de 4 bits

João Bernardo Sequeira de Sá n.º 68254 Maria Margarida Dias dos Reis n.º 73099 Nuno Miguel Rodrigues Machado n.º 74236

# Índice

1	Intr	rodução	1
2	Abo	ordagem ao Circuito	2
	2.1	Funcionamento Teórico do Circuito	2
	2.2	Primeiro Dimensionamento dos Transístores	4
	2.3	Primeira Simulação	5
3	Con	nclusões	7

## 1 Introdução

Pretende-se projectar um amplificador folded cascode CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar	Tabela 1:	Características	do am	plificador	a pro	iectar.
---	-----------	-----------------	-------	------------	-------	---------

Especificação	Símbolo	Valor
Tensão de Alimentação	Vdd	3.3 V
Ganho para Sinais de Baixa Amplitude	Av	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	CL	0.25 pF
Slew-Rate	SR	200 V/μs
Budget da Corrente	IDD	400 μΑ
Área de <i>Die</i>	/	0.02 mm <sup>2</sup>

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.

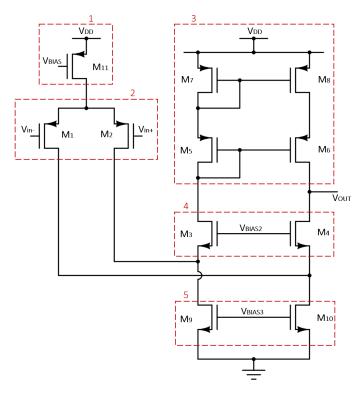


Figura 1: Circuito do amplificador a projectar.

### 2 Abordagem ao Circuito

### 2.1 Funcionamento Teórico do Circuito

Analisando o circuito da Figura 1 em pormenor identificam-se 5 blocos, sendo importante analisar a função de cada um, para que melhor se possa compreender o funcionamento e comportamento do circuito na sua totalidade.

introducad teorica do OTA

O Bloco 1 representa o transístor responsável pela polarização do circuito. O Bloco 2 representa um par diferencial PMOS. O Bloco 3 corresponde a um espelho de corrente *cascode* básico do tipo PMOS. O Bloco 4 actua como isolamento. O Bloco 5 funciona como fonte de corrente que "puxa" sempre I (corrente de  $M_{11}$ ) para o *ground*.

Relativamente ao par diferencial, o circuito pode funcionar de acordo com três situações:

- $v_{in-} = v_{in+} \rightarrow \text{situação } 1$
- $v_{in-} > v_{in+} \rightarrow \text{situação } 2$
- $v_{in-} < v_{in+} \rightarrow \text{situação } 3$

Na situação 1, cada transístor do par diferencial,  $M_1$  e  $M_2$ , tem metade da corrente que passa em  $M_{11}$  e o circuito apresenta o seguinte comportamento.

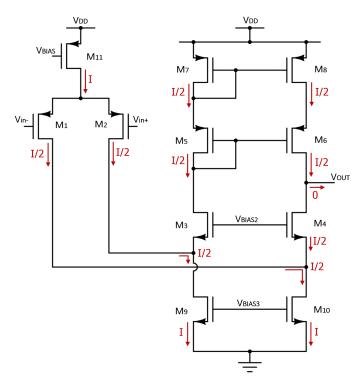


Figura 2: Funcionamento do circuito na situação 1.

Considerando agora o extremo da situação 2, a tensão na gate de  $M_1$  toma o valor máximo da fonte de tensão que polariza esse transístor e a tensão na gate de  $M_2$  é nula. Assim, o circuito apresenta o seguinte comportamento.

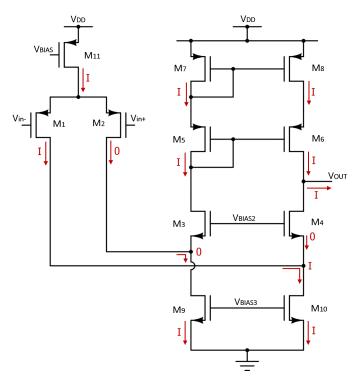


Figura 3: Funcionamento do circuito no extremo da situação 2.

Considerando agora o extremo da situação 3, a tensão na gate de  $M_2$  toma o valor máximo da fonte de tensão que polariza esse transístor e a tensão na gate de  $M_1$  é nula. Assim, o circuito apresenta o seguinte comportamento.

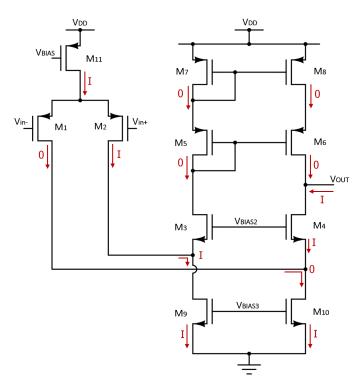


Figura 4: Funcionamento do circuito no extremo da situação 3.

#### 2.2 Primeiro Dimensionamento dos Transístores

A primeira fase no projecto do amplificador passou por decidir as dimensões dos vários transístores. Sabe-se que a dimensão de um transístor é dada pelos parâmetros W (width - largura) e L (lenght - comprimento).

O valor de L ficou decidido à partida como sendo 1  $\mu$ m para todos os transístores do circuito, isto porque se tem como rule of thumb que, para se evitar o efeito de modulação do comprimento do canal, o valor de L deve ser maior ou igual a 1  $\mu$ m. O valor de W pode ser calculado recorrendo à equação que determina a corrente num transístor. Para um transístor do tipo P a corrente é dada por

$$I_D = \frac{1}{2}\mu_n C_{ox} \times \left(\frac{W}{L}\right) \times (V_{GS} - V_{TH})^2 = k_P \times \left(\frac{W}{L}\right) \times V_{OD}^2, \tag{2.1}$$

sendo que para um transístor do tipo N troca o valor do factor de ganho, em vez de  $k_P$  tem-se  $k_N$ .

Da equação anterior pretende-se determinar o valor de W dos vários transístores, sendo então necessário saber o valor de L (já determinado anteriormente), o valor da corrente que passa nos transístores,  $I_D$ , o valor de k e o valor da tensão de overdrive,  $V_{OD}$ .

O valor da tensão de overdrive definiu-se como sendo de 0.2 V para todos os transístores. Este valor deriva de outra rule of thumb que indica que se deve escolher para  $V_{OD}$  um valor de 0.2V - menos do que isso e fica-se demasiado sensível a  $V_{TH}$  e mais do que isso e fica-se com pouca margem de saturação, que é uma medida do quão dentro da saturação se está, sendo calculada por  $V_{DS} - V_{OD}$ .

O valor de k pode ser obtido com recurso aos process parameters, sendo de referir que o valores que se retiram das datasheets representam apenas  $\mu_n C_{ox}$ , pelo que têm de ser multiplicados por 1/2 para que se obtenha o factor de ganho final, como se pode ver na próxima equação, para o caso de um transístor do tipo P:

$$k_P = \frac{1}{2}\mu_n C_{ox} = \frac{1}{2} \times KP_P.$$
 (2.2)

Os valores já conhecidos que ajudam a obter o valor de W através da equação (2.1) encontram-se esquematizados na seguinte tabela.

Tabela 2: Valores especificados para algumas das características que definem os transístores.

Especificação	Método de Cálculo	Símbolo	Valor	
Comprimento	rule of thumb	L	1 μm	
Tensão de Overdrive	rule of thumb	Vod	0.2 V	
Factor de Ganho (tipo P)  datasheet	process parameters	KPp	58 μA/V²	
Factor de Ganho (tipo N)  datasheet	process parameters	KPn	175 μA/V²	
Factor de ganho (tipo P)	equação (2.2)	kР	29 μA/V²	
Factor de ganho (tipo N)	equação (2.2)	kn	87.5 μA/V²	

Para determinar os valores das correntes que passam nos vários transístores começou-se por determinar a corrente máxima à saída do circuito. Existe uma relação entre a slew-rate, SR, e a corrente de saída máxima,  $I_{out_{max}}$  expressa por

$$SR = \frac{I_{out_{max}}}{C_L}, (2.3)$$

que nos permite concluir que quanto maior for a corrente de saída, mais depressa é carregado o condensador que constitui a carga.

Com os valores da Tabela 1 obtém-se:

$$SR = \frac{I_{out_{max}}}{C_L} \leftrightarrow I_{out_{max}} = 200 \times 0.25 \times 10^{-6} \text{ A} = 50 \ \mu\text{A}.$$
 (2.4)

Analisando as Figuras 3 a 4 percebe-se que a corrente  $I_{out_{max}}$  corresponde a I/2, pelo que o valor máximo de I corresponde a 100  $\mu$ A. O dimensionamento dos transístores foi feito tendo em conta o máximo de corrente que por eles passa, de acordo com

$$W_P = \frac{I_{D_{max}} \times L}{k_P \times V_{OD}^2} \to \text{transistor tipo PMOS};$$
 (2.5)

$$W_N = \frac{I_{D_{max}} \times L}{k_N \times V_{OD}^2} \to \text{transistor tipo NMOS}.$$
 (2.6)

Os valores de W, calculados em função da corrente máxima que atravessa os vários transístores, apresentam-se na próxima tabela. De notar que os valores foram arredondados ao inteiro mais próximo.

Tabola 3.	Valores de W	doe transfetores	ana constituem o	circuito	calculados om	função da	corrente máxima.
rabeia 5.	vaiores de vi	dos transistores (	que constituem c	o circuito,	carculados em	runção da	corrente maxima.

Transistor	Tipo	Máximo de Corrente	Observações	W		
M <sub>1</sub>	PMOS	I <sub>Dmax</sub> = I <sub>max</sub> = 100 μA	/	86 µm		
M <sub>2</sub>	PMOS	IDmax = Imax = 100 μA	/	86 µm		
Мз	NMOS	IDmax = Imax = 100 μA	/	29 μm		
M4 NMOS		IDmax = Imax = 100 μA	/	29 μm		
M <sub>5</sub>	PMOS	IDmax = Imax = 100 μA	constitui espelho de corrente	86 μm		
IVIS			com M6 com rácio 1:1			
M <sub>6</sub>	PMOS	DMOS I-	I- I 100 · · A	constitui espelho de corrente	06.000	
IVI6		IDmax = Imax = 100 μA	com M5 com rácio 1:1	86 μm		
M <sub>7</sub> PMOS		OS   I <sub>Dmax</sub> = I <sub>max</sub> = 100 μA	constitui espelho de corrente	86 μm		
IVI7	PIVIUS	IDmax – Imax – 100 μA	com M8 com rácio 1:1	ου μπ		
M <sub>8</sub>	8 PMOS	OS   I <sub>Dmax</sub> = I <sub>max</sub> = 100 μA	constitui espelho de corrente	86 μm		
IVIS			com M7 com rácio 1:1			
M9	NMOS	IDmax = Imax = 100 μA	/	29 μm		
M10	NMOS	IDmax = Imax = 100 μA	/	29 μm		
M11	PMOS	IDmax = Imax = 100 μA	/	86 µm		

De notar que os transístores  $M_5$  e  $M_6$  têm as mesmas dimensões, tal como pretendido, pois formam um espelho de corrente que tem como rácio 1:1. O mesmo se aplica aos transístores  $M_7$  e  $M_8$ .

#### 2.3 Primeira Simulação

Com o dimensionamento dos transístores feito procede-se a uma primeira simulação do circuito, com o intuito de verificar o seu funcionamento. Porém, antes de simular o circuito alterou-se a sua polarização, para que em vez de ser feita em tensão seja feita em corrente. Isto é feito porque uma

polarização em corrente permite ter mais controlo, sendo que quando é feita em tensão não se tem garantias dos valores pretendidos.

Assim, o circuito da Figura 1 foi alterado para o apresentado de seguida.

Como se pode ver, o transístor  $M_{11}$  que é originalmente polarizado em tensão com  $V_{BIAS}$ , Bloco 1, foi substituído por um espelho de corrente básico que é polarizado em corrente com  $I_{BIAS}$ . A polarização feita com recurso a  $V_{BIAS_2}$  e  $V_{BIAS_3}$  também foi alterada para passar a ser feita em corrente.

imagem
teorica
circuito
alterado

O schematic criado no Cadence que permite simular o circuito é apresentado de seguida.

imagem do schematic

0 - corte 1 - triodo 2 - saturação 3 - subthreshold

No entanto, concluiu-se que o dimensionamento feito em função do máximo da corrente que percorre cada transístor não é a melhor opção pois a tensão  $V_{GS}$ 

Tabela 4: Valores de W dos transístores que constituem o circuito, calculados em função do PFR.

Transístor	Tipo	Máximo de Corrente	Observações	W
M1	PMOS	IDmax = Imax/2 = 50 μA	/	43 μm
M <sub>2</sub>	PMOS	IDmax = Imax/2 = 50 μA	/	43 µm
Мз	NMOS	IDmax = Imax/2 = 50 μA	/	14 μm
M4	NMOS	IDmax = Imax/2 = 50 μA	/	14 μm
M5	PMOS	I <sub>Dmax</sub> = I <sub>max</sub> /2 = 50 μA	constitui espelho de corrente com M6 com rácio 1:1	43 μm
M6	PMOS	IDmax = Imax/2 = 50 μA	constitui espelho de corrente com M5 com rácio 1:1	43 μm
M7	PMOS	IDmax = Imax/2 = 50 μA	constitui espelho de corrente com M8 com rácio 1:1	43 μm
M8	PMOS	IDmax = Imax/2 = 50 μA	constitui espelho de corrente com M7 com rácio 1:1	43 μm
M9	NMOS	IDmax = Imax = 100 μA	/	29 μm
M10	NMOS	IDmax = Imax = 100 μA	/	29 μm
M11	PMOS	IDmax = Imax = 100 µA	/	86 um

simulacao e verificacao do vgs

## 3 Conclusões