



INSTITUTO SUPERIOR TÉCNICO  
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE  
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS

*Design* de um Amplificador

**Errata**

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 3 de Maio de 2015

# Índice

<b>1</b>	<b>Errata</b>	<b>1</b>
1.1	Introdução . . . . .	1
1.2	Detecção dos erros . . . . .	1
1.3	Correcção do dimensionamento . . . . .	2
1.4	Demonstração de resultados . . . . .	2
1.4.1	Detecção dos erros . . . . .	2

# 1 Errata

## 1.1 Introdução

Este capítulo foi acrescentado ao relatório final no intuito de corrigir os resultados obtidos e apresentados no último relatório, *middle target*. Como referenciado, pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	$V_{DD}$	3.3 V
Ganho para Sinais de Baixa Amplitude	$A_v$	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	$C_L$	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ $\mu$ s
<i>Budget</i> da Corrente	$I_{DD}$	400 $\mu$ A
Área de <i>Die</i>	/	0.02 mm <sup>2</sup>

## 1.2 Detecção dos erros

Foi identificado erros no relatório intermédio que comprometem os resultados apresentados anteriormente. A primeira correcção foi referente ao *schematic* do *testbench* que permite simular o circuito em testes de resposta AC, foi colocado um *switch* que simula a bobine, circuito aberto para um regime AC e curto-circuito para um regime DC. Foi também alterado a amplitude do sinal de entrada de 3.3 V para 1.6 V, esta alteração garante que os transístores não saem da saturação. De seguida pode-se comparar o novo *testbench* com o anterior.

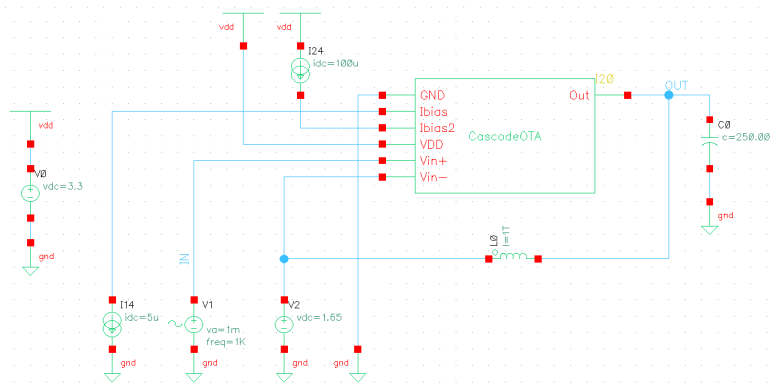


Figura 1: *Schematic* do *testbench* anterior que permite simular o circuito em testes de resposta AC.

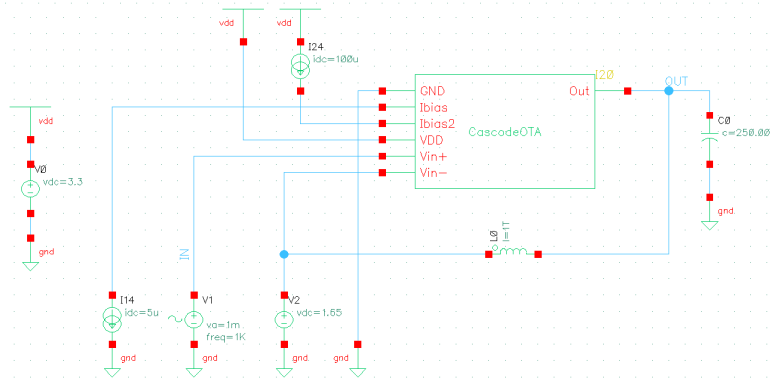


Figura 2: *Schematic* do novo *testbench* anterior que permite simular o circuito em testes de resposta AC.

Outro erro identificado, foi referente ao calculo da *Slew-Rate*. No relatório intermédio o resultado da *Slew-Rate* era relativo só ao flanco de descida, sendo necessário demonstrar para os dois flancos, subida(1.1) e descida(1.2). De seguida está representado a equação utilizada para o calculo da *Slew-Rate*:

$$slewRate(VT("/OUT")) 1 nil 2 nil 10 90 nil "time") \quad (1.1)$$

$$slewRate(VT("/OUT")) 2 nil 1 nil 10 90 nil "time") \quad (1.2)$$

### 1.3 Correção do dimensionamento

### 1.4 Demonstração de resultados

Neste capitulo será representado os resultados do dimensionamento do relatório intermédio e do novo dimensionamento anteriormente referido.

#### 1.4.1 Resultados do dimensionamento inicial

#### 1.4.2 Resultados do dimensionamento corrigido