



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS

Design de um Amplificador

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 31 de Maio de 2015

Índice

1	Introdução	1
2	Adenda ao <i>Middle Target</i>	1
2.1	Detecção dos erros	2
2.2	Correcção do dimensionamento	3
2.3	Demonstração de resultados	3
2.3.1	Resultados do dimensionamento inicial	4
2.3.2	Resultados do dimensionamento corrigido	4
3	Projecção do <i>Layout</i>	5
3.1	Multiplicidade e <i>Fingers</i>	5
3.2	Disposição dos transístores	5
4	Conclusões	7

1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	V_{DD}	3.3 V
Ganho para Sinais de Baixa Amplitude	A_v	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	C_L	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ μ s
<i>Budget</i> da Corrente	I_{DD}	400 μ A
Área de Die	/	0.02 mm ²

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.



Figura 1: Circuito do amplificador a projectar.

2 Adenda ao *Middle Target*

Esta secção foi acrescentada ao relatório final no intuito de corrigir os resultados obtidos e apresentados no relatório anterior, o do *middle target*. Como referenciado, pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da Tabela 1.

2.1 Detecção dos erros

Foram identificados vários erros no relatório intermédio que comprometem os resultados apresentados anteriormente. A primeira correcção foi referente ao *schematic* do *testbench* que permite simular o circuito em testes de resposta AC. Foi colocado um *switch* que simula a bobine - provoca um circuito aberto para um regime AC e curto-circuito para um regime DC. Foi também alterada a amplitude do sinal de entrada de 3.3 V para 1.6 V, sendo que esta alteração garante que os transístores não saem da saturação. De seguida pode-se comparar o novo *testbench* com o anterior.

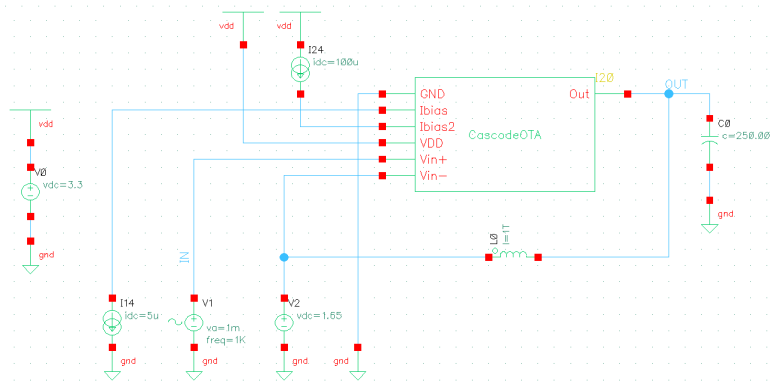


Figura 2: *Schematic* do *testbench* anterior que permite simular o circuito em testes de resposta AC.

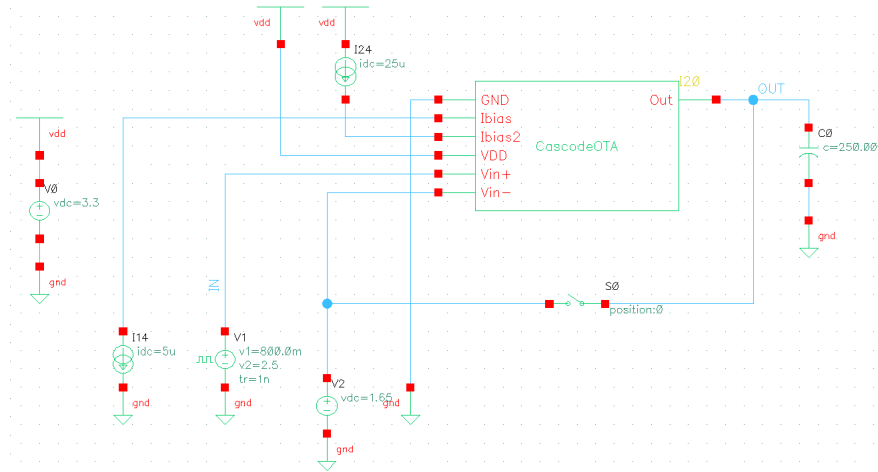


Figura 3: *Schematic* do novo *testbench* que permite simular o circuito em testes da *slew-rate* e de resposta transiente, DC e AC.

Outro erro identificado é referente ao cálculo da *slew-rate*. No relatório intermédio, o resultado da *slew-rate* era relativo só ao flanco de descida, sendo necessário demonstrar para os dois flancos - subida (equação 2.1) e descida (equação 1.2).

$$\text{slewRate}(\text{VT}("/\text{OUT}")) \ 1 \ \text{nil} \ 2 \ \text{nil} \ 10 \ 90 \ \text{nil} \ \text{"time"}) \quad (2.1)$$

$$\text{slewRate}(\text{VT}("/\text{OUT}")) \ 2 \ \text{nil} \ 1 \ \text{nil} \ 10 \ 90 \ \text{nil} \ \text{"time"}) \quad (2.2)$$

2.2 Correccão do dimensionamento

Assim, o circuito final relativamente à entrega intermédia é:

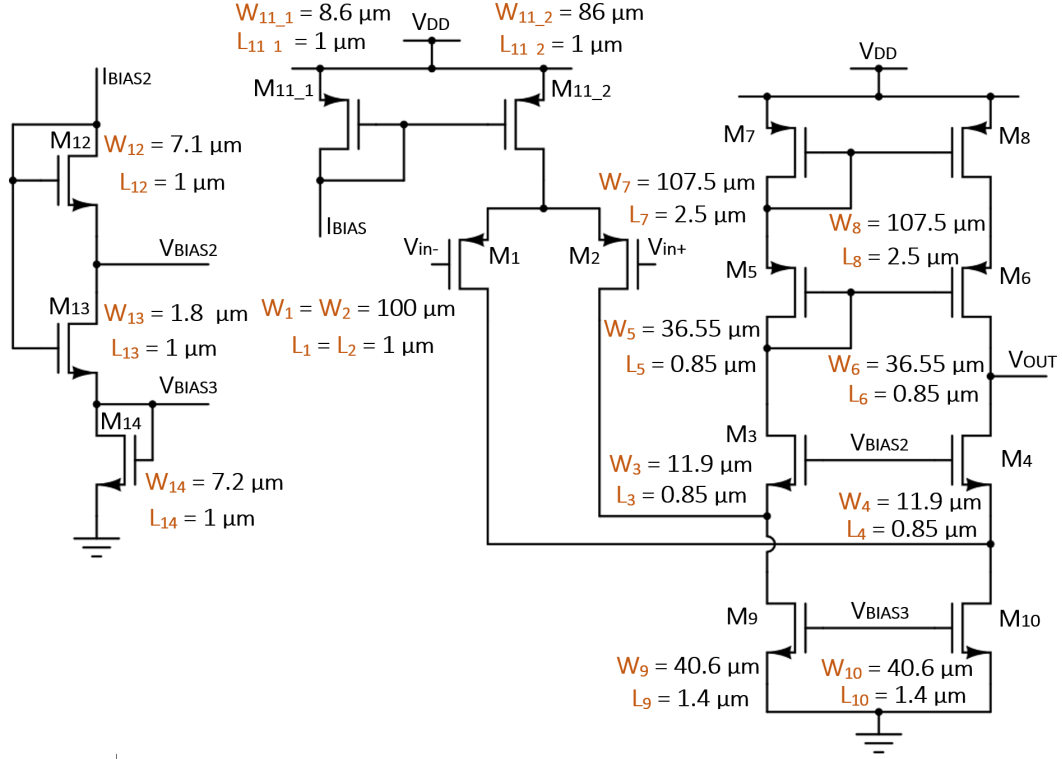


Figura 4: Circuito final da entrega intermédia.

Tabela 2: Dimensões dos transístores que constituem o amplificador.

Transístores	W [μm]	L [μm]	Rácio W/L
M1 e M2	100	1	100
M3 e M4	11.9	0.85	14
M5 e M6	36.55	0.85	43
M7 e M8	107.5	2.5	43
M9 e M10	40.6	1.4	29
M11_1	8.6	1	8.6
M11_2	8.6	1	8.6
M12	7.1	1	7.1
M13	1.8	1	1.8
M14	7.2	1	7.2

2.3 Demonstração de resultados

Nesta secção apresenta-se os resultados do dimensionamento do relatório intermédio e do novo dimensionamento anteriormente referido, para simulações de Monte Carlo e de *corners*.

explicar isto

nao esquecer que o racio de m1 e m2 mudou face ao da entrega intermedia, expliciar porque

2.3.1 Resultados do dimensionamento inicial

Test	Name	Yield	Min	Target	Max	Mean	Sigma to Target	Sigma
Parameters: Yield Estimate: 42 % (21 passed/50 pts)								
- SIA2015_Sim.CascodeOTA.1								
- Slew Rate Descida(summary)	100	-264.3M		-229.4M	-250.6M	6.34464	7.967M	
- Slew Rate Subida(summary)	100	-264.3M	< -200M	-229.4M	-250.6M	6.34464	7.967M	
- Slew Rate Subida(summary)	100	211.5M		260.9M	235.5M	3.12828	11.35M	
- Slew Rate Subida(summary)	100	211.5M	> 200M	260.9M	235.5M	3.12828	11.35M	
- gainBvProd(VF("VOUT"))(summary)	100	174.9M		217.3M	195M		9.222M	
- gainBvProd(VF("VOUT"))(summary)	100	174.9M	info	217.3M	195M		9.222M	
- ganho(summary)	70	66.68		73.33	69.62	0.458434	1.359	
- ganho(summary)	70	66.68	> 69	73.33	69.62	0.458434	1.359	
- largura de banda(summary)	74	45.84k		80.86k	64.65k	0.60054	7.74k	
- largura de banda(summary)	74	45.84k	> 60k	80.86k	64.65k	0.60054	7.74k	
- margem de fase (summary)	96	59.77		62.56	61.07	1.60217,28.4143	666.3m	
- margem de fase (summary)	96	59.77	range 60 80	62.56	61.07	1.60217,28.4143	666.3m	

Figura 5: Simulação de Monte Carlo para 50 pontos.

Test	Output	Nominal	Pass/Fail	Min	Max
SIA2015_Sim.CascodeOTA.1	ganho	67.52	near	67.52	67.52
SIA2015_Sim.CascodeOTA.1	largura de banda	75.12k	pass	75.12k	75.12k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.49	pass	61.49	61.49
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	213.1M	pass	213.1M	213.1M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-230.7M	pass	-230.7M	-230.7M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	179M		179M	179M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	72.16	pass	72.16	72.16
SIA2015_Sim.CascodeOTA.1	largura de banda	48.48k	fail	48.48k	48.48k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.13	pass	61.13	61.13
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	244.6M	pass	244.6M	244.6M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-252.3M	pass	-252.3M	-252.3M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	197.6M		197.6M	197.6M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	68.1	near	68.1	68.1
SIA2015_Sim.CascodeOTA.1	largura de banda	72.6k	pass	72.6k	72.6k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.36	pass	61.36	61.36
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	236.6M	pass	236.6M	236.6M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-247.6M	pass	-247.6M	-247.6M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	184.9M		184.9M	184.9M

Figura 6: Resultados obtidos para as 3 primeiras simulações de Monte Carlo.

Test	Output	Nominal	Pass/Fail	Min	Max	WP	WS	W0	W2
SIA2015_Sim.CascodeOTA.1	ganho	66.65	near	66.65	70.82	69.8	69.89	66.76	70.82
SIA2015_Sim.CascodeOTA.1	largura de banda	71.19k	near	56.64k	71.82k	71.82k	56.64k	65.55k	62.57k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.63	near	57.21	64.83	62.37	60.02	64.83	57.21
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	242M	pass	227.6M	253.5M	253.5M	227.6M	231M	252M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-250.5M	pass	-263.6M	-244.2M	-251.6M	-254.7M	-244.2M	-263.6M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	193.3M		177.4M	222.6M	222.6M	177.4M	180M	216M

Figura 7: Simulação por *corners*.

2.3.2 Resultados do dimensionamento corrigido

Test	Name	Yield	Min	Target	Max	Mean	Sigma to Target	Sigma
Parameters: Yield Estimate: 92 % (46 passed/50 pts)								
- SIA2015_Sim.CascodeOTA.1								
- Slew Rate Descida(summary)	100	-304M		-259.9M	-286.3M	10.6882	8.113M	
- Slew Rate Descida(summary)	100	-304M	< -200M	-259.9M	-286.3M	10.6882	8.113M	
- Slew Rate Subida(summary)	100	271.1M		305.8M	289.5M	12.3037	7.272M	
- Slew Rate Subida(summary)	100	271.1M	> 200M	305.8M	289.5M	12.3037	7.272M	
- gainBvProd(VF("VOUT"))(summary)	100	306.8M		374.6M	337.4M		14.06M	
- gainBvProd(VF("VOUT"))(summary)	100	306.8M	info	374.6M	337.4M		14.06M	
- ganho(summary)	96	66.57		74.71	71.66	2.00403	1.326	
- ganho(summary)	96	66.57	> 69	74.71	71.66	2.00403	1.326	
- largura de banda(summary)	100	65.53k		122.9k	88.61k	2.49824	11.45k	
- largura de banda(summary)	100	65.53k	> 60k	122.9k	88.61k	2.49824	11.45k	
- margem de fase (summary)	96	59.37		64.8	62.75	2.56023,16.2053	1.065	
- margem de fase (summary)	96	59.37	range 60 80	64.8	62.75	2.56023,16.2053	1.065	

Figura 8: Simulação de Monte Carlo para 50 pontos.

Test	Output	Nominal	Pass/Fail	Min	Max
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	70.45	pass	70.45	70.45
SIA2015_Sim.CascodeOTA.1	largura de banda	93.75k	pass	93.75k	93.75k
SIA2015_Sim.CascodeOTA.1	margem de fase	63.89	pass	63.89	63.89
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	289.2M	pass	289.2M	289.2M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-286.9M	pass	-286.9M	-286.9M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	312.9M		312.9M	312.9M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	73.75	pass	73.75	73.75
SIA2015_Sim.CascodeOTA.1	largura de banda	70.07k	pass	70.07k	70.07k
SIA2015_Sim.CascodeOTA.1	margem de fase	61.78	pass	61.78	61.78
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	285.5M	pass	285.5M	285.5M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-285.7M	pass	-285.7M	-285.7M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	341.9M		341.9M	341.9M
Parameters:					
SIA2015_Sim.CascodeOTA.1	ganho	69.95	pass	69.95	69.95
SIA2015_Sim.CascodeOTA.1	largura de banda	102.8k	pass	102.8k	102.8k
SIA2015_Sim.CascodeOTA.1	margem de fase	63.78	pass	63.78	63.78
SIA2015_Sim.CascodeOTA.1	Slew Rate Subida	291.7M	pass	291.7M	291.7M
SIA2015_Sim.CascodeOTA.1	Slew Rate Descida	-287.2M	pass	-287.2M	-287.2M
SIA2015_Sim.CascodeOTA.1	gainBvProd(VF("VOUT"))	323.9M		323.9M	323.9M

Figura 9: Resultados obtidos para as 3 primeiras simulações de Monte Carlo.

Test	Output	Nominal	Pass/Fail	Min	Max	convert	WP	WS	W0	W2
SIA2015_Sim:CascadeOTA:1	ganho	70.97	pass	70.06	73.82	disab...	72.16	71.89	70.06	73.82
SIA2015_Sim:CascadeOTA:1	largura de banda	96.3k	pass	76.45k	97.18k	disab...	96.77k	76.45k	97.18k	77.62k
SIA2015_Sim:CascadeOTA:1	margin de fase	63.89	near	59.9	65.11	disab...	64.16	61.58	65.11	59.9
SIA2015_Sim:CascadeOTA:1	Slew Rate Subida	292.4M	pass	277.3M	303.8M	disab...	298.5M	284.9M	277.3M	303.8M
SIA2015_Sim:CascadeOTA:1	Slew Rate Descida	-291.5M	pass	-301.5M	-283.4M	disab...	-287.3M	-288.4M	-283.4M	-301.5M
SIA2015_Sim:CascadeOTA:1	gainBvProd(VF/"OUT")	341.4M		301.2M	393.3M	disab...	393.3M	301.2M	310.1M	382.1M

Figura 10: Simulação por *corners*.

comentar diferenças obtidas

3 Projecção do *Layout*

3.1 Multiplicidade e *Fingers*

Para projectar o *layout* do circuito da Figura 4 optou-se por dividir os transístores de grandes dimensões com recurso a duas técnicas - multiplicidade e *fingers*. A técnica de *fingers* corresponde a um arranjo específico do transístor com n *gate fingers* em que as difusões da *source* e do *drain* são partilhadas. Se se tiver n *fingers* haverá então $n + 1$ difusões. A multiplicidade é quando se faz uma ligação em paralelo de múltiplos dispositivos MOS, sendo que o agregado deles corresponde a um só transístor.

Do ponto de vista da definição correspondem ao mesmo, mas são de facto duas maneiras diferentes de pensar na paralelização de transístores. Com o recurso a *fingers* tem-se uma única célula com o transístor completo com todos os *fingers*, útil para quando se quer uma célula mais compacta, enquanto na multiplicidade tem-se tantos transístores quanto a multiplicidade indicar. De facto, é possível conjugar as duas técnicas, ou seja, cada dispositivo MOS da multiplicidade pode ser feito com vários *fingers*.

critério para as multiplicidades e fingers do transistores

Assim, na tabela seguinte encontra-se uma descrição de como são constituídos os vários transístores do circuito.

Tabela 3: Dimensões e características dos transístores do amplificador.

Transístores	Multiplicidade	Número de <i>gates</i>	Wtotal [μm]	Wsingle gate [μm]	L [μm]	Descrição
M1 e M2	8	1	100	12.5	1	8 transístores, cada um com 1 <i>gate</i>
M3 e M4	2	1	11.9	5.95	0.85	2 transístores, cada um com 1 <i>gate</i>
M5 e M6	1	4	36.6	9.15	0.85	1 transístor com 4 <i>gates</i>
M7 e M8	2	4	107.5	13.45	2.5	2 transístores, cada um com 4 <i>gates</i>
M9 e M10	4	1	40.6	10.15	1.4	4 transístores, cada um com 1 <i>gate</i>
M11_1	1	1	8.6	8.6	1	1 transístor com 1 <i>gate</i>
M11_2	10	1	8.6	0.86	1	10 transístores, cada um com 1 <i>gate</i>
M12	1	1	7.1	7.1	1	1 transístor com 1 <i>gate</i>
M13	1	1	1.8	1.8	1	1 transístor com 1 <i>gate</i>
M14	1	1	7.2	7.2	1	1 transístor com 1 <i>gate</i>

3.2 Disposição dos transístores

Depois de se definir como estão estruturados os vários transístores é importante definir como se encontram dispostos no *layout*. A topologia básica que foi utilizada é a de *common centroid*. Através desta técnica consegue-se garantir um melhor *matching* entre dois transístores iguais e em que se

pretende um comportamento semelhante. De facto, o *common centroid* é utilizado para se garantir que, e.g., um amplificador diferencial tenha um sinal de modo comum próximo de 0 e, como tal, um CMRR maior.

Para o circuito em causa foram definidos 4 blocos principais sobre os quais se definiu uma estrutura *common centroid*:

- espelho de corrente básico que é polarizado em corrente com I_{BIAS} (equivalente ao Bloco 1 da Figura 1);
- transístores do par diferencial (Bloco 2 da Figura 1);
- espelho de corrente cascode básico do tipo PMOS (Bloco 3 da Figura 1);
- transístores do tipo NMOS.

4 Conclusões