



INSTITUTO SUPERIOR TÉCNICO  
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE  
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS

*Design* de um Amplificador

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 1 de Maio de 2015

# Índice

<b>1</b>	<b>Introdução</b>	<b>1</b>
<b>2</b>	<b>Abordagem ao Circuito</b>	<b>2</b>
2.1	Funcionamento Teórico do Circuito . . . . .	2
2.2	Primeiro Dimensionamento dos Transístores . . . . .	4
2.3	Primeira Simulação . . . . .	5
<b>3</b>	<b>Conclusões</b>	<b>10</b>

# 1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	$V_{DD}$	3.3 V
Ganho para Sinais de Baixa Amplitude	$A_v$	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	$C_L$	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ $\mu$ s
<i>Budget</i> da Corrente	$I_{DD}$	400 $\mu$ A
Área de <i>Die</i>	/	0.02 mm <sup>2</sup>

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.



Figura 1: Circuito do amplificador a projectar.

introducao  
teorica do  
OTA



## 2.2 Primeiro Dimensionamento dos Transístores

A primeira fase no projecto do amplificador passou por decidir as dimensões dos vários transístores. Sabe-se que a dimensão de um transístor é dada pelos parâmetros  $W$  (*width* - largura) e  $L$  (*length* - comprimento).

O valor de  $L$  ficou decidido à partida como sendo  $1\text{ }\mu\text{m}$  para todos os transístores do circuito, isto porque se tem como *rule of thumb* que, para se evitar o efeito de modulação do comprimento do canal, o valor de  $L$  deve ser maior ou igual a  $1\text{ }\mu\text{m}$ . O valor de  $W$  pode ser calculado recorrendo à equação que determina a corrente num transístor. Para um transístor do tipo P a corrente é dada por

$$I_D = \frac{1}{2}\mu_n C_{ox} \times \left(\frac{W}{L}\right) \times (V_{GS} - V_{TH}^2) = k_P \times \left(\frac{W}{L}\right) \times V_{OD}^2, \quad (2.1)$$

sendo que para um transístor do tipo N troca o valor do factor de ganho, em vez de  $k_P$  tem-se  $k_N$ .

Da equação anterior pretende-se determinar o valor de  $W$  dos vários transístores, sendo então necessário saber o valor de  $L$  (já determinado anteriormente), o valor da corrente que passa nos transístores,  $I_D$ , o valor de  $k$  e o valor da tensão de *overdrive*,  $V_{OD}$ .

O valor da tensão de *overdrive* definiu-se como sendo de  $0.2\text{ V}$  para todos os transístores. Este valor deriva de outra *rule of thumb* que indica que se deve escolher para  $V_{OD}$  um valor de  $0.2\text{ V}$  - menos do que isso e fica-se demasiado sensível a  $V_{TH}$  e mais do que isso e fica-se com pouca margem de saturação, que é uma medida do quão dentro da saturação se está, sendo calculada por  $V_{DS} - V_{OD}$ .

O valor de  $k$  pode ser obtido com recurso aos *process parameters*, sendo de referir que os valores que se retiram das *datasheets* representam apenas  $\mu_n C_{ox}$ , pelo que têm de ser multiplicados por  $1/2$  para que se obtenha o factor de ganho final, como se pode ver na próxima equação, para o caso de um transístor do tipo P:

$$k_P = \frac{1}{2}\mu_n C_{ox} = \frac{1}{2} \times K P_P. \quad (2.2)$$

Os valores já conhecidos que ajudam a obter o valor de  $W$  através da equação (2.1) encontram-se esquematizados na seguinte tabela.

Tabela 2: Valores especificados para algumas das características que definem os transístores.

Especificação	Método de Cálculo	Símbolo	Valor
Comprimento	<i>rule of thumb</i>	$L$	$1\text{ }\mu\text{m}$
Tensão de <i>Overdrive</i>	<i>rule of thumb</i>	$V_{OD}$	$0.2\text{ V}$
Factor de Ganho (tipo P) <i>datasheet</i>	<i>process parameters</i>	$K P_P$	$58\text{ }\mu\text{A/V}^2$
Factor de Ganho (tipo N) <i>datasheet</i>	<i>process parameters</i>	$K P_N$	$175\text{ }\mu\text{A/V}^2$
Factor de ganho (tipo P)	equação (2.2)	$k_P$	$29\text{ }\mu\text{A/V}^2$
Factor de ganho (tipo N)	equação (2.2)	$k_N$	$87.5\text{ }\mu\text{A/V}^2$

Para determinar os valores das correntes que passam nos vários transístores começou-se por determinar a corrente máxima à saída do circuito. Existe uma relação entre a *slew-rate*,  $SR$ , e a corrente de saída máxima,  $I_{out_{max}}$  expressa por

$$SR = \frac{I_{out_{max}}}{C_L}, \quad (2.3)$$

que nos permite concluir que quanto maior for a corrente de saída, mais depressa é carregado o condensador que constitui a carga.

Com os valores da Tabela 1 obtém-se:

$$SR = \frac{I_{out_{max}}}{C_L} \leftrightarrow I_{out_{max}} = 200 \times 0.25 \times 10^{-6} \text{ A} = 50 \text{ } \mu\text{A}. \quad (2.4)$$

Analisando as Figuras 3 a 4 percebe-se que a corrente  $I_{out_{max}}$  corresponde a  $I/2$ , pelo que o valor máximo de  $I$  corresponde a  $100 \text{ } \mu\text{A}$ . O dimensionamento dos transístores foi feito tendo em conta o ponto de funcionamento em repouso (PFR), situação 1, de acordo com

$$W_P = \frac{I_D \times L}{k_P \times V_{OD}^2} \rightarrow \text{transístor tipo PMOS}; \quad (2.5)$$

$$W_N = \frac{I_D \times L}{k_N \times V_{OD}^2} \rightarrow \text{transístor tipo NMOS}. \quad (2.6)$$

Os valores obtidos para a *width* dos vários transístores apresenta-se na tabela seguinte. De notar que os valores foram arredondados ao inteiro mais próximo.

Tabela 3: Valores de  $W$  dos transístores que constituem o circuito, calculados em função do PFR.

Transístor	Tipo	Corrente	Observações	W
M1	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	$43 \text{ } \mu\text{m}$
M2	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	$43 \text{ } \mu\text{m}$
M3	NMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	$14 \text{ } \mu\text{m}$
M4	NMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	$14 \text{ } \mu\text{m}$
M5	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M6 com rácio 1:1	$43 \text{ } \mu\text{m}$
M6	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M5 com rácio 1:1	$43 \text{ } \mu\text{m}$
M7	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M8 com rácio 1:1	$43 \text{ } \mu\text{m}$
M8	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M7 com rácio 1:1	$43 \text{ } \mu\text{m}$
M9	NMOS	$I_{Dmax} = I_{max} = 100 \text{ } \mu\text{A}$	/	$29 \text{ } \mu\text{m}$
M10	NMOS	$I_{Dmax} = I_{max} = 100 \text{ } \mu\text{A}$	/	$29 \text{ } \mu\text{m}$
M11	PMOS	$I_{Dmax} = I_{max} = 100 \text{ } \mu\text{A}$	/	$86 \text{ } \mu\text{m}$

De referir que os transístores  $M_5$  e  $M_6$  têm as mesmas dimensões, tal como pretendido, pois formam um espelho de corrente que tem como rácio 1:1. O mesmo se aplica aos transístores  $M_7$  e  $M_8$ .

## 2.3 Primeira Simulação

Com o dimensionamento dos transístores feito procede-se a uma primeira simulação do circuito, com o intuito de verificar o seu funcionamento. Porém, antes de simular o circuito alterou-se a sua polarização, para que em vez de ser feita em tensão seja feita em corrente. Isto é feito porque uma

polarização em corrente permite ter mais controlo, sendo que quando é feita em tensão não se tem garantias dos valores pretendidos.

Assim, o circuito da Figura 1 foi alterado para o apresentado de seguida.



Figura 5: Primeiro circuito de simulação do amplificador.

Na figura anterior pode-se ver o valor de  $W$  utilizado nos vários transístores, sendo que para todos o valor de  $L$  é de  $1 \mu\text{m}$ .

Como se pode ver, o transístor  $M_{11}$  que é originalmente polarizado em tensão com  $V_{BIAS}$ , Bloco 1, foi substituído por um espelho de corrente básico que é polarizado em corrente com  $I_{BIAS}$ . A polarização feita com recurso a  $V_{BIAS2}$  e  $V_{BIAS3}$  foi também alterada para passar a ser feita em corrente com  $I_{BIAS2}$ , através de um espelho de corrente *cascade low-voltage*. O valor de  $I_{BIAS}$  e de  $I_{BIAS2}$  é de  $100 \mu\text{A}$ .

De notar que os transístores  $M_{11_1}$  e  $M_{11_2}$  têm a mesma dimensão que aquela que foi determinada para  $M_{11}$ , uma vez que a corrente que os atravessa é também  $100 \mu\text{A}$  e são do tipo PMOS. Já os transístores  $M_{12}$  e  $M_{14}$  têm a mesma dimensão que  $M_9$  e  $M_{10}$ , uma vez que a corrente que os atravessa é também  $100 \mu\text{A}$  e são do tipo NMOS. O transístor  $M_{13}$ , de acordo com o funcionamento teórico de um espelho de corrente *cascade low-voltage*, deve ter um  $W$  3 vezes inferior ao de  $M_{12}$ , assim como deve funcionar sempre no tríodo, o que implica uma *width* de  $9 \mu\text{m}$ .

Na Figura 6 encontra-se o *schematic* criado no Cadence correspondente ao da Figura 5.



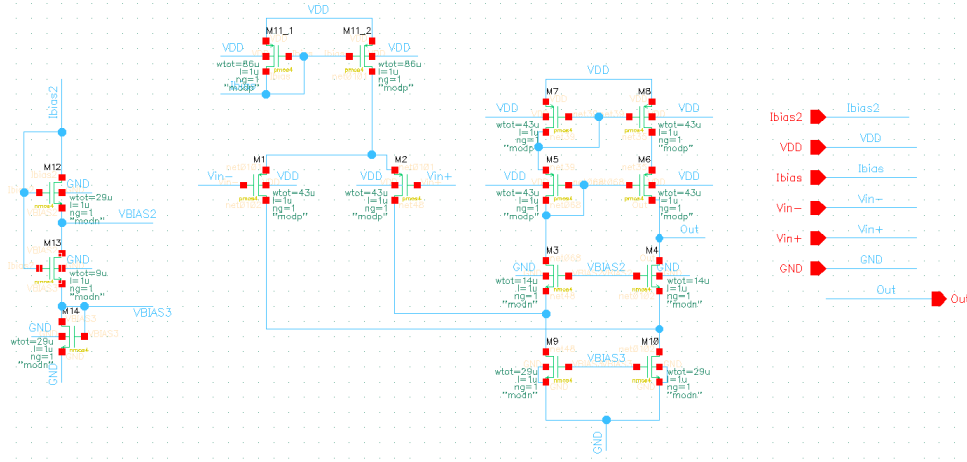


Figura 6: *Schematic* do circuito criado para a primeira simulação.

Com o *schematic* anterior projectou-se um símbolo e criou-se um novo *schematic de testbench*, como se pode ver na Figura 7.

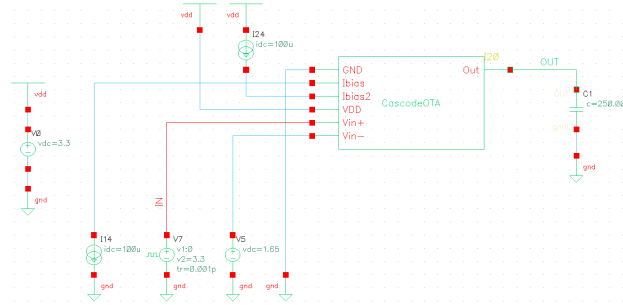


Figura 7: *Schematic* do *testbench* que permite simular o circuito.

Recorrendo ao circuito da figura anterior efectuou-se uma análise *transient* durante 2 ms. Para verificar se o circuito funciona como pretendido optou-se por verificar se todos os transístores do amplificador tem a corrente  $I_D$  pretendida, ou seja, de acordo com a Figura 1, e se estão na região de saturação.

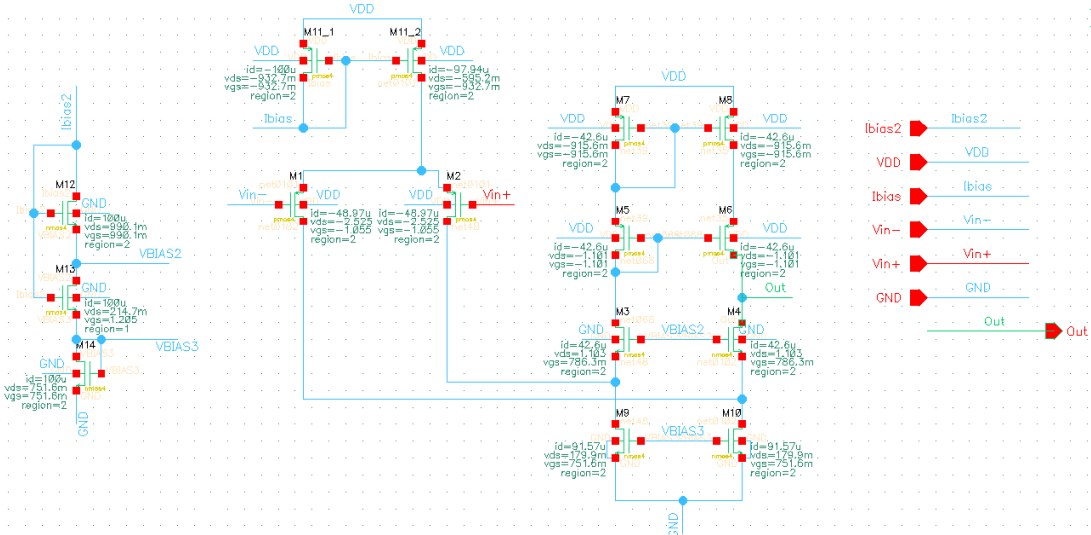


Figura 8: Valores do PFR do *schematic* da Figura 6.

A região de funcionamento dos transístores pode ser vista na secção *region*: 0 implica que o transístor está ao corte, 1 que está no triodo, 2 que está na zona de saturação e 3 na região de *subthreshold*.

Como se pode ver, todos os transístores do amplificador estão na região 2, tal como pretendido, assim como os que polarizam através de  $I_{BIAS}$ . Os transístores  $M_{12}$  e  $M_{14}$  do espelho de corrente *cascode low-voltage* estão também saturados e o transístor  $M_{13}$  está no triodo, tal como se queria.

Porém, apesar de os transístores estarem a funcionar na zona correcta, o valor das suas correntes está ligeiramente afastado do pretendido. Os transístores  $M_3$ ,  $M_4$ ,  $M_5$ ,  $M_6$ ,  $M_7$  e  $M_8$  deveriam ter um valor de  $I_D$  de  $50 \mu A$ , sendo, no entanto, o valor registado pela simulação de  $42.6 \mu A$ . Para os transístores  $M_9$  e  $M_{10}$  esperava-se um valor de  $I_D$  de  $100 \mu A$ , sendo, no entanto, o valor registado pela simulação de  $91.57 \mu A$ . As correntes do espelho de corrente básico estão de acordo com o esperado, sendo que os transístores  $M_1$  e  $M_2$  têm um valor de corrente de  $48.97 \mu A$ , um valor próximo do esperado de  $50 \mu A$ .

Até agora, para efectuar o dimensionamento dos transístores o critério que se teve em consideração foi a *slew-rate*. Assim, com recurso à calculadora do Cadence calculou-se o seu valor, sendo este de  $170.7 \times 10^6 \text{ V/segundo} \leftrightarrow 170.7 \text{ V}/\mu s$ . O valor pretendido é de  $200 \text{ V}/\mu s$ , verificando-se então alguma diferença entre os dois valores.

Relativamente aos valores de  $V_{GS}$  para os vários transístores, os valores teóricos esperados foram calculados com base nos *process parameters* da seguinte forma:

$$V_{THP} \approx 0.6V \rightarrow V_{GS} = V_{OD} + V_{THN} = 0.2 + 0.6 = 0.8V \rightarrow \text{transístor tipo PMOS}; \quad (2.7)$$

$$V_{THN} \approx 0.5V \rightarrow V_{GS} = V_{OD} + V_{THN} = 0.2 + 0.5 = 0.7V \rightarrow \text{transístor tipo NMOS}. \quad (2.8)$$

Na Figura 6 pode-se verificar

Face à ligeira discrepância nos valores obtidos para a corrente nos vários transístores e para a *slew-rate*, decidiu-se proceder a um ajuste nas dimensões dos transístores para se obter valores mais próximos dos esperados. Este ajuste foi feito ao nível dos transístores  $M_3$  e  $M_4$  pois, ao aumentar as suas dimensões faz-se variar as suas tensões  $V_{GS}$ , e como tal  $V_{BIAS_2}$ , o que resulta num aumento da tensão  $V_{DS}$  de  $M_9$ , que por sua vez faz aumentar a corrente daquele ramo.

O ajuste feito nesses dois transístores passou por aumentar o seu rácio  $W/L$  para o dobro, ou seja, o valor de  $W$  passou de  $14\mu m$  para  $28\mu m$ . À primeira vista não parecer ser um ajuste fino, no entanto, está associado à existência de um efeito de segunda-ordem.

De facto, quando se é mais criterioso, a corrente de um transístor não é calculada de acordo com a equação (2.1), mas sim de acordo com

$$I_D = \frac{1}{2} \mu_n C_{ox} \times \left( \frac{W}{L} \right) \times (V_{GS} - V_{TH}^2) \times (1 + \lambda V_{DS}) = k_P \times \left( \frac{W}{L} \right) \times V_{OD}^2 \times (1 + \lambda V_{DS}). \quad (2.9)$$

Como se pode ver, sobre o valor da corrente existe um efeito de segunda-ordem com a introdução da parcela  $(1 + \lambda V_{DS})$ . Assim se explica que, quando o valor de  $W$  de  $M_3$  e  $M_4$  passa para o dobro,

comentário  
sobre os  
valores de  
vgs

a corrente nos transístores aumenta em aproximadamente  $7\mu\text{A}$ , conseguindo-se obter o valor desejado de  $50\mu\text{A}$ .

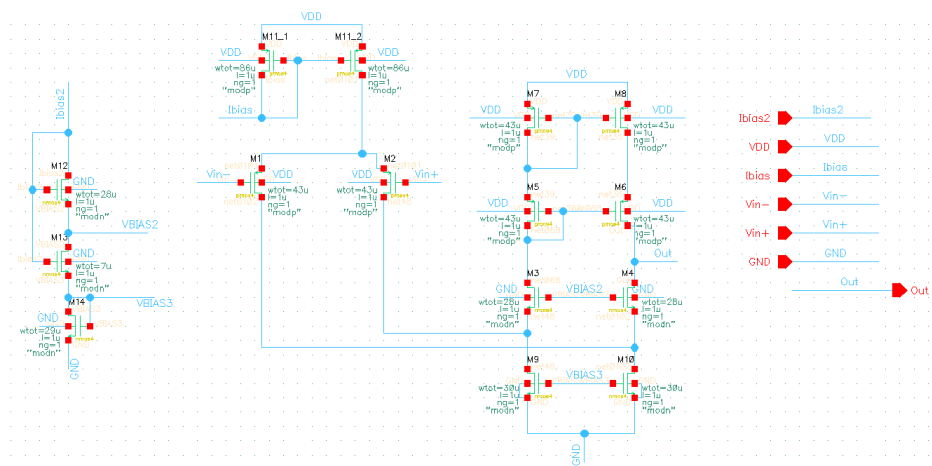


Figura 9: *Schematic* do circuito com os valores de  $W$  ajustados.

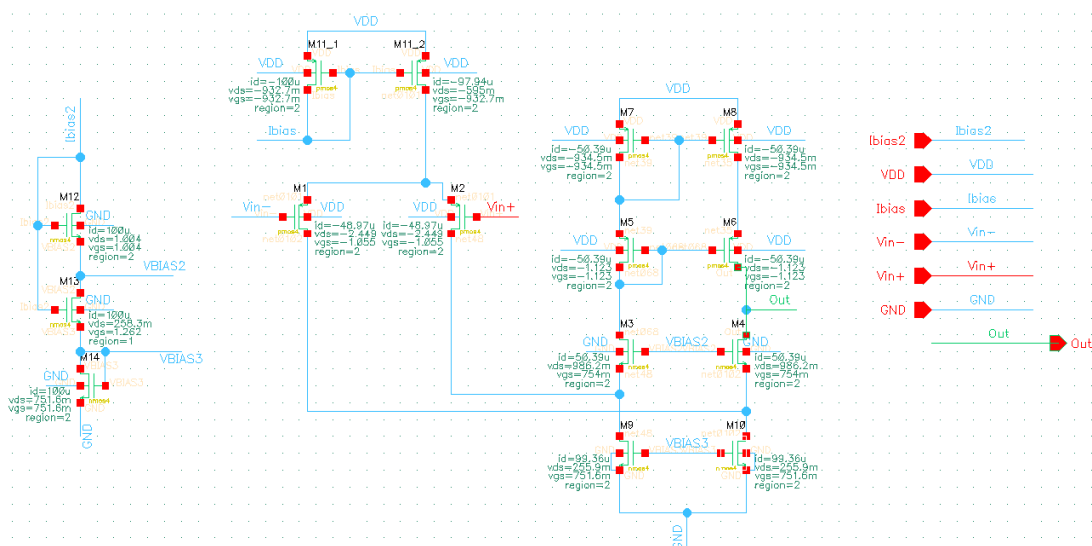


Figura 10: Valores do PFR do *schematic* da Figura 9.

### 3 Conclusões