



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS

Design de um Amplificador

| | |
|-------------------------------|-----------|
| João Bernardo Sequeira de Sá | n.º 68254 |
| Maria Margarida Dias dos Reis | n.º 73099 |
| Nuno Miguel Rodrigues Machado | n.º 74236 |

Lisboa, 31 de Maio de 2015

Índice

| | | |
|----------|--|-----------|
| 1 | Introdução | 1 |
| 2 | Adenda ao <i>Middle Target</i> | 1 |
| 2.1 | Detecção dos erros | 2 |
| 2.2 | Correcção do dimensionamento | 3 |
| 2.3 | Demonstração de resultados | 5 |
| 2.3.1 | Resultados do dimensionamento inicial | 6 |
| 2.3.2 | Resultados do dimensionamento corrigido | 6 |
| 3 | Projecção do <i>layout</i> | 7 |
| 3.1 | Multiplicidade e <i>fingers</i> | 7 |
| 3.2 | Disposição dos transístores | 10 |
| 3.3 | Ligações internas dos blocos | 12 |
| 3.3.1 | Estrutura <i>common centroid</i> #1 | 13 |
| 3.3.2 | Estrutura <i>common centroid</i> #2 | 17 |
| 3.3.3 | Estrutura <i>common centroid</i> #3 | 19 |
| 3.3.4 | Estrutura <i>common centroid</i> #4 | 21 |
| 3.4 | Ligações externas entre os blocos | 23 |
| 4 | Simulações com o circuito de <i>layout</i> | 25 |
| 4.1 | Simulações de Monte Carlo e <i>corners</i> | 25 |
| 4.2 | Substituição do amplificador do SAR ADC | 26 |
| 5 | Conclusões | 29 |

1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

| Especificação | Símbolo | Valor |
|--------------------------------------|-------------|----------------------|
| Tensão de Alimentação | V_{DD} | 3.3 V |
| Ganho para Sinais de Baixa Amplitude | A_v | 70 dB |
| Largura de Banda | B_w | 60 kHz |
| Margem de Fase | PM | 60° |
| Capacidade da Carga | C_L | 0.25 pF |
| <i>Slew-Rate</i> | SR | 200 V/ μ s |
| <i>Budget</i> da Corrente | I_{DD} | 400 μ A |
| Área de Die | / | 0.02 mm ² |

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.

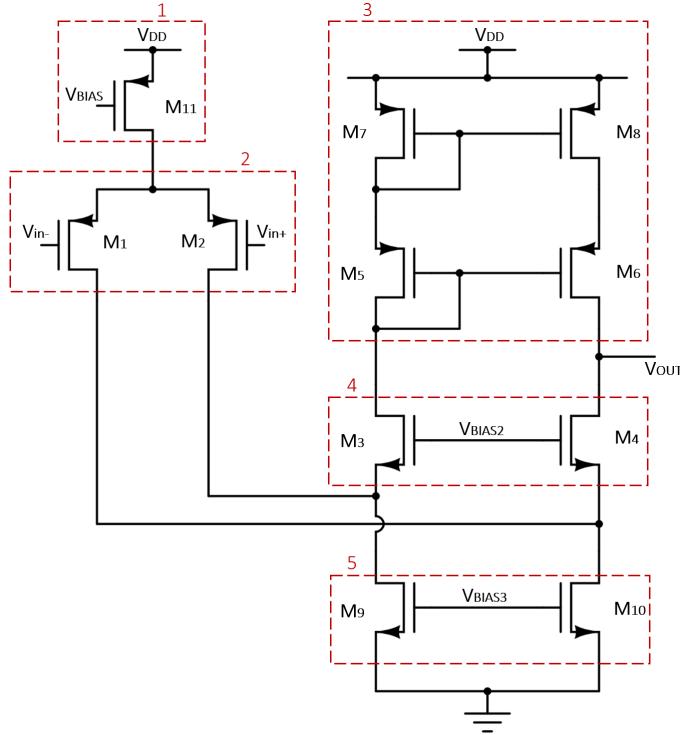


Figura 1: Circuito do amplificador a projectar.

2 Adenda ao *Middle Target*

Esta secção foi acrescentada ao relatório final no intuito de corrigir os resultados obtidos e apresentados no relatório anterior, o do *middle target*. Como referenciado, pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da Tabela 1.

2.1 Detecção dos erros

Foram identificados vários erros no relatório intermédio que comprometem os resultados apresentados anteriormente. A primeira correção foi referente ao *schematic* do *testbench* que permite simular o circuito em testes de resposta AC. Foi colocado um *switch* que simula a bobine - provoca um circuito aberto para um regime AC e curto-circuito para um regime DC. Foi também alterada a amplitude do sinal de entrada de 3.3 V para 1.6 V, sendo que esta alteração garante que os transístores não saem da saturação. De seguida pode-se comparar o novo *testbench* com o anterior.

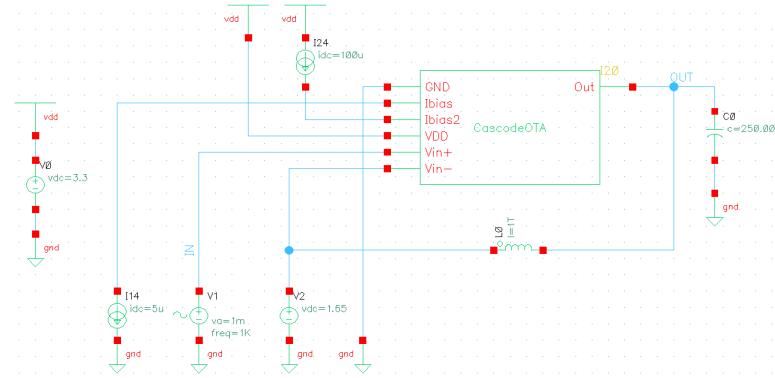


Figura 2: *Schematic* do *testbench* anterior que permite simular o circuito em testes de resposta AC.

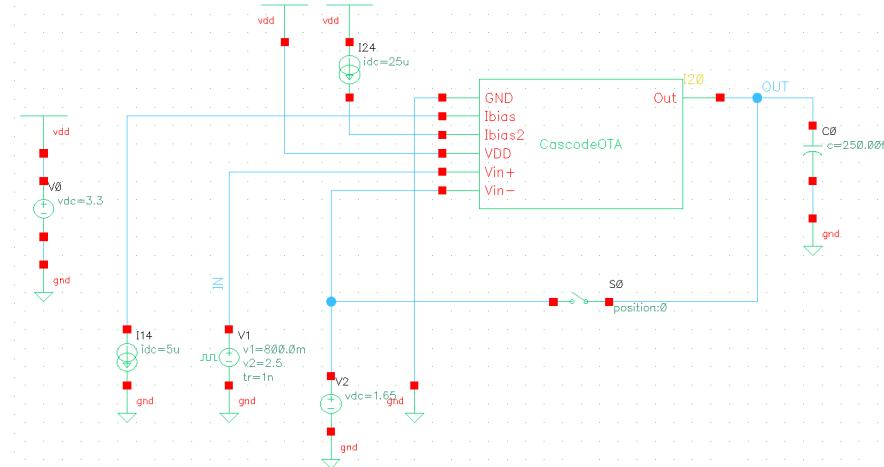


Figura 3: *Schematic* do novo *testbench* que permite simular o circuito em testes da *slew-rate* e de resposta transiente, DC e AC.

Outro erro identificado é referente ao cálculo da *slew-rate*. No relatório intermédio, o resultado da *slew-rate* era relativo só ao flanco de descida, sendo necessário demonstrar para os dois flancos - subida (equação 2.1) e descida (equação 2.2).

$$\text{slewRate(VT("/OUT")) 1 nil 2 nil 10 90 nil "time"} \quad (2.1)$$

$$\text{slewRate(VT("/OUT")) 2 nil 1 nil 10 90 nil "time"} \quad (2.2)$$

A equação **slewRate** é obtida com recurso à calculadora do Cadence, escolhendo o sinal pretendido, que, neste caso, é a saída do *cascode OTA*, VT("OUT"). De seguida escolhe-se a posição inicial e final

para o cálculo da *slew-rate* - foi definido que para o flanco de descida começa-se a calcular desde 2 V até 1 V e no flanco de subida o cálculo é o inverso, de 1 V até 2 V. O intervalo anteriormente referido foi escolhido de forma a calcular a *slew-rate* na zona onde os transístores se encontram na saturação.

2.2 Correcção do dimensionamento

Com os erros anteriormente referidos corrigidos, o circuito apresentado na entrega intermédia fazia em algumas especificações: ganho para sinais de baixa amplitude, margem de fase e largura de banda. Na secção seguinte apresenta-se os resultados das simulações de Monte Carlo e *corners*.

Com o intuito de corrigir as dimensões, partiu-se de um critério inicial - obter transístores de dimensões mais reduzidas e manter o rácio W/L obtido no relatório anterior. Em primeiro lugar, verificou-se que com a nova expressão do cálculo da *slew-rate* obtém-se valores mais elevados, o que significa que se pode reduzir as dimensões dos transístores M_9 e M_{10} .

De seguida pretendeu-se melhorar a margem de fase e, analisando o resultado das especificações pretendidas, verificou-se que era necessário aumentar a largura de banda de forma a obter uma margem de fase melhor sem alterar significativamente os resultados das outras especificações. Começou-se por analisar as dimensões das capacidades do circuito e verificou-se que a capacidade referente aos transístores M_7 e M_8 é a capacidade que mais influencia a margem de fase. Mas, como já foi referido no relatório anterior, os transístores M_7 e M_8 também afectam o ganho e a largura de banda, como se pode ver pelas expressões seguintes.

$$A_v = g_{m1} R_o = g_{m1} [(g_{m4} r_{o4} (r_{o2}/r_{o10})) // (g_{m6} r_{o6} r_{o8})]; \quad (2.3)$$

$$f_p = \frac{1}{2\pi C_L R_o} = \frac{1}{2\pi C_L [(g_{m4} r_{o4} (r_{o2}/r_{o10})) // (g_{m6} r_{o6} r_{o8})]}; \quad (2.4)$$

Assim sendo, e analisando as expressões decidiu-se inicialmente diminuir as dimensões dos transístores M_7 e M_8 , o que fez aumentar a largura de banda como também a margem de fase. Com o intuito de melhorar as especificações obtidas diminui-se as dimensões dos transístores M_3 e M_4 até atingir uma dimensão de L mínima de $0.85 \mu m$. Como a dimensão L dos transístores M_5 e M_6 é menor que $0.85 \mu m$, aumentou-se as dimensões com o intuito de manter o critério de um L mínimo de $0.85 \mu m$.

Com estas alterações consegui-se obter todas as especificações excepto para o ganho de sinais de baixa amplitude. Analisando a expressão anterior do ganho, verifica-se que para aumentar o ganho sem alterar as restantes especificações, seria necessário aumentar o valor de g_{m1} . Como o valor de g_m é directamente proporcional a I_D , com aumento de W existe um aumento de I_D e de g_m . A expressão seguinte mostra como W influencia I_D :

$$g_m \propto I_D = k_P \times \left(\frac{W}{L} \right) \times V_{OD}^2 \times (1 + \lambda V_{DS}). \quad (2.5)$$

Para aumentar o g_{m1} é necessário alterar o rácio W/L , ou seja, o rácio de M_1 e M_2 sofreu um aumento de 132%, passando de 43 para 100. Não é preocupante esta alteração do valor da transcon-

dutância, não se comprometendo a zona de funcionamento dos transístores pois estes são polarizados externamente.

A polarização do espelho de corrente é constituída pelo par M_{11_1} e M_{11_2} através de I_{BIAS} . De forma a ter-se um valor baixo para o *budget* da corrente escolheu-se em primeira instância dar-lhe o valor de $5 \mu\text{A}$ sendo este multiplicado no espelho de corrente para um valor de $100 \mu\text{A}$.

As dimensões dos pares de transístores M_3/M_4 e M_9/M_{10} ficaram definidas à partida, sendo que foi então necessário dimensionar os transístores que iriam ser responsáveis pela sua polarização sendo o critério a corrente de polarização I_{BIAS_2} . O objectivo foi, mais uma vez, que esta corrente fosse a mais baixa possível, garantindo o correcto cumprimento do *budget* de corrente. Escolheu-se numa primeira aproximação o valor de $25 \mu\text{A}$, mas após correr as simulações Monte Carlo verificou-se que seria necessário aumentar um pouco este valor fixando-se o valor final em $29 \mu\text{A}$. Esta subida foi feita de forma a evitar fazer alterações muito grandes nos transístores M_3/M_4 , pois tal como este par a corrente I_{BIAS_2} terá ligeiras influências em todos os parâmetros, sendo que se tentou aumentar esta o mínimo tentando reduzir também as alterações necessárias ao par de transístores, ou seja, compensa-se o não querer ajustar as dimensões dos transístores com um ajuste na corrente de polarização.

Assim, o circuito final relativamente à entrega intermédia é:

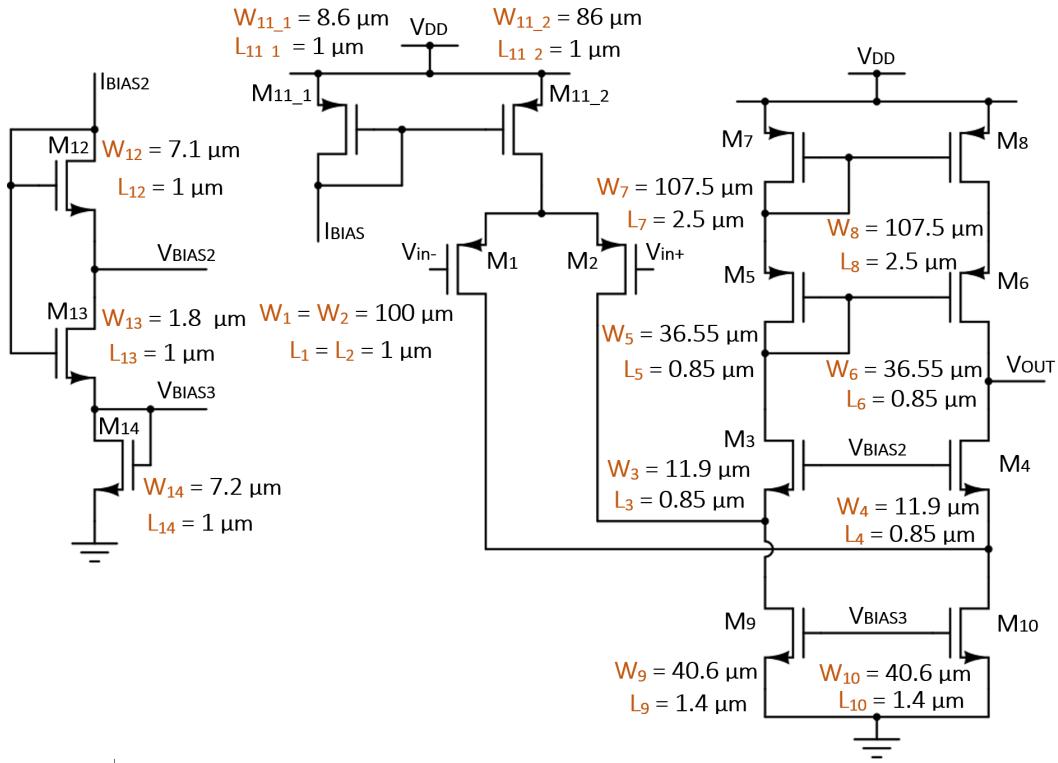


Figura 4: Circuito final da entrega intermédia.

Tabela 2: Dimensões dos transístores que constituem o amplificador.

| Transístores | W [μm] | L [μm] | Rácio W/L |
|----------------------------------|---------------------|---------------------|-----------|
| M ₁ e M ₂ | 100 | 1 | 100 |
| M ₃ e M ₄ | 11.9 | 0.85 | 14 |
| M ₅ e M ₆ | 36.55 | 0.85 | 43 |
| M ₇ e M ₈ | 107.5 | 2.5 | 43 |
| M ₉ e M ₁₀ | 40.6 | 1.4 | 29 |
| M _{11_1} | 8.6 | 1 | 8.6 |
| M _{11_2} | 8.6 | 1 | 8.6 |
| M ₁₂ | 7.1 | 1 | 7.1 |
| M ₁₃ | 1.8 | 1 | 1.8 |
| M ₁₄ | 7.2 | 1 | 7.2 |

Com este circuito as especificações finais obtidas para o circuito com recurso à simulação da Figura 3 são apresentadas na seguinte tabela.

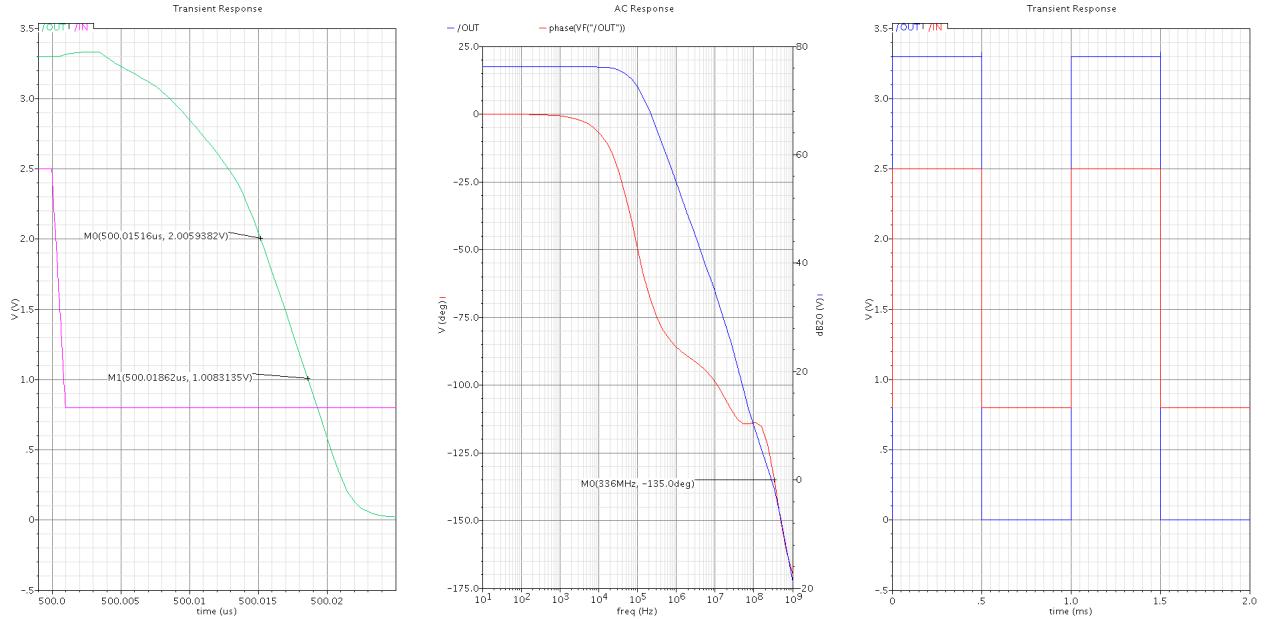


Figura 5: Simulações efectuadas com o circuito final do *middle target*.

Relativamente às especificações que se pretende apresenta-se de seguida uma tabela com um resumo.

Tabela 3: Especificações obtidas com o circuito final do *middle target*.

| Especificação | Métrica | Valor Experimental |
|--------------------------------------|-------------------------|-------------------------|
| Ganho para Sinais de Baixa Amplitude | > 69 dB | 76.24 dB |
| Largura de Banda | > 60 kHz | 86.07 kHz |
| Margem de Fase | entre 60° e 80° | 62.61° |
| <i>Slew-Rate</i> de subida | > 200 V/ μs | 288.2 V/ μs |
| <i>Slew-Rate</i> de descida | < -200 V/ μs | -289.7 V/ μs |
| Budget da Corrente | < 400 μA | 286.29 μA |

2.3 Demonstração de resultados

Nesta secção apresenta-se os resultados do dimensionamento do relatório intermédio e do novo dimensionamento anteriormente referido, para simulações de Monte Carlo e de *corners*.

2.3.1 Resultados do dimensionamento inicial

| Test | Name | Yield | Min | Target | Max | Mean | Sigma to Target | Sigma |
|---|------|---------|-------------|---------|---------|-----------------|-----------------|-------|
| Parameters: Yield Estimate: 42 % (21 passed/50 pts) | | | | | | | | |
| - SIA2015_Sim_CascadeOTA:1 | | | | | | | | |
| - Slew Rate Descida(summary) | 100 | -264.3M | | -229.4M | -250.6M | 6.34484 | 7.967M | |
| Slew Rate Descida | 100 | -264.3M | < -200M | -229.4M | -250.6M | 6.34484 | 7.967M | |
| - Slew Rate Subida(summary) | 100 | 211.5M | | 260.9M | 235.5M | 3.12820 | 11.35M | |
| Slew Rate Subida | 100 | 211.5M | > 200M | 260.9M | 235.5M | 3.12820 | 11.35M | |
| - gainBwProd(VF("OUT"))(summary) | 100 | 174.9M | | 217.3M | 195M | 9.222M | | |
| gainBwProd(VF("OUT")) | 100 | 174.9M | info | 217.3M | 195M | 9.222M | | |
| - ganho(summary) | 70 | 66.68 | | 73.33 | 69.62 | 0.456434 | 1.359 | |
| ganho | 70 | 66.68 | > 69 | 73.33 | 69.62 | 0.456434 | 1.359 | |
| - largura de banda(summary) | 74 | 45.84k | | 80.86k | 64.65k | 0.60054 | 7.74k | |
| largura de banda | 74 | 45.84k | > 60k | 80.86k | 64.65k | 0.60054 | 7.74k | |
| - margem de fase (summary) | 96 | 59.77 | | 62.56 | 61.07 | 1.60217,28.4143 | 666.3m | |
| margem de fase | 96 | 59.77 | range 60 80 | 62.56 | 61.07 | 1.60217,28.4143 | 666.3m | |

Figura 6: Simulação de Monte Carlo para 50 pontos.

| Test | Output | Nominal | Pass/Fail | Min | Max |
|--------------------------|-----------------------|---------|-----------|---------|---------|
| SIA2015_Sim_CascadeOTA:1 | ganho | 67.52 | near | 67.52 | 67.52 |
| SIA2015_Sim_CascadeOTA:1 | largura de banda | 75.12k | pass | 75.12k | 75.12k |
| SIA2015_Sim_CascadeOTA:1 | margem de fase | 61.49 | pass | 61.49 | 61.49 |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Subida | 213.1M | pass | 213.1M | 213.1M |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Descida | -230.7M | pass | -230.7M | -230.7M |
| SIA2015_Sim_CascadeOTA:1 | gainBwProd(VF("OUT")) | 179M | | 179M | 179M |
| Parameters: | | | | | |
| SIA2015_Sim_CascadeOTA:1 | ganho | 72.18 | pass | 72.18 | 72.18 |
| SIA2015_Sim_CascadeOTA:1 | largura de banda | 48.48k | fail | 48.48k | 48.48k |
| SIA2015_Sim_CascadeOTA:1 | margem de fase | 61.13 | pass | 61.13 | 61.13 |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Subida | 244.6M | pass | 244.6M | 244.6M |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Descida | -252.3M | pass | -252.3M | -252.3M |
| SIA2015_Sim_CascadeOTA:1 | gainBwProd(VF("OUT")) | 197.8M | | 197.8M | 197.8M |
| Parameters: | | | | | |
| SIA2015_Sim_CascadeOTA:1 | ganho | 68.1 | near | 68.1 | 68.1 |
| SIA2015_Sim_CascadeOTA:1 | largura de banda | 72.6k | pass | 72.6k | 72.6k |
| SIA2015_Sim_CascadeOTA:1 | margem de fase | 61.38 | pass | 61.38 | 61.38 |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Subida | 236.6M | pass | 236.6M | 236.6M |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Descida | -247.6M | pass | -247.6M | -247.6M |
| SIA2015_Sim_CascadeOTA:1 | gainBwProd(VF("OUT")) | 184.9M | | 184.9M | 184.9M |

Figura 7: Resultados obtidos para as 3 primeiras simulações de Monte Carlo.

| Test | Output | Nominal | Pass/Fail | Min | Max | WP | WS | WD | WZ |
|--------------------------|-----------------------|---------|-----------|---------|---------|---------|---------|---------|---------|
| SIA2015_Sim_CascadeOTA:1 | ganho | 68.85 | near | 68.85 | 70.82 | 69.8 | 69.89 | 68.76 | 70.82 |
| SIA2015_Sim_CascadeOTA:1 | largura de banda | 71.19k | near | 56.64k | 71.82k | 71.82k | 56.64k | 65.55k | 62.57k |
| SIA2015_Sim_CascadeOTA:1 | margem de fase | 61.63 | near | 57.21 | 64.83 | 62.37 | 60.02 | 64.83 | 57.21 |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Subida | 242M | pass | 227.6M | 253.5M | 253.5M | 227.6M | 231M | 252M |
| SIA2015_Sim_CascadeOTA:1 | Slew Rate Descida | -250.5M | pass | -263.6M | -244.2M | -251.6M | -254.7M | -244.2M | -263.6M |
| SIA2015_Sim_CascadeOTA:1 | gainBwProd(VF("OUT")) | 193.3M | | 177.4M | 222.6M | 222.6M | 177.4M | 180M | 218M |

Figura 8: Simulação por *corners*.

Tal como se pode observar das tabelas de resultados, antes das correções obtinha-se um *yield* de 42%, ou seja em cada quatro *batches* pelo menos dois não seriam utilizáveis. Estas falhas eram maioritariamente devidas ao ganho e à largura de banda, pelo que, tal como se referiu anteriormente, foi especialmente aí que incidiram as correcções feitas. Tem-se também uma falha mínima na margem de fase levando a um *yield* de 92% que se poderia considerar aceitável. Verifica-se também que a simulação por *corners* não apresenta os resultados desejados, sendo que, novamente, o ganho e a largura de banda apresentam os piores resultados, com a margem de fase a também ter falhas.

2.3.2 Resultados do dimensionamento corrigido

| Test | Name | Yield | Min | Target | Max | Mean | Sigma to Target | Sigma |
|---|------|--------|-------------|---------|---------|-----------------|-----------------|-------|
| Parameters: Yield Estimate: 92 % (46 passed/50 pts) | | | | | | | | |
| - SIA2015_Sim_CascadeOTA:1 | | | | | | | | |
| - Slew Rate Descida(summary) | 100 | -304M | | -259.9M | -288.3M | 10.8882 | 8.113M | |
| Slew Rate Descida | 100 | -304M | < -200M | -259.9M | -288.3M | 10.8882 | 8.113M | |
| - Slew Rate Subida(summary) | 100 | 271.1M | | 305.8M | 289.5M | 12.3037 | 7.272M | |
| Slew Rate Subida | 100 | 271.1M | > 200M | 305.8M | 289.5M | 12.3037 | 7.272M | |
| - gainBwProd(VF("OUT"))(summary) | 100 | 306.8M | | 374.6M | 337.4M | | 14.06M | |
| gainBwProd(VF("OUT")) | 100 | 306.8M | info | 374.6M | 337.4M | | 14.06M | |
| - ganho(summary) | 96 | 66.57 | | 74.71 | 71.66 | 2.00403 | 1.326 | |
| ganho | 96 | 66.57 | > 69 | 74.71 | 71.66 | 2.00403 | 1.326 | |
| - largura de banda(summary) | 100 | 65.53k | | 122.9k | 88.61k | 2.49824 | 11.45k | |
| largura de banda | 100 | 65.53k | > 60k | 122.9k | 88.61k | 2.49824 | 11.45k | |
| - margem de fase (summary) | 96 | 59.37 | | 64.8 | 62.75 | 2.58023,16.2053 | 1.065 | |
| margem de fase | 96 | 59.37 | range 60 80 | 64.8 | 62.75 | 2.58023,16.2053 | 1.065 | |

Figura 9: Simulação de Monte Carlo para 50 pontos.

| Test | Output | Nominal | Pass/Fail | Min | Max |
|--------------------------|-----------------------|---------|-----------|---------|---------|
| Parameters: | | | | | |
| SIA2015_Sim_CascodeOTA:1 | ganho | 70.45 | pass | 70.45 | 70.45 |
| SIA2015_Sim_CascodeOTA:1 | largura de banda | 93.75k | pass | 93.75k | 93.75k |
| SIA2015_Sim_CascodeOTA:1 | margem de fase | 63.89 | pass | 63.89 | 63.89 |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Subida | 289.2M | pass | 289.2M | 289.2M |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Descida | -286.9M | pass | -286.9M | -286.9M |
| SIA2015_Sim_CascodeOTA:1 | gainBwProd(VF("OUT")) | 312.9M | | 312.9M | 312.9M |
| Parameters: | | | | | |
| SIA2015_Sim_CascodeOTA:1 | ganho | 73.75 | pass | 73.75 | 73.75 |
| SIA2015_Sim_CascodeOTA:1 | largura de banda | 70.07k | pass | 70.07k | 70.07k |
| SIA2015_Sim_CascodeOTA:1 | margem de fase | 61.78 | pass | 61.78 | 61.78 |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Subida | 285.5M | pass | 285.5M | 285.5M |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Descida | -285.7M | pass | -285.7M | -285.7M |
| SIA2015_Sim_CascodeOTA:1 | gainBwProd(VF("OUT")) | 341.9M | | 341.9M | 341.9M |
| Parameters: | | | | | |
| SIA2015_Sim_CascodeOTA:1 | ganho | 69.95 | pass | 69.95 | 69.95 |
| SIA2015_Sim_CascodeOTA:1 | largura de banda | 102.8k | pass | 102.8k | 102.8k |
| SIA2015_Sim_CascodeOTA:1 | margem de fase | 63.78 | pass | 63.78 | 63.78 |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Subida | 291.7M | pass | 291.7M | 291.7M |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Descida | -287.2M | pass | -287.2M | -287.2M |
| SIA2015_Sim_CascodeOTA:1 | gainBwProd(VF("OUT")) | 323.9M | | 323.9M | 323.9M |

Figura 10: Resultados obtidos para as 3 primeiras simulações de Monte Carlo.

| Test | Output | Nominal | Pass/Fail | Min | Max | target | WP | WS | W0 | WZ |
|--------------------------|-----------------------|---------|-----------|---------|---------|--------|---------|---------|---------|---------|
| SIA2015_Sim_CascodeOTA:1 | ganho | 70.97 | pass | 70.06 | 73.82 | disab. | 72.16 | 71.89 | 70.06 | 73.82 |
| SIA2015_Sim_CascodeOTA:1 | largura de banda | 96.3k | pass | 76.45k | 97.18k | disab. | 96.77k | 76.45k | 97.18k | 77.62k |
| SIA2015_Sim_CascodeOTA:1 | margem de fase | 63.89 | near | 59.9 | 65.11 | disab. | 64.18 | 61.58 | 65.11 | 59.9 |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Subida | 292.4M | pass | 277.3M | 303.8M | disab. | 299.5M | 284.9M | 277.3M | 303.8M |
| SIA2015_Sim_CascodeOTA:1 | Slew Rate Descida | -291.5M | pass | -301.5M | -293.4M | disab. | -287.3M | -288.4M | -283.4M | -301.5M |
| SIA2015_Sim_CascodeOTA:1 | gainBwProd(VF("OUT")) | 341.4M | | 301.2M | 393.3M | disab. | 393.3M | 301.2M | 310.1M | 382.1M |

Figura 11: Simulação por *corners*.

Após as correções os resultados são muito mais positivos, estando dentro dos requisitos do *target*. O *yield* final é de 96% para 50 *runs*, que se considera um resultado bastante aceitável. Considerou-se um valor de ganho de 69 dB, ou seja, inferior ao do *target*. Esta consideração é permitida pois obteve-se um produto ganho largura de banda superior ao do *target* nos casos em que não se obteve os 70 dB desejados pelo que, ao aplicar realimentação, se pode aumentar o ganho à custa de largura de banda, ficando-se dentro dos parâmetros desejados.

Na simulação por *corners* obteve-se também resultados aceitáveis, sendo a única falha na margem de fase, com um erro de cerca de 1%.

Fez-se ainda uma simulação de Monte Carlo de forma a observar as regiões de funcionamento de todos os transístores, sendo que, tal como se queria, todos estão na região de saturação, fora o transístor M₁₃ que está sempre na região de tríodo, tal como desejado.

3 Projeção do *layout*

3.1 Multiplicidade e *fingers*

Para projectar o *layout* do circuito da Figura 4 optou-se por dividir os transístores de grandes dimensões com recurso a duas técnicas - multiplicidade e *fingers*. A técnica de *fingers* corresponde a um arranjo específico do transístor com *n gate fingers* em que as difusões da *source* e do *drain* são partilhadas. Se se tiver *n fingers* haverá então *n + 1* difusões. A multiplicidade é quando se faz uma ligação em paralelo de múltiplos dispositivos MOS, sendo que o agregado deles corresponde a um só transístor. Observa-se também que utilizar *fingers* reduz a capacidade do transístor, aproximando-a da capacidade linear, sendo especialmente importante nos casos que afectem a largura de banda e margem de fase.

Do ponto de vista da definição correspondem ao mesmo, mas são de facto duas maneiras diferentes de pensar na paralelização de transístores. Com o recurso a *fingers* tem-se uma única célula com o transístor completo com todos os *fingers*, útil para quando se quer uma célula mais compacta,

enquanto na multiplicidade tem-se tantos transístores quanto a multiplicidade indicar. De facto, é possível conjugar as duas técnicas, ou seja, cada dispositivo MOS da multiplicidade pode ser feito com vários *fingers*.

Para o trabalho em causa optou-se por usar as duas técnicas teoricamente idênticas para adquirir mais experiência e para verificar as diferenças que têm ao nível de implementação prática no Cadence.

Estas práticas são aplicadas também de forma a evitar efeitos nocivos de *mismatches*, ou seja da vulnerabilidade aos gradientes de parâmetro. Ao minimizar a área efectiva dos circuitos protege-se assim o dispositivo destes efeitos.

Assim sendo, deu-se especial atenção aos pares de transístores em que se considerou que existe uma maior sensibilidade a *mismatches* - pares M₁/M₂, M₇/M₈, M₉/M₁₀ e M_{11₁}/M_{11₂}.

Começou-se, em primeira instância, por aplicar multiplicidade, tentando aproximar ao máximo os tamanhos dos pares que estão ligados entre si, seguido de uma redução geral dos transístores de todo o circuito.

Em adição à multiplicidade optou-se por usar também a técnica *fingers* no par M₇/M₈ pois este par, tal como já foi mencionado, tem grande influência na largura de banda e margem de fase. Já no par M₅/M₆ aplicou-se apenas a técnica *fingers* ficando-se assim com tamanhos da mesma ordem em ambos os pares para além de uma forma compacta facilitando as tarefas de escolher uma disposição para os transístores e efectuar as ligações internas.

Como o ráio de espelhamento é muito sensível a diferenças nos parâmetros do espelho de corrente, ou seja, a *mismatches* nos pares de transístores M_{11₁}/M_{11₂}, foi aplicada multiplicidade no transístor M_{11₂} de forma a que tivesse o mesmo tamanho que o transístor M_{11₁}. Desta maneira o par é afectado de igual forma pelos gradientes de parâmetros. Após a aplicação de multiplicidade no transístor M_{11₂} foi necessário aumentar o valor da corrente I_{BIAS} para 13 μ A de forma a que se obtivesse o espelhamento correcto para 100 μ A.

Para o par M₉/M₁₀, como são transístores NMOS, optou-se por colocar num grupo de apenas transístores NMOS, como será explicado à frente. Para este par apenas houve necessidade de reduzir os seus tamanhos através de multiplicidade para valores menos sensíveis a *mismatches*.

Para os restantes transístores cuja sensibilidade a variação de parâmetros não é tão importante quanto nos pares supramencionados usou-se multiplicidade de forma a obter-se as dimensões desejadas e também que facilitassem as estruturas do *layout*.

Assim, na tabela seguinte encontra-se uma descrição de como são constituídos os vários transístores do circuito.

Tabela 4: Dimensões e características dos transístores do amplificador.

| Transístores | Multiplicidade | Número de gates | Wtotal [μm] | Wsingle gate [μm] | L [μm] | Descrição |
|--------------|----------------|-----------------|-------------|-------------------|--------|-------------------------------------|
| M1 e M2 | 8 | 1 | 100 | 12.5 | 1 | 8 transístores, cada um com 1 gate |
| M3 e M4 | 2 | 1 | 11.9 | 5.95 | 0.85 | 2 transístores, cada um com 1 gate |
| M5 e M6 | 1 | 4 | 36.6 | 9.15 | 0.85 | 1 transistor com 4 gates |
| M7 e M8 | 2 | 4 | 107.5 | 13.45 | 2.5 | 2 transístores, cada um com 4 gates |
| M9 e M10 | 4 | 1 | 40.6 | 10.15 | 1.4 | 4 transístores, cada um com 1 gate |
| M11_1 | 1 | 1 | 8.6 | 8.6 | 1 | 1 transistor com 1 gate |
| M11_2 | 10 | 1 | 8.6 | 0.86 | 1 | 10 transístores, cada um com 1 gate |
| M12 | 1 | 1 | 7.1 | 7.1 | 1 | 1 transistor com 1 gate |
| M13 | 1 | 1 | 1.8 | 1.8 | 1 | 1 transistor com 1 gate |
| M14 | 1 | 1 | 7.2 | 7.2 | 1 | 1 transistor com 1 gate |

Na próxima figura apresenta-se o circuito após a divisão dos transístores com recurso a multiplicidade e *fingers*.

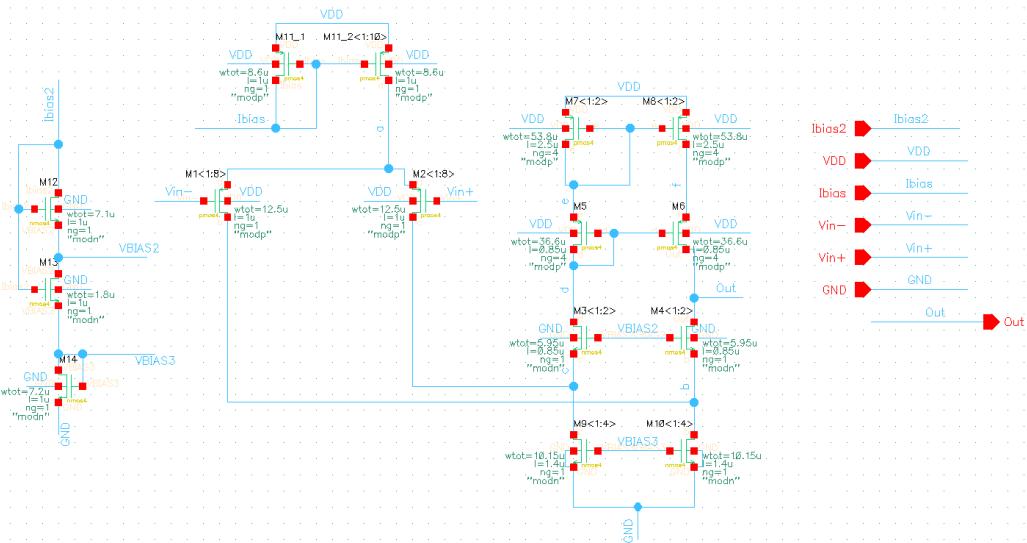


Figura 12: *Schematic* do circuito para projecção do *layout*.

Após realizar as alterações comentadas anteriormente realizou-se novamente uma simulação Monte Carlo de forma a observar os seus efeitos. Apresenta-se assim o obtido na figura seguinte.



Figura 13: Simulação Monte Carlo para 50 pontos após aplicar técnicas de multiplicidade e *fingers*.

| Test | Output | Nominal | Pass/Fail | Min | Max |
|--|---------|---------|-----------|---------|-----|
| Parameters: | | | | | |
| SIA2015_Sim_CascodeOTA:1 ganho | 67.96 | near | 67.96 | 67.96 | |
| SIA2015_Sim_CascodeOTA:1 largura de banda | 132.1k | pass | 132.1k | 132.1k | |
| SIA2015_Sim_CascodeOTA:1 margem de fase | 60.92 | pass | 60.92 | 60.92 | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Subida | 295.6M | pass | 295.6M | 295.6M | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Descida | -299.8M | pass | -299.8M | -299.8M | |
| SIA2015_Sim_CascodeOTA:1 gainBwProd(VF("OUT")) | 331.1M | | 331.1M | 331.1M | |
| Parameters: | | | | | |
| SIA2015_Sim_CascodeOTA:1 ganho | 70.82 | pass | 70.82 | 70.82 | |
| SIA2015_Sim_CascodeOTA:1 largura de banda | 97.5k | pass | 97.5k | 97.5k | |
| SIA2015_Sim_CascodeOTA:1 margem de fase | 60.97 | pass | 60.97 | 60.97 | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Subida | 282.4M | pass | 282.4M | 282.4M | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Descida | -291.1M | pass | -291.1M | -291.1M | |
| SIA2015_Sim_CascodeOTA:1 gainBwProd(VF("OUT")) | 339.5M | | 339.5M | 339.5M | |
| Parameters: | | | | | |
| SIA2015_Sim_CascodeOTA:1 ganho | 70.04 | pass | 70.04 | 70.04 | |
| SIA2015_Sim_CascodeOTA:1 largura de banda | 106.6k | pass | 106.6k | 106.6k | |
| SIA2015_Sim_CascodeOTA:1 margem de fase | 59.99 | near | 59.99 | 59.99 | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Subida | 291.2M | pass | 291.2M | 291.2M | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Descida | -294M | pass | -294M | -294M | |
| SIA2015_Sim_CascodeOTA:1 gainBwProd(VF("OUT")) | 339.7M | | 339.7M | 339.7M | |

Figura 14: Resultados obtidos para as 3 primeiras simulações de Monte Carlo após aplicar técnicas de multiplicidade e *fingers*.

| Test | Output | Nominal | Spec | Weight | Pass/Fail | Min | Max | corner0 | WP | WS | W0 | WZ |
|--|--------|-------------|------|--------|-----------|---------|----------|---------|---------|---------|---------|----|
| SIA2015_Sim_CascodeOTA:1 ganho | 70.65 | > 69 | | near | 68.8 | 72.16 | disabled | 70.75 | 70.37 | 68.8 | 72.16 | |
| SIA2015_Sim_CascodeOTA:1 largura de banda | 99.61k | > 60k | | pass | 91.05k | 114.7k | disabled | 114.7k | 91.05k | 114.7k | 92.64k | |
| SIA2015_Sim_CascodeOTA:1 margem de fase | 59.25 | range 60 80 | | near | 56.64 | 62.35 | disabled | 61.47 | 57.73 | 62.35 | 56.64 | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Subida | 296.5M | > 200M | | pass | 283.8M | 305.9M | disabled | 291.9M | 284M | 283.8M | 305.9M | |
| SIA2015_Sim_CascodeOTA:1 Slew Rate Descida | -294M | < -200M | | pass | -302.8M | -286.5M | disabled | -299.3M | -291.6M | -286.5M | -302.8M | |

Figura 15: Simulação por *corners* após aplicar técnicas de multiplicidade e *fingers*.

Pode assim observar-se uma grande redução no *yield*, tendo-se obtido 18%. Isto é devido em grande parte à margem de fase, sendo que existe ainda uma ligeira descida nos resultados do ganho, mas que ainda assim iria levar a *yields* aceitáveis. Esta influência na margem de fase deve-se à multiplicidade que faz aumentar o número de capacidades parasitas e a resistividade, que aliado à fraca optimização do *layout* produzido automaticamente pelo Cadence, leva aos resultados observados. Este problema será em grande parte resolvido com as práticas tomadas para realizar o *layout* como se irá explicar nas secções seguintes, pois o intuito destas é especificamente colmatar estes efeitos indesejados.

Em relação à simulação por *corners* observa-se o mesmo tipo de resultados acima mencionados, sendo que os piores pertencem à margem de fase, pelo que este problema será em grande parte resolvido também pelas práticas correctas de *layout* que serão adoptadas.

3.2 Disposição dos transístores

Depois de se definir como estão estruturados os vários transístores é importante definir como se encontram dispostos no *layout*. A topologia básica que foi utilizada é a de *common centroid*. Através desta técnica consegue-se garantir um melhor *matching* entre dois transístores iguais e em que se pretende um comportamento semelhante. De facto, o *common centroid* é utilizado para se garantir que, e.g., um amplificador diferencial tenha um sinal de modo comum próximo de 0 e, como tal, um CMRR maior.

Para o circuito em causa foram definidos 4 blocos principais sobre os quais se definiu uma estrutura *common centroid*:

- espelho de corrente básico que é polarizado em corrente com I_{BIAS} (equivalente ao Bloco 1 da Figura 1) - estrutura *common centroid #1*;
- transístores do par diferencial (Bloco 2 da Figura 1) - estrutura *common centroid #2*;
- espelho de corrente cascode básico do tipo PMOS (Bloco 3 da Figura 1) - estrutura *common centroid #3*;

- transístores do tipo NMOS - estrutura *common centroid* #4;

A escolha destes blocos foi feita com base no *mismatch*. É essencial que entre os transístores do par diferencial não haja diferenças de comportamento, pois se houver o circuito fica desequilibrado. Os dois espelhos de corrente existentes também não devem ter *mismatch*, pois pretende-se um espelhamento correcto. Como os transistores NMOS eram os mais pequenos e como não necessitam de estar dentro de um poço optou-se por juntar todos em apenas um bloco de forma a facilitar também a obtenção de *common centroid* como será falado à frente.

Na próxima página apresenta-se as várias estruturas *common centroid* definidas.

| | | | | | | |
|---|-------------------|-------------------|-------------------|-------------------|-------------------|---|
| D | D | D | D | D | D | D |
| D | M _{11_2} | M _{11_2} | D | M _{11_2} | M _{11_2} | D |
| D | M _{11_2} | D | M _{11_1} | D | M _{11_2} | D |
| D | M _{11_2} | M _{11_2} | D | M _{11_2} | M _{11_2} | D |
| D | D | D | D | D | D | D |

(a)

| | | | | | | | |
|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| M ₁ | M ₂ | M ₂ | M ₁ | M ₁ | M ₂ | M ₂ | M ₁ |
| M ₂ | M ₁ | M ₁ | M ₂ | M ₂ | M ₁ | M ₁ | M ₂ |

(b)

| | |
|----------------|----------------|
| M ₈ | M ₇ |
| M ₇ | M ₈ |
| M ₅ | M ₆ |

(c)

| | | | | |
|-----------------|-----------------|-----------------|-----------------|----------------|
| M ₄ | M ₃ | D | M ₄ | M ₃ |
| M ₁₀ | M ₉ | D | M ₁₀ | M ₉ |
| D | M ₁₂ | M ₁₃ | M ₁₄ | D |
| M ₁₀ | M ₉ | D | M ₁₀ | M ₉ |

(d)

Figura 16: Estrutura *common centroid* #1 (a), #2 (b), #3 (c) e #4 (d).

Nas figuras anteriores verifica-se a existências de transístores representados pela letra D - transístores *dummies*. Este tipo de transístores serve para se garantir que os restantes transístores têm a mesma vizinhança, ou seja, que à sua volta vêem o mesmo. Veja-se o seguinte exemplo em que se consideram dois transístores - 1 e 2. O transíster 1 está definido com uma multiplicidade de 1 e o transíster 2 com uma multiplicidade de 8. Na figura seguinte encontra-se um exemplo de estrutura *common centroid* para esse caso.

| | | |
|---|---|---|
| 2 | 2 | 2 |
| 2 | 1 | 2 |
| 2 | 2 | 2 |

Figura 17: Exemplo de estrutura *common centroid* com dois transístores.

O transíster 1 tem como vizinhança 4 transístores - para cima, para baixo, para a esquerda e para a direita. No entanto, qualquer transíster 2 tem uma “falha” naquilo que vê, pois não tem “vizinhos” nalgumas direcções. Assim, para se resolver este problema colocam-se transístores *dummies* nos sítios onde há “faltas”.

| | | | | |
|---|---|---|---|---|
| | D | D | D | |
| D | 2 | 2 | 2 | D |
| D | 2 | 1 | 2 | D |
| D | 2 | 2 | 2 | D |
| D | D | D | | |

Figura 18: Exemplo de estrutura *common centroid* com dois transístores e também transístores *dummies*.

De facto, os transístores *dummies* não necessitam de ter as mesmas dimensões que os restantes e o circuito da figura anterior pode ser definido da seguinte maneira.

| | | | | |
|---|---|---|---|---|
| | D | D | D | |
| D | 2 | 2 | 2 | D |
| D | 2 | 1 | 2 | D |
| D | 2 | 2 | 2 | D |
| | D | D | D | |

Figura 19: Exemplo de estrutura *common centroid* com dois transístores e também transístores *dummies* de dimensões menores.

Relembrando as estruturas da Figura 16, verifica-se que a estruturas #1 e #4 têm *dummies*.

Na caso da estrutura #1, tinha-se à partida 11 transístores de dimensões iguais após a aplicação de multiplicidade. Como se quer garantir que todos os transístores observem as mesmas vizinhanças, minimizando o efeito de *mismatches*, fez-se uso de *dummies* para ocupar as lacunas que iriam, de outra forma, ficar vazias. O ponto de partida foi assim o transíster M₁₁₁ em que não se aplicou multiplicidade rodeando-o dos 10 transístores que constituem M₁₁₂. Após isto observou-se que seria assim necessário 24 *dummies*. Posto isto obtém-se uma estrutura rectangular de 5×7 em que todos os M₁₁₂, assim como o transíster M₁₁₁, observam as mesmas vizinhanças.

Para a estrutura #4 o procedimento foi similar. Tinha-se à partida os 3 transístores de polarização M₁₂, M₁₃ e M₁₄ aos quais não foi aplicada nem multiplicidade nem *fingers* pois já têm tamanhos bastante reduzidos. Para que se pudesse garantir que eles tinham as mesmas vizinhanças teriam que ser rodeados de *dummies*. Como no entanto se tratam de transístores do tipo N e tinha sido decidido colocar todos os transístores deste tipo no mesmo bloco bastou adicionar-se os pares M₃/M₄ e M₉/M₁₀, colocando-os de forma alternada obtendo-se o esquema da Figura 16(d). Como todos os transístores presentes neste bloco têm tamanhos muito díspares fica-se com uma estrutura final que apresenta algumas áreas vazias. Estes espaços vazios são no entanto necessários para garantir que todos os transístores observam as mesmas vizinhanças, ajudando assim a garantir o objectivo de reduzir os efeitos de *mismatch*.

3.3 Ligações internas dos blocos

Uma vez definidos como estão estruturados os transístores e como estão dispostos efecutam-se as ligações internas dos 4 blocos da Figura 16.

Existem várias regras para construir um *layout*, sendo que uma delas impõe um espaço mínimo para separar as diferentes máscaras. Para evitar isto, recorre-se a uma opção existente no Cadence que notifica o utilizador quando este não cumpre as margens mínimas.

As ligações entre *gates* de transístores que estejam próximos são feitas a partir da camada condutora **poly**. Porém, se os transístores estiverem afastados é preferível efectuar a ligação com recurso a **Metal1** e a contactos do tipo **P1_C**, que efectuam a ligação entre **poly** e **Metal1**. Esta solução é preferível para esses casos pois a **poly** tem uma resistividade elevada e colocar demasiado dessa camada faz aumentar a resistividade geral do circuito. De facto, na tabela seguinte apresenta-se a resistividade das diversas

máscaras existentes no fabrico e verifica-se que a **poly** (**poly1**) tem uma resistividade bem superior face a camadas como **Metal1** e **Metal2**. Verifica-se também que a resistividade de um contacto do tipo **P1_C** é elevada, mas que compensa, uma vez que para efectuar uma ligação correcta entre duas *gates* bastaria colocar no máximo 2 contactos.

Tabela 5: Resistividade das diversas máscaras de fabrico (a) e resistividade dos diversos tipos de contactos (b).

| (a) | | (b) | |
|----------------------|--------------------------------------|-----------------------------|---|
| Layer | Sheet resistance Ω/\square | Layer-layer | Contact resistance Ω/cnt |
| metal4 | R_{sm4} 0.05 | metal4-metal3 | R_{via3} 3 |
| metal3 | R_{sm3} 0.05 | metal3-metal2 | R_{via2} 1.5 |
| metal2 | R_{sm2} 0.08 | metal2-metal1 | R_{via} 1.5 |
| metal1 | R_{sm1} 0.08 | metall-poly1 | R_{cp} 5 |
| poly1 | R_{sp} 6 | metall-n ⁺ diff. | R_{cdn} 40 |
| poly2 | R_{sp2} 50 | metall-p ⁺ diff. | R_{cdp} 90 |
| n ⁺ diff. | R_{sdr} 80 | | |
| p ⁺ diff. | R_{sdp} 150 | | |

Tomou-se a decisão de, sempre que possível, efectuar as ligações com **Metal1** na horizontal e com **Metal2** na vertical. Procura-se aplicar esta *rule of thumb* sempre que possível, sendo que apenas não é cumprida quando se verifica que acaba por tornar mais difícil o *design* do *layout* ou que conduz a uma área maior porque é necessário ajustar o espaçamento entre transístores para acomodar uma ligação em **Metal1** ou **Metal2** consoante o caso.

Para ligar **Metal1** a **Metal2** é usada uma via. De referir que, optou-se também, sempre que possível, por colocar vias e contactos duplos, para que houvesse um de *backup*. À semelhança do que se referiu anteriormente, isto é feito quando não dificulta o *design* do *layout*.

3.3.1 Estrutura *common centroid* #1

Relembrando a estrutura da Figura 16(a), a sua primeira implementação no Cadence foi feita da seguinte maneira:

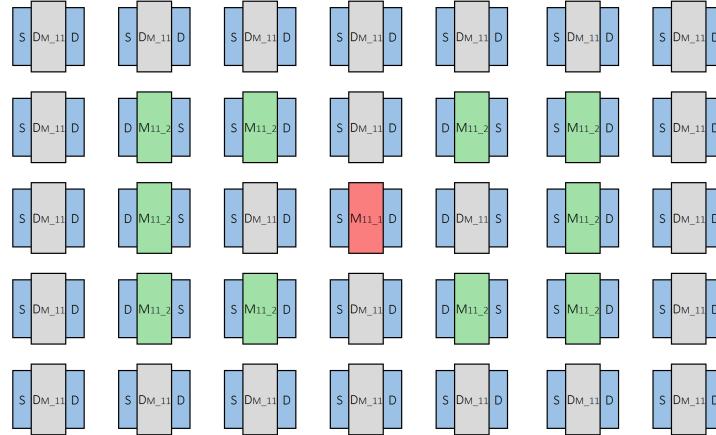


Figura 20: Esquema inicial do *layout*.

Como se pode ver, da maneira como a estrutura *common centroid* foi definida é possível sobrepor as difusões de *source* dos transístores M₁₁₂, poupando assim área. Da mesma maneira, pode-se também

sobrepor a *source* do transístor M_{11_2} do meio com a *source* do transístor *dummy* que se encontra próximo do transístor M_{11_1} . Desta maneira, o circuito fica com a estrutura que se apresenta na próxima página.

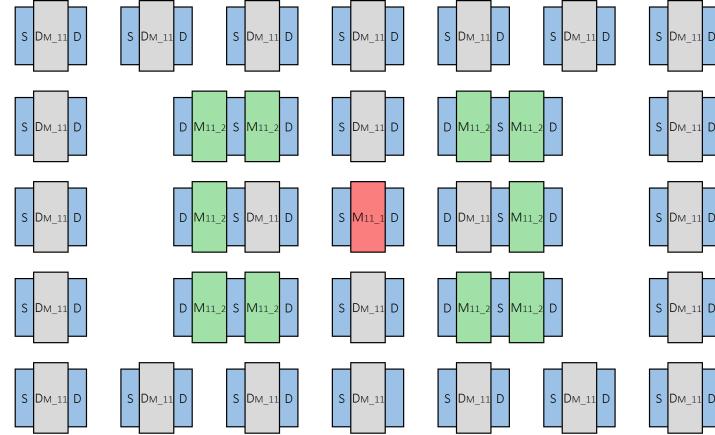


Figura 21: Estrutura resultante da agregação das difusões de alguns transístores.

No entanto, verifica-se que agora as vizinhanças dos transístores não estão de acordo com o pretendido, havendo “buracos” entre a estrutura rectangular de *dummies* e a estrutura rectangular interior. Assim, optou-se por ajustar a estrutura exterior com *dummies* de menores dimensões e de modo a que a estrutura geral ficasse rectangular, apenas com o espaço necessário mínimo entre transístores que garante um correcto funcionamento do circuito. Outra razão para o interesse de reduzir as dimensão total do bloco irá ser evidenciada à frente, pois seria impossível polarizar todo o bloco recorrendo apenas a um *guard ring*. O aspecto final é então como se segue.

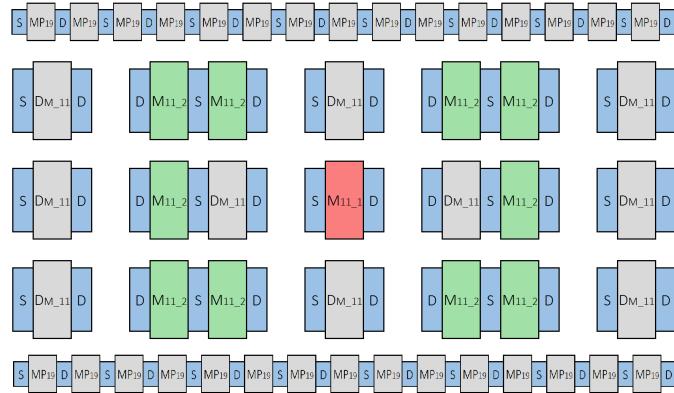


Figura 22: Estrutura resultante do *layout* do espelho de corrente básico que é polarizado em corrente com I_{BIAS} .

A implementação desta estrutura no Cadence é apresentada na próxima página.

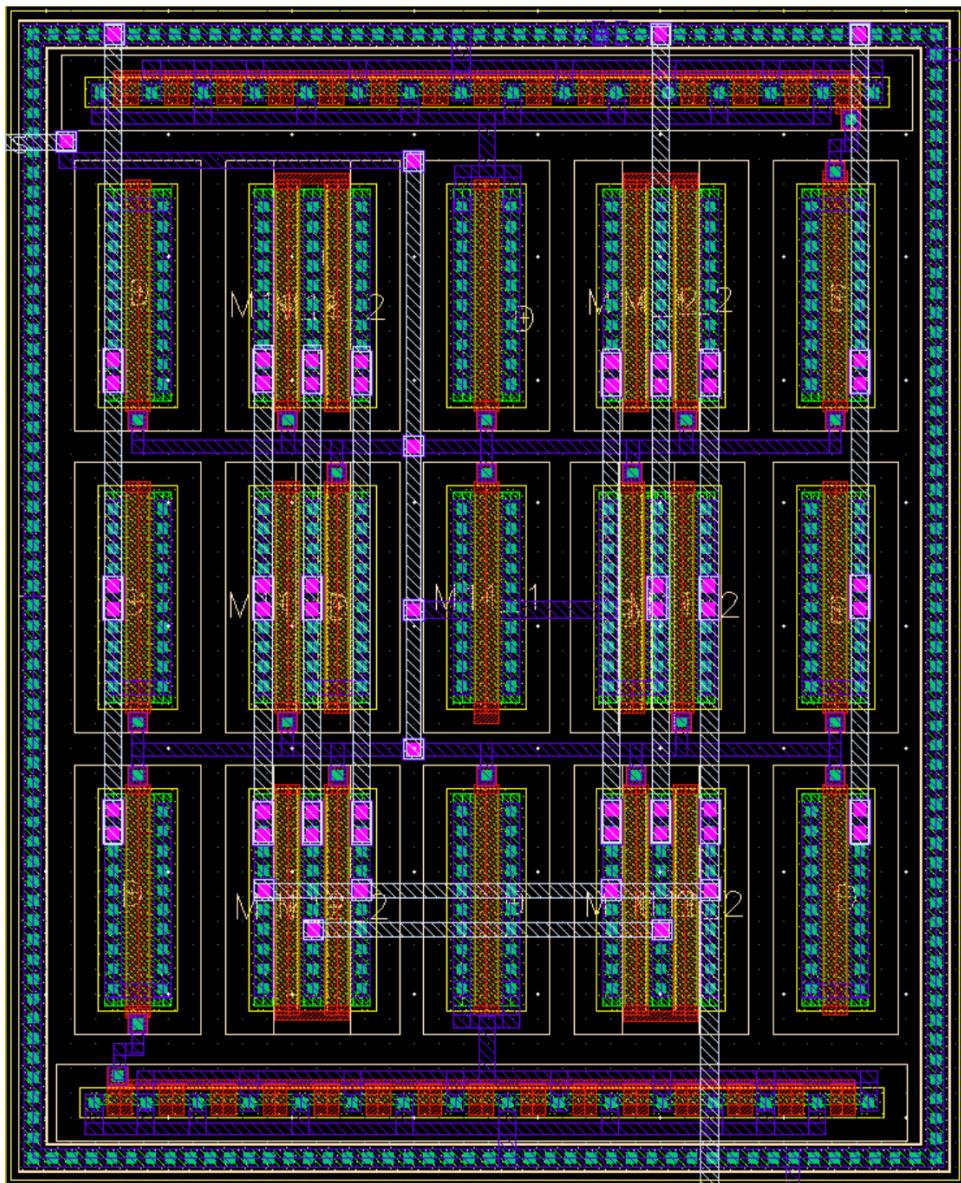


Figura 23: *Layout* da estrutura que corresponde ao espelho de corrente básico que é polarizado em corrente com I_{BIAS} .

Como se pode ver, as *gates* dos transístores *dummy* foram ligadas a I_{BIAS} e não a VDD, como seria esperado, para fazer curto-circuito aos *dummies* do tipo P. A razão pela qual se faz isto é que, ao fazer estas ligações, cria-se um condensador entre I_{BIAS} e VDD como se demonstra na figura seguinte.

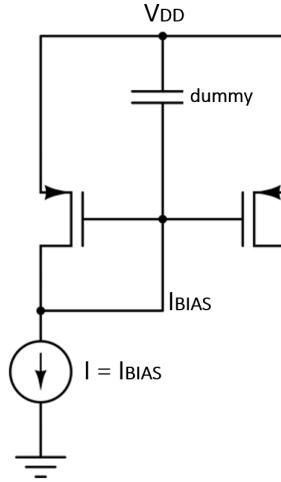


Figura 24: Circuito que demonstra o efeito de ligar as *gates* dos *dummies* a I_{BIAS} .

Desta forma protege-se o *dummy* de variações na fonte de tensão que de outra forma iriam comprometer a integridade do transistor e como tal a do espelho de corrente, pois este condensador irá actuar como um filtro apenas aquando a ocorrência de variações.

Quando se extraiu o *layout* do circuito verificou-se de facto a existência deste condensador, como se pode ver na figura seguinte.

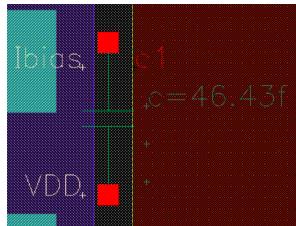


Figura 25: Condensador que surge entre I_{BIAS} e VDD.

Analizando a capacidade do condensador, 46.43 F, verifica-se que é um valor elevado, o que é representativo da influência dos *dummies* no circuito, não sendo esta apenas uma capacidade parasita.

Como se pode ver, em torno dos transístores PMOS foi colocado um poço, ou seja, aplicou-se a máscara NTUB. Isso tem de ser feito porque no caso dos transístores PMOS, as difusões do tipo *p+* não podem estar directamente ligadas ao substrato, uma vez que este é do tipo *p+*. Assim, é necessário criar um poço do tipo *n* entre as difusões e o substrato.

É de referir que dentro do poço encontra-se um *guard ring* do tipo *ndiff_ntub*. Através deste é possível polarizar o substrato a VDD, colocando sobre o *guard ring* o *pin* correspondente tal como se observa na figura da próxima página.

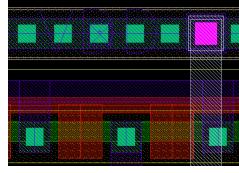


Figura 26: Colocação do *pin* de VDD sobre o *guard ring*.

De forma a que o bloco esteja bem polarizado, todos os pontos deste deveriam estar a uma distância mínima de $20 \mu\text{m}$. Isto seria impossível com as dimensões iniciais pelo que se realizou a redução tal como foi indicado anteriormente obtendo-se assim uma distância ao centro inferior a $17 \mu\text{m}$ ficando portanto correctamente polarizado.

O *guard ring* tem também o intuito de proteger o circuito de correntes de dispersão e, desta maneira, o ruído do substrato encontra no *guard ring* blindagem.

É de referir que nesta altura da projecção do *layout* quando se efectuava um DRC e um LVS sobre o *design* do circuito havia dois problemas principais - *hot nwell* e mau *match* entre os *pins* do *schematic* e do *layout*. O problema de *hot nwell* surge quando o substrato não está correctamente polarizado a VDD, que acontecia devido ao segundo erro mencionado. De forma a que se polarize correctamente o *guard ring* o material do *pin* e da *label* devem assim ser de materiais complementares, ou seja, o *pin* é do material **Metal1 Pin** e a *label* terá que ser do material **Pin Metal1**. Com isto ficam corrigidos ambos os erros.

3.3.2 Estrutura *common centroid #2*

Relembrando a estrutura da Figura 16(b), a sua primeira implementação no Cadence foi feita da seguinte maneira:

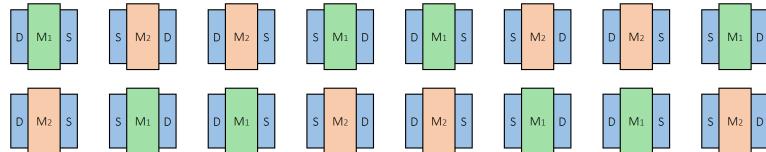


Figura 27: Esquema inicial do *layout*.

É de referir que, sabendo que as *sources* de M_1 e M_2 estão ligadas ao mesmo ponto (saída do espelho de corrente que polariza o circuito), pode-se sobrepor as suas difusões, ficando assim o *layout* com a seguinte estrutura.

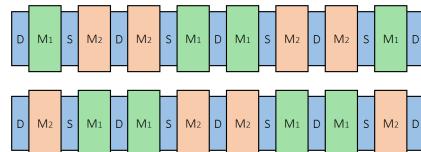


Figura 28: Estrutura resultante da agregação das difusões dos transístores.

Deve também ter-se em conta que a polarização foi feita ligando o *guard ring* deste bloco ao *guard ring* da estrutura #1. Fica assim o bloco polarizado tal como foi explicado na secção anterior.

A implementação desta estrutura no Cadence é apresentada na próxima página.

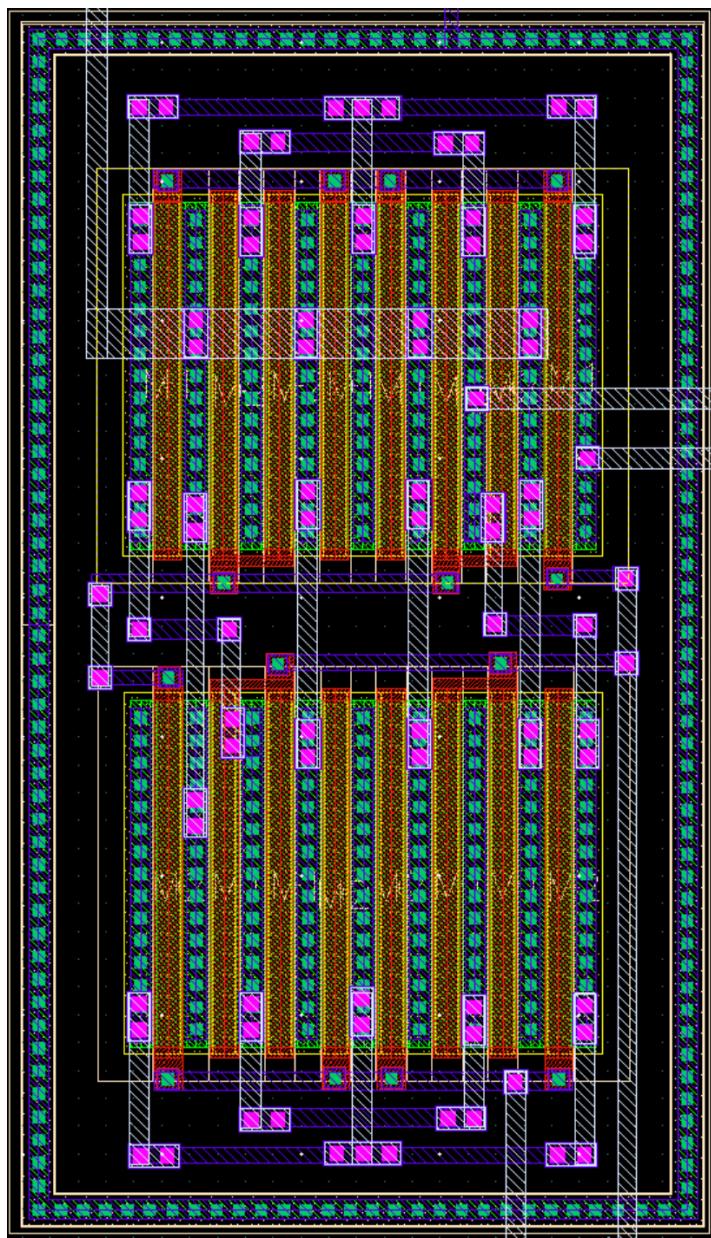


Figura 29: *Layout* da estrutura que corresponde ao par diferencial.

3.3.3 Estrutura *common centroid* #3

O ponto de partida para realizar o layout deste bloco foi organizar os transístores múltiplos de M₈ e M₇ cruzados de forma a garantir *common centroid*. Como os transístores foram implementados com recurso a *fingers* as difusões de cada um deles já se encontram sobreposta e, mais ainda, pode-se sobrepor as *sources* de ambos, ficando o *layout* com o aspecto que se segue.

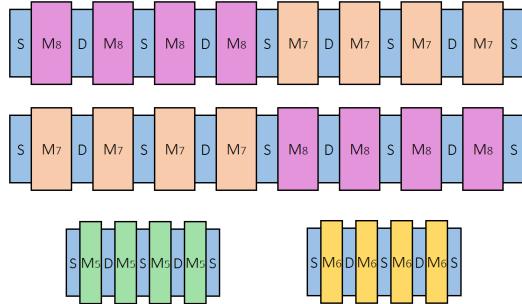


Figura 30: Esquema inicial do *layout*.

Tem-se assim que este é um bloco bastante compacto e com as ligações entre transístores simples sendo as únicas prioridades prementes a utilização da menor área possível e garantir as regras de boas práticas relativamente aos troços de **Metal1** e **Metal2**.

Mais uma vez utilizou-se um *guard ring* cuja função é proteger e polarizar o circuito tal como foi dito nos blocos anteriores. É feita então uma ligação entre este e o *guard ring* do bloco #1 ficando-se assim com a polarização feita a VDD, tal como desejado.

A implementação desta estrutura no Cadence é apresentada na próxima página.

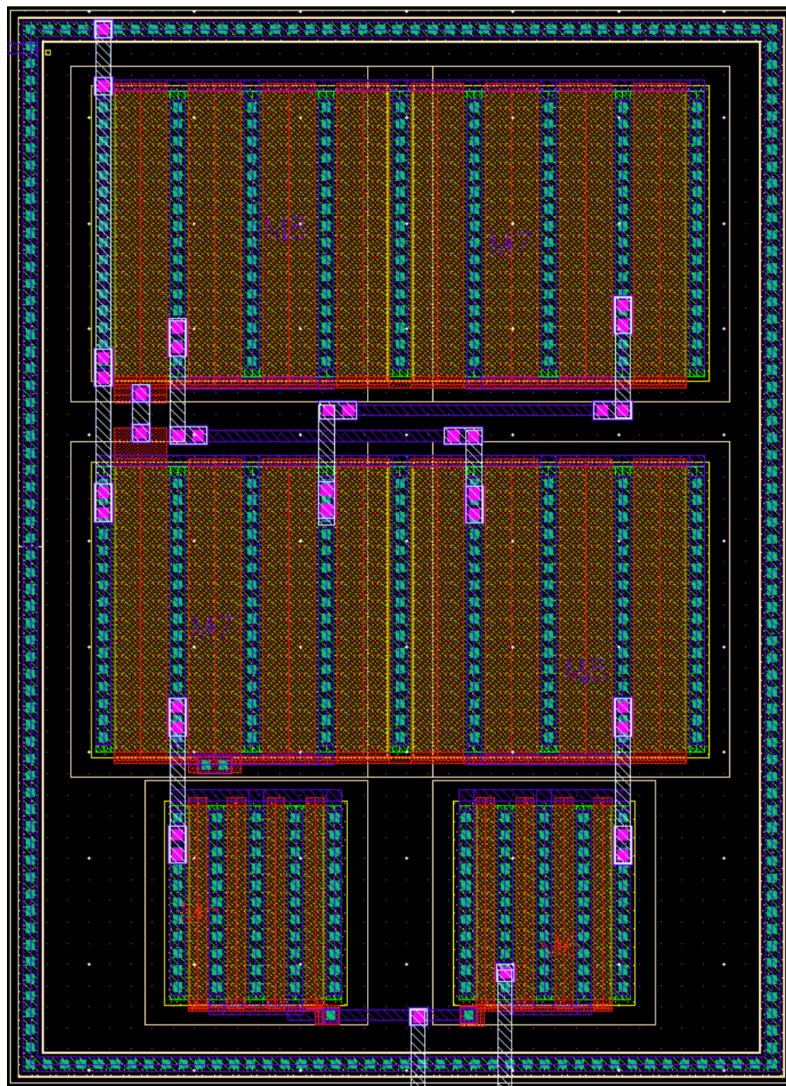


Figura 31: *Layout* da estrutura que corresponde ao espelho de corrente cascode básico do tipo PMOS.

3.3.4 Estrutura *common centroid* #4

Neste bloco estão presentes todos os transístores do tipo N o que levou a algumas dificuldades de organização dos transístores ao tentar obter-se uma estrutura *common centroid* devidamente protegida de *mismatches*. Começou-se então por colocar o número necessário de *dummies* para que se obtivesse um bloco no qual todos os transístores observem as mesmas vizinhanças, como tem sido critério ao logo deste *layout*. Obteve-se assim a seguinte estrutura.

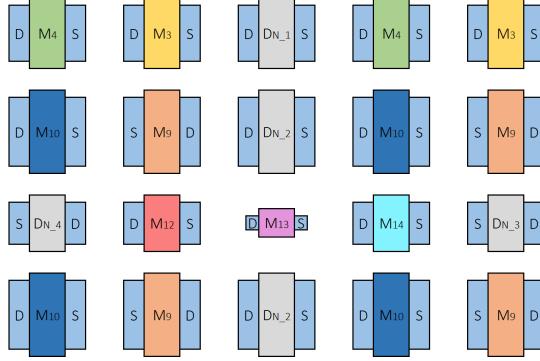


Figura 32: Esquema inicial do *layout*.

Observou-se então que era possível sobrepor as *sources* dos transístores M_9 e M_{10} pelo que se reduziu as distâncias entre estes tanto quanto possível de forma a reduzir a área ocupada. Ficou-se assim como uma estrutura tal como se segue.

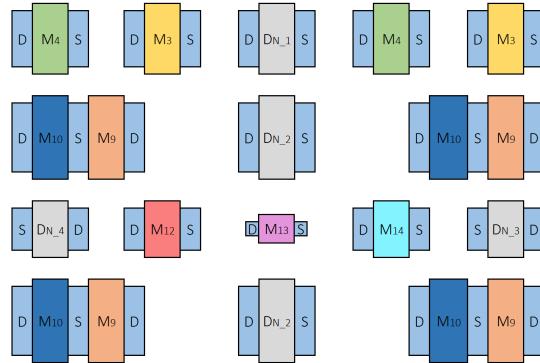


Figura 33: Estrutura resultante da agregação das difusões de alguns transístores.

Foram então feitas as ligações entre transístores garantindo as regras de boa prática, sempre que possível, assim como curto circuitar os *dummies*. Neste caso, como se tratam de *dummies* do tipo N, o curto circuito foi feito a GND, pois não se observa o mesmo problema que nos *dummies* do tipo P, onde há o perigo de variações na fonte de tensão. Mais uma vez, como este se trata de um grupo apenas constituído por transistores NMOS, não foi necessária a utilização da máscara NTUB.

Por fim rodeou-se a estrutura com um *guard ring* do tipo pdiff_sub. Este *guard ring* encontra-se ligado a GND polarizando-se assim o circuito e protegendo-o também de correntes de dispersão. A colocação do *pin* de GND sobre o *guard ring* foi efectuada de maneira semelhante à do *pin* de VDD.

A implementação desta estrutura no Cadence é apresentada na próxima página.

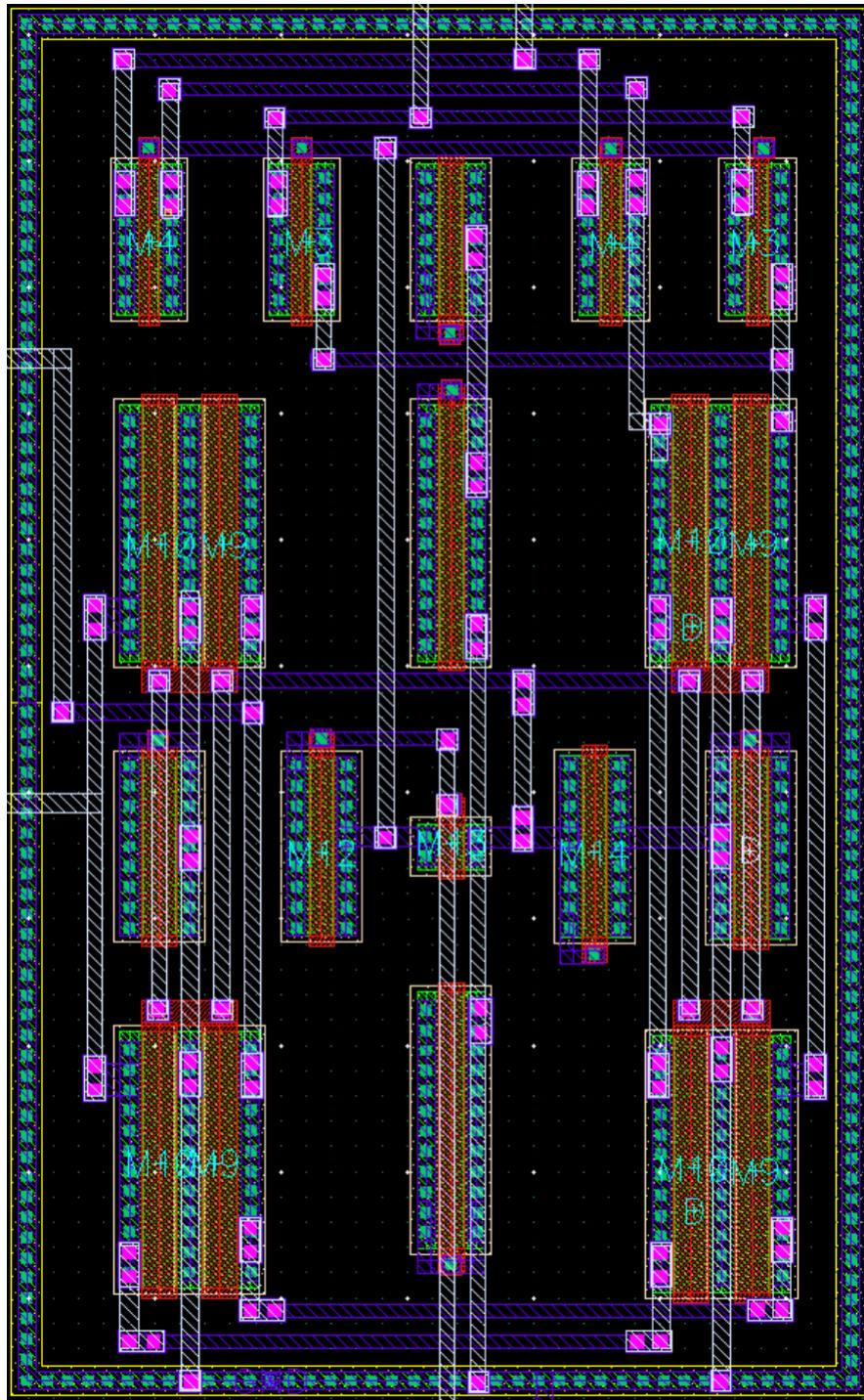


Figura 34: *Layout* da estrutura que corresponde ao bloco de transístores NMOS.

3.4 Ligações externas entre os blocos

Após realizadas as ligações internas de cada bloco a tarefa que se segue é organizar estes de forma a ocupar o minimo de área possível assim como fazer as ligações entre estes.

Para realizar estas ligações entre blocos foi necessário ter especial atenção ao facto de que o material dos *guard rings* é **Metal1** pelo que estas teriam que necessariamente ser feitas usando **Metal2** para evitar curto circuitos.

Feitas estas ligações, de forma a proteger ainda mais o circuito colocou-se um *guard ring*, polarizado a GND, em torno da forma final tal como se observa acima. Com esta polarização pode-se então fazer uma ligação por **Metal1** entre este e o *guard ring* do bloco #4 ficando assim também polarizado. Este *guard ring* no entanto não é rectangular, tendo sido ajustado à forma do circuito final poupando-se ao máximo a área consumida. Neste *guard ring* exterior foram também inseridos os restantes *pins* de forma a que nenhum ficasse “solto” no meio do circuito.

Introduziram-se assim os *pins* **In**, **Out**, **Vin+**, **Vin-**, **Ibias** e **Ibias2**. Como todos foram inseridos no *guard ring* exterior são do material **Metal2** Pin sendo a sua *label* do material complementar, ou seja **Pin Metal2**, tal como já mencionado anteriormente. Da mesma forma coloca-se um *pin* para fazer a ligação a GND cujo material é **Metal1** Pin e a *label* é **Pin Metal1**.

Nas imagens seguintes pode-se ver como foi feita a colocação de alguns dos *pins* sobre o *guard ring* exterior.

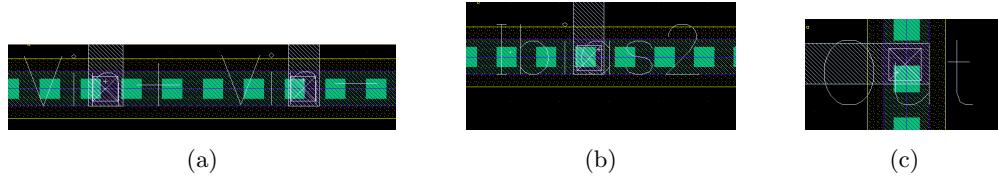


Figura 35: Colocação dos *pins* dos sinais de entrada (a), do sinal da corrente I_{BIAS_2} (b) e do sinal de saída (c).

O aspecto final do *layout* é apresentado na próxima página.

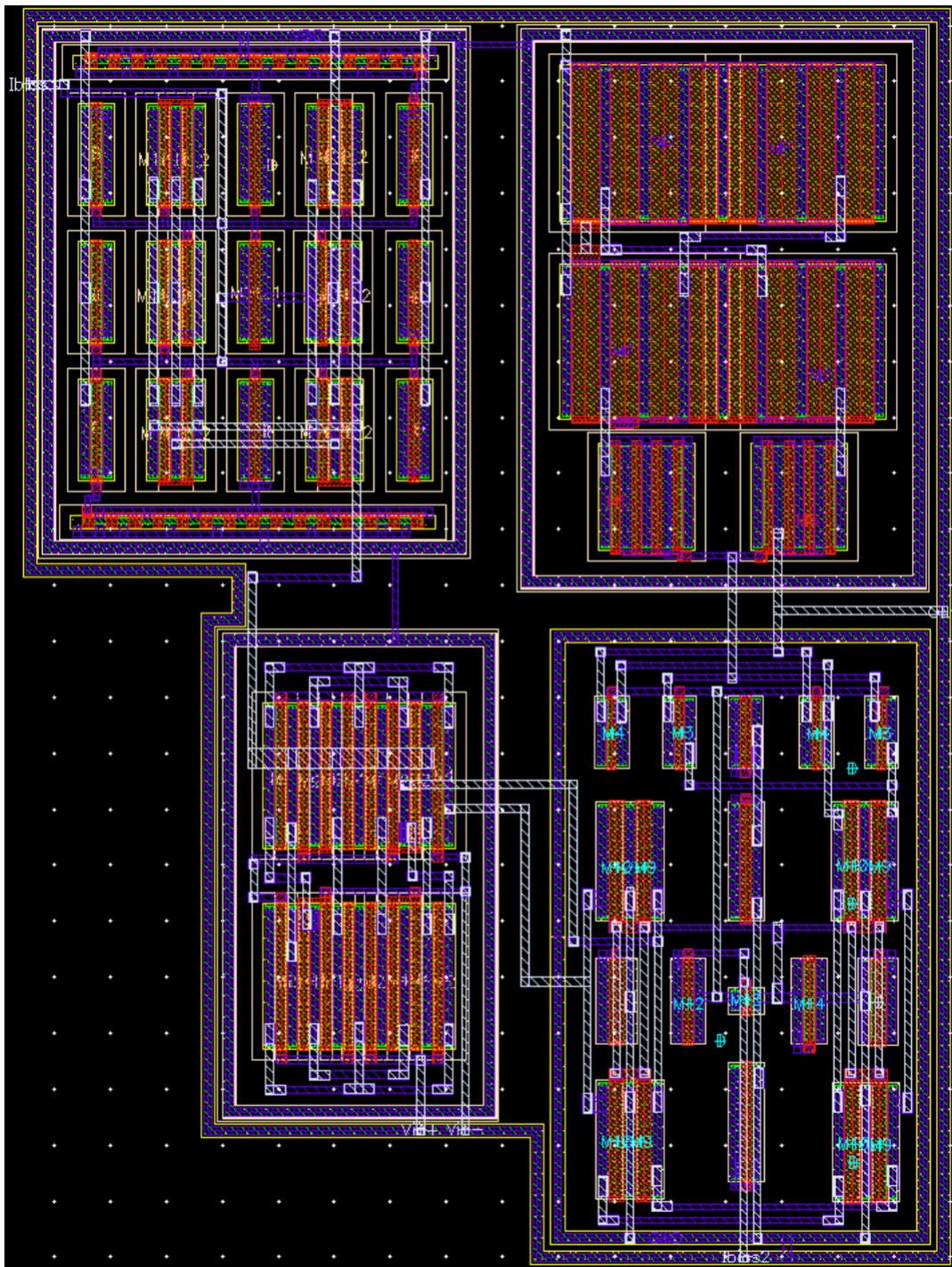


Figura 36: *Layout* do circuito Cascode OTA.

Por fim calcula-se a área total do circuito usando as dimensões presentes na seguinte figura.

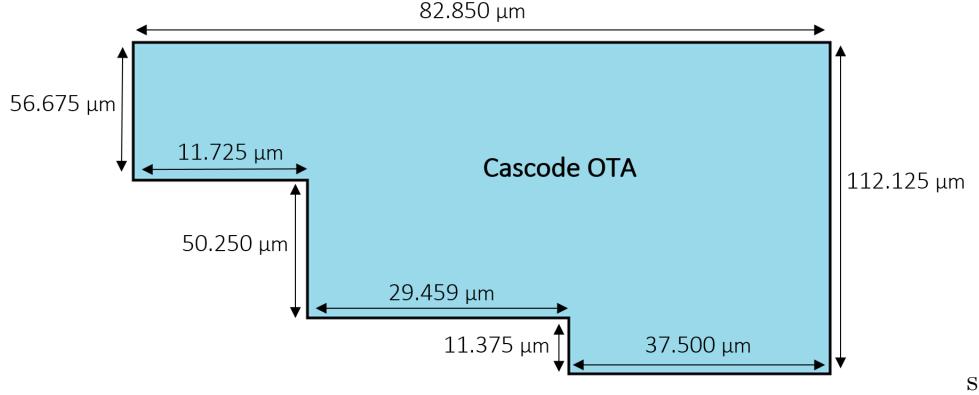


Figura 37: Dimensões para o cálculo da área.

Dividindo a figura obtida em rectângulos menores, calculando a área de cada um deles e somando, obtém-se o resultado final de $0,0079 \mu\text{m}^2$. Este valor corresponde a 39,95% do requisito do *target*.

4 Simulações com o circuito de *layout*

4.1 Simulações de Monte Carlo e *corners*

Com o *layout* feito seguiram-se então simulações de Monte Carlo e por *corners* para que se pudesse observar os efeitos das práticas e decisões tomadas ao longo da realização deste. Os resultados destas simulações apresentam-se então nas figuras seguintes.

| Test | Name | Yield | Min | Target | Max | Mean | Sigma to Target | Sigma |
|---|-----------------------------------|-------|---------|-------------|---------|---------|-----------------|--------|
| Parameters: Yield Estimate: 14 % (37 passed/50 pts) | | | | | | | | |
| SIA2015_Sim_CascadeOTA1 | - Slew Rate Descida (summary) | 100 | -297.7M | -278.8M | -286.3M | 17.3342 | 4.98M | |
| | Slew Rate Descida | 100 | -297.7M | < -200M | -278.8M | -286.3M | 17.3342 | 4.98M |
| | - Slew Rate Subida (summary) | 100 | 271.5M | 301.1M | 289M | 11.8623 | 7.169M | |
| | Slew Rate Subida | 100 | 271.5M | > 200M | 301.1M | 289M | 11.8623 | 7.169M |
| | - gainBwProd(VF("OUT")) (summary) | 100 | 232.2M | 358.7M | 331.9M | 12.38M | | |
| | gainBwProd(VF("OUT")) | 100 | 232.2M | info | 358.7M | 331.9M | 12.38M | |
| | - ganho (summary) | 96 | 68.32 | 73.33 | 70.57 | 1.43571 | 1.094 | |
| | ganho | 96 | 68.32 | > 69 | 73.33 | 70.57 | 1.43571 | 1.094 |
| | - largura de banda (summary) | 100 | 70.94 | 103.31 | 85.88 | 59.32 | 35.254 | 10.95% |
| | largura de banda | 100 | 70.94 | range 60 80 | 103.31 | 85.88 | 59.32 | 10.95% |
| | - margem de fase (summary) | 78 | 59.34 | > 60 | 62.11 | 60.61 | 0.918983,291684 | 664.7m |
| | margem de fase | 78 | 59.34 | range 60 80 | 62.11 | 60.61 | 0.918983,291684 | 664.7m |

Figura 38: Simulação de Monte Carlo para 50 pontos após realização do *layout*.

| Test | Output | Nominal | Pass/Fail | Min | Max |
|-------------------------|-----------------------|---------|-----------|---------|---------|
| Parameters: | | | | | |
| SIA2015_Sim_CascadeOTA1 | ganco | 70.85 | pass | 70.85 | 70.85 |
| | largura de banda | 97.65k | pass | 97.65k | 97.65k |
| SIA2015_Sim_CascadeOTA1 | margem de fase | 61.58 | pass | 61.58 | 61.58 |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Subida | 280.9M | pass | 280.9M | 280.9M |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Descida | -282.5M | pass | -282.5M | -282.5M |
| SIA2015_Sim_CascadeOTA1 | gainBwProd(VF("OUT")) | 341.4M | 341.4M | 341.4M | 341.4M |
| Parameters: | | | | | |
| SIA2015_Sim_CascadeOTA1 | ganco | 69.63 | pass | 69.63 | 69.63 |
| SIA2015_Sim_CascadeOTA1 | largura de banda | 107.3k | pass | 107.3k | 107.3k |
| SIA2015_Sim_CascadeOTA1 | margem de fase | 61.58 | pass | 61.58 | 61.58 |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Subida | 282.0M | pass | 282.0M | 282.0M |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Descida | -289.3M | pass | -289.3M | -289.3M |
| SIA2015_Sim_CascadeOTA1 | gainBwProd(VF("OUT")) | 326.1M | 326.1M | 326.1M | 326.1M |
| Parameters: | | | | | |
| SIA2015_Sim_CascadeOTA1 | ganco | 71.24 | pass | 71.24 | 71.24 |
| SIA2015_Sim_CascadeOTA1 | largura de banda | 83.26k | pass | 83.26k | 83.26k |
| SIA2015_Sim_CascadeOTA1 | margem de fase | 60.05 | pass | 60.05 | 60.05 |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Subida | 287.6M | pass | 287.6M | 287.6M |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Descida | -281.4M | pass | -281.4M | -281.4M |
| SIA2015_Sim_CascadeOTA1 | gainBwProd(VF("OUT")) | 329.2M | 329.2M | 329.2M | 329.2M |

Figura 39: Resultados obtidos para as 3 primeiras simulações de Monte Carlos após realização do *Layout*.

| Test | Output | Nominal | Spec | Weight | Pass/Fail | Min | Max | W_P | W_S | W_W | W_Z |
|-------------------------|-----------------------|---------|-------------|--------|-----------|--------|---------|---------|---------|---------|-----|
| SIA2015_Sim_CascadeOTA1 | /OUT | | | | | | | L | L | L | L |
| SIA2015_Sim_CascadeOTA1 | /IN | | | | | | | L | L | L | L |
| SIA2015_Sim_CascadeOTA1 | ganco | 70.85 | > 69 | pass | 70.15 | 73.62 | 72.28 | L | L | L | L |
| SIA2015_Sim_CascadeOTA1 | largura de banda | 97.65k | > 60k | pass | 78.58k | 97.65k | 95.9k | 78.58k | 97.3k | 78.52k | |
| SIA2015_Sim_CascadeOTA1 | margem de fase | 61.18 | range 60 80 | near | 56.91 | 63.29 | 61.26 | 59.13 | 63.29 | 50.91 | |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Subida | 280.9M | > 200M | pass | 282.6M | 291.2M | 287.9M | 289.6M | 282.2M | 291.6M | |
| SIA2015_Sim_CascadeOTA1 | Slew Rate Descida | -282.5M | < -200M | pass | -280.9M | -275M | -280.4M | -280.6M | -275.9M | -280.4M | |
| SIA2015_Sim_CascadeOTA1 | gainBwProd(VF("OUT")) | 341.4M | | | 301.5M | 335.2M | 335.2M | 301.5M | 313.9M | 379.4M | |

Figura 40: Simulação por *corners* após realização do *layout*.

Os resultados obtidos para a simulação de Monte Carlo são então, tal como esperado, melhores do que após a aplicação das técnicas de multiplicidade e *fingers*, subindo o *yield* de 18% para 74%, sendo que o *bottleneck* continua a ser a margem de fase.

Também na simulação por *corners* os únicos resultados negativos foram na margem de fase, sendo que no entanto a situação melhora face ao caso após a aplicação de multiplicidade e *fingers*.

Efectuou-se também uma simulação *single run* para que se pudesse analisar o cumprimento das especificações pretendidas.

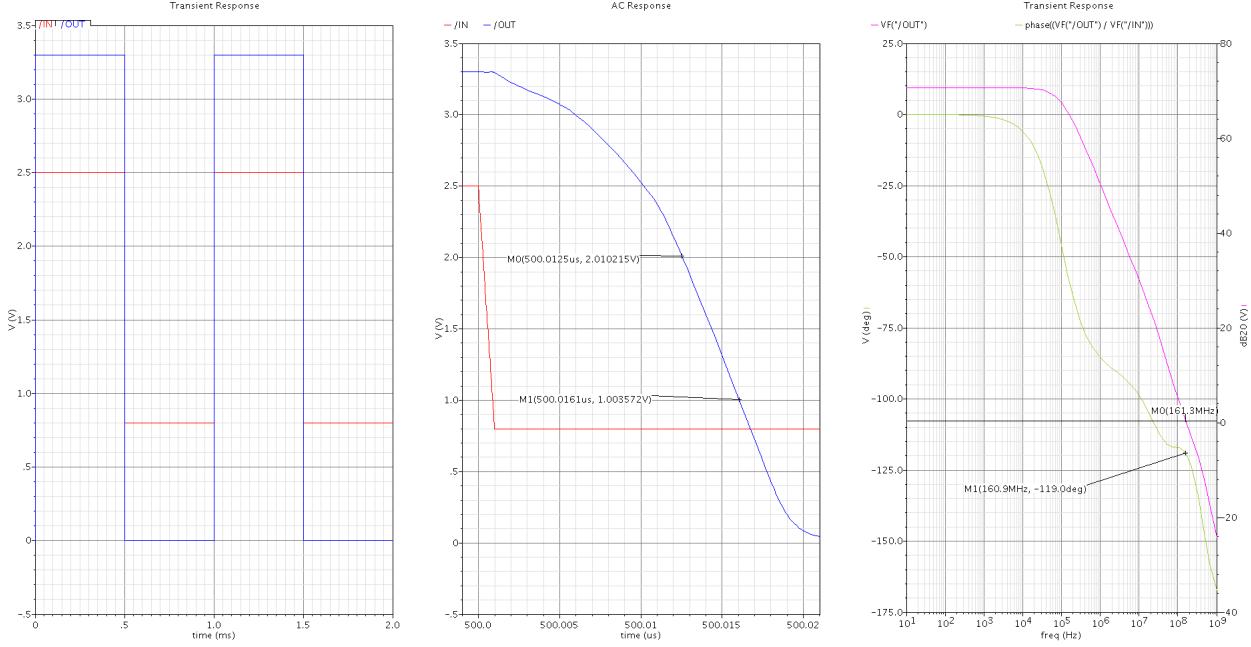


Figura 41: Simulações efectuadas após realização do *layout*.

Tabela 6: Especificações obtidas para o circuito após a projecção do *layout*.

| Especificação | Métrica | Valor Experimental |
|--------------------------------------|----------------------|------------------------|
| Ganho para Sinais de Baixa Amplitude | > 69 dB | 70.65 dB |
| Largura de Banda | > 60 kHz | 96.64 kHz |
| Margem de Fase | entre 60° e 80° | 60.57° |
| <i>Slew-Rate</i> de subida | > 200 V/μs | 289 V/μs |
| <i>Slew-Rate</i> de descida | < -200 V/μs | -286.3 V/μs |
| Budget da Corrente | < 400 μA | 282.96 μA |
| Área de Die | 0.02 mm ² | 0.0079 mm ² |

Observa-se assim que todos os requisitos do *target* estão cumpridos podendo considerar-se que o circuito está bem dimensionado em todos os aspectos relevantes.

4.2 Substituição do amplificador do SAR ADC

Com o *layout* do Cascode OTA projectado e simulado com sucesso procede-se à próxima fase - substituir o amplificador projectado pelo que faz parte do SAR ADC.

No ADC do *initial target*, no circuito de comparação e amostragem de dados existe um comparador. Este comparador tem um amplificador e aí se efectua a substituição, como se pode ver de seguida.

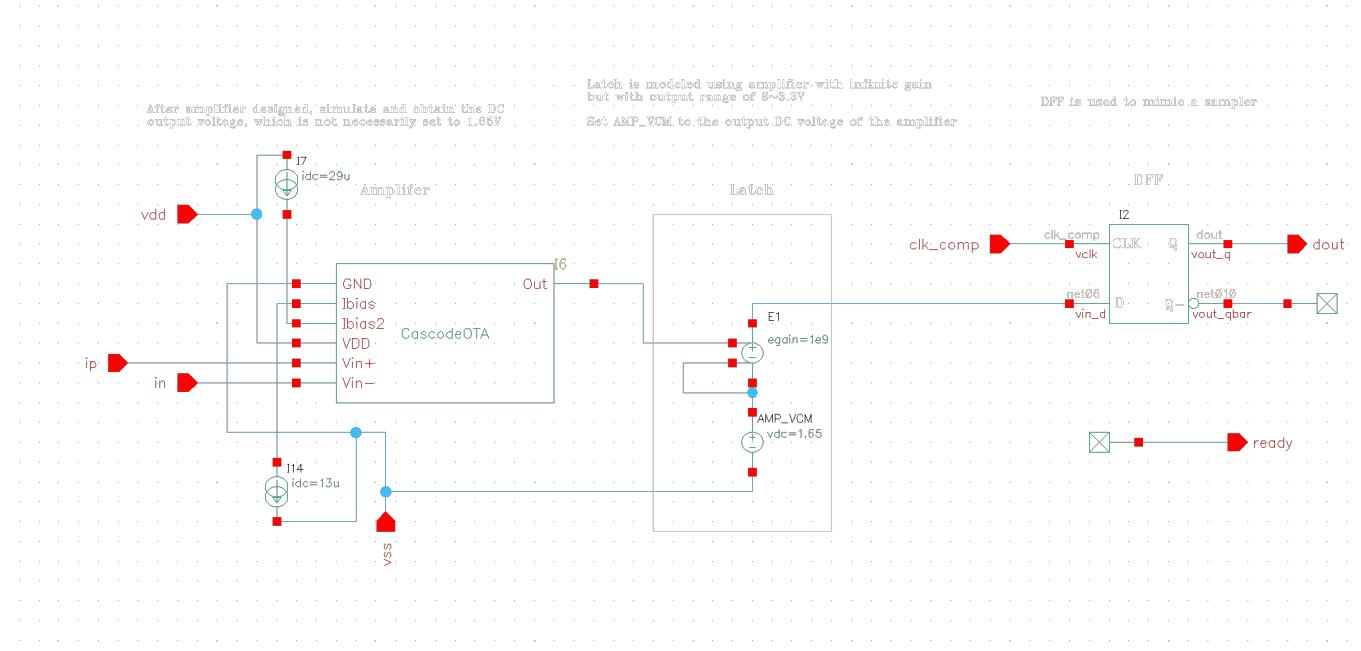


Figura 42: Circuito comparador do SAR ADC.

Após esta substituição simulou-se o circuito de maneira semelhante à do *initial target*, efectuando também uma computação da FFT, como se pode ver na figura seguinte.

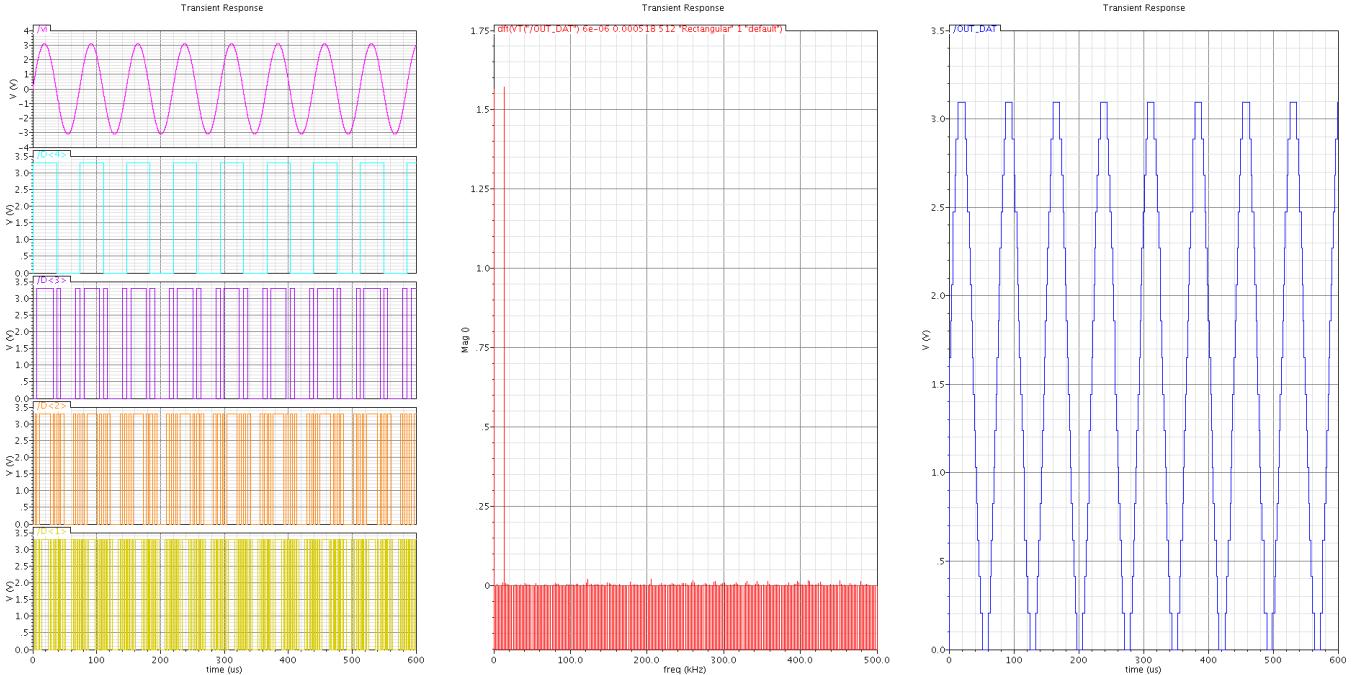


Figura 43: Simulação obtida no Cadence para o ADC para um valor de f_s de 1 MHz.

Comparativamente aos gráficos obtidos no *initial target* verifica-se que estes apresentam a mesma forma de onda.

Para melhor analisar o correcto funcionamento do ADC calculou-se o *effective number of bits* (ENOB). Experimentalmente, ou seja, através da calculadora do Cadence, o valor do ENOB obtido foi de 3.914.

De forma a calcular-se um valor teórico mais correcto, extraiu-se o ficheiro `.csv`, e com recurso às equações mencionadas no *initial target* obteve-se um valor de ENOB de 3.9138. Estes valores estão bastante próximos, podendo quase dizer-se que são iguais à parte de um ligeiro arredondamento.

Quando se utilizou o SAR ideal, o ENOB era de 3.985. Tanto o resultado experimental como o teórico estão muito próximos deste valor, sendo a diferença de apenas 2%.

Sendo assim o requisito do ENOB fica também cumprido, pelo que, por fim, se tem que todos os requisitos do *final target* foram atingidos com sucesso sendo que o circuito projectado está dentro dos parâmetros desejados e cumpre todas as especificações.

5 Conclusões

Para o *final target* deste projecto houve dois objectivos - corrigir os erros encontrados no *middle target* após realizar as simulações Monte Carlo e de *corners* e também fazer o *layout* do circuito final.

Partindo do *middle target* correu-se então a simulação de Monte Carlo e os valores obtidos foram inferiores aos expectáveis pelo que houve necessidade de se fazer alterações às dimensões de alguns dos transístores, assim como corrigir as expressões que estavam a ser utilizadas para calcular a *slew rate*. Em grande parte o parâmetro que teve que sofrer a maior correcção foi a margem de fase e o ganho pelo que as alterações foram feitas nos pares de transistores M₇/M₈ e M₃/M₄, assim como alguns ajustes finos nos restantes transístores.

Feitas estas alterações e com resultados muito melhores procedeu-se então ao *layout*. De forma a realizar o *layout* começou-se por aplicar as técnicas de multiplicidade e *fingers* protegendo-se o circuito de *mismatches*. Para este efeito foram também utilizados *dummies* para que se tenha as mesmas vizinhanças em todos os transístores, e garantir que as estruturas são *common centroid*. As ligações foram feitas tentando obedecer à regra de boa prática de utilizar Metal1 para troços na vertical e Metal2 para troços na horizontal, violando-a apenas de forma a evitar grandes aumentos de área ou curto circuitos que não eram pretendidos. De forma a proteger o circuito de correntes de dispersão assim como para polarização colocaram-se *guard rings* em torno de cada bloco individual assim como do circuito final.

Ao longo de todas estas alterações foram feitas simulações Monte Carlo e de *corners* observando-se os efeitos de cada passo para que se obtivessem os requisitos finais do *target*.

A última verificação foi assim se o ENOB obtido com o circuito projectado era igual ao que se observou com o SAR ideal no *initial target*. O valor obtido foi bastante próximo, sendo a diferença de apenas 2% pelo que se considerou o requisito como cumprido.

Observa-se assim que os requisitos foram, na sua grande maioria, cumpridos com sucesso e deu-se o trabalho por concluído.

Com este *final target* obteve-se assim experiência relativamente às boas práticas e à forma como se deve proceder na realização de um *layout*.