



INSTITUTO SUPERIOR TÉCNICO
MESTRADO INTEGRADO EM ENGENHARIA ELECTROTÉCNICA E DE
COMPUTADORES

SISTEMAS INTEGRADOS ANALÓGICOS

Design de um Amplificador

João Bernardo Sequeira de Sá	n.º 68254
Maria Margarida Dias dos Reis	n.º 73099
Nuno Miguel Rodrigues Machado	n.º 74236

Lisboa, 3 de Maio de 2015

Índice

1	Introdução	1
2	Funcionamento Teórico do Circuito	2
3	Dimensionamento dos Transístores	4
3.1	<i>Slew-Rate</i>	4
3.2	<i>Slew-Rate</i> , Ganho, Largura de Banda e Margem de Fase	11
3.3	<i>Budget</i> da Corrente	16
4	Área	17
5	Conclusões	18

1 Introdução

Pretende-se projectar um amplificador *folded cascode* CMOS OTA de dois andares de acordo com as especificações da seguinte tabela.

Tabela 1: Características do amplificador a projectar.

Especificação	Símbolo	Valor
Tensão de Alimentação	V_{DD}	3.3 V
Ganho para Sinais de Baixa Amplitude	A_v	70 dB
Largura de Banda	Bw	60 kHz
Margem de Fase	PM	60°
Capacidade da Carga	C_L	0.25 pF
<i>Slew-Rate</i>	SR	200 V/ μ s
<i>Budget</i> da Corrente	I_{DD}	400 μ A
Área de <i>Die</i>	/	0.02 mm ²

O circuito de ponto de partida para a realização do projecto é apresentado de seguida.



Figura 1: Circuito do amplificador a projectar.

2 Funcionamento Teórico do Circuito

O circuito a desenvolver é do tipo *folded cascode* CMOS OTA (*Operational Transconductance Amplifier*). Os amplificadores OTA são caracterizados por apresentar ganhos e valores de impedância de saída elevados. O valor elevado da impedância de saída faz com que sejam especialmente indicados para cargas capacitivas podendo, no entanto, servir para cargas resistivas pequenas através de *feedback*.

Quando se compara o *folded cascode* com o *telescopic* observa-se que se tem o dobro da corrente e ganhos muito similares. No entanto, deve-se notar que se tem melhor largura de banda, *slew-rate*, estabilidade e impedância de saída mais elevada. O compromisso por estas qualidades é uma velocidade de resposta inferior, assim como índices de ruído superiores e uma pior resposta na frequência.

Analisando o circuito da Figura 1 em pormenor identificam-se 5 blocos, sendo importante analisar a função de cada um, para que melhor se possa compreender o funcionamento e comportamento do circuito na sua totalidade. O Bloco 1 representa o transístor responsável pela polarização do circuito. O Bloco 2 representa um par diferencial PMOS. O Bloco 3 corresponde a um espelho de corrente *cascode* básico do tipo PMOS. O Bloco 4 actua como isolamento. O Bloco 5 funciona como fonte de corrente que “puxa” sempre I (corrente de M_{11}) para o *ground*.

Relativamente ao par diferencial, o circuito pode funcionar de acordo com três situações:

- $v_{in-} = v_{in+} \rightarrow$ situação 1
- $v_{in-} > v_{in+} \rightarrow$ situação 2
- $v_{in-} < v_{in+} \rightarrow$ situação 3

Na situação 1, cada transístor do par diferencial, M_1 e M_2 , tem metade da corrente que passa em M_{11} e o circuito apresenta o seguinte comportamento.

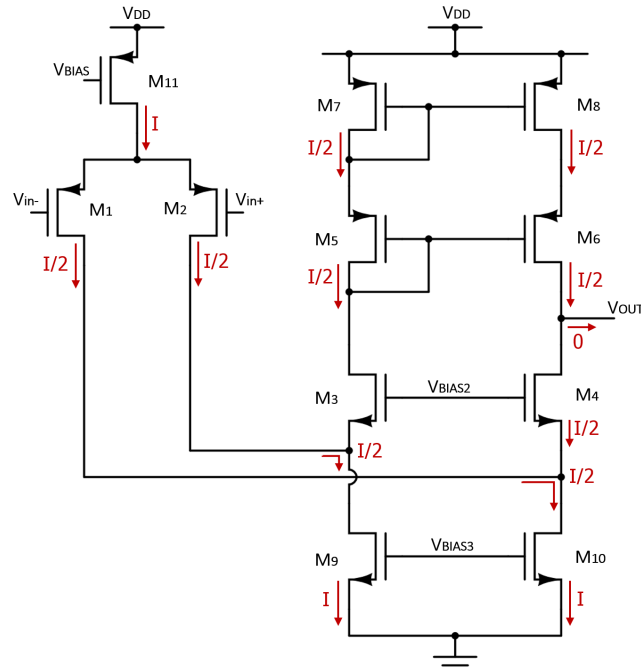


Figura 2: Funcionamento do circuito na situação 1.

Considerando agora o extremo da situação 2, a tensão na *gate* de M_1 toma o valor máximo da fonte de tensão que polariza esse transístor e a tensão na *gate* de M_2 é nula. Assim, o circuito apresenta o seguinte comportamento.

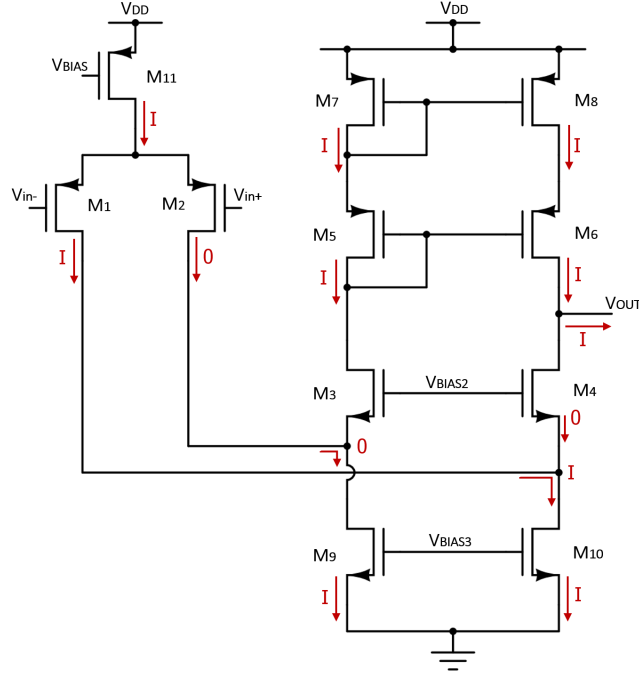


Figura 3: Funcionamento do circuito no extremo da situação 2.

Considerando agora o extremo da situação 3, a tensão na *gate* de M_2 toma o valor máximo da fonte de tensão que polariza esse transístor e a tensão na *gate* de M_1 é nula. Assim, o circuito apresenta o seguinte comportamento.

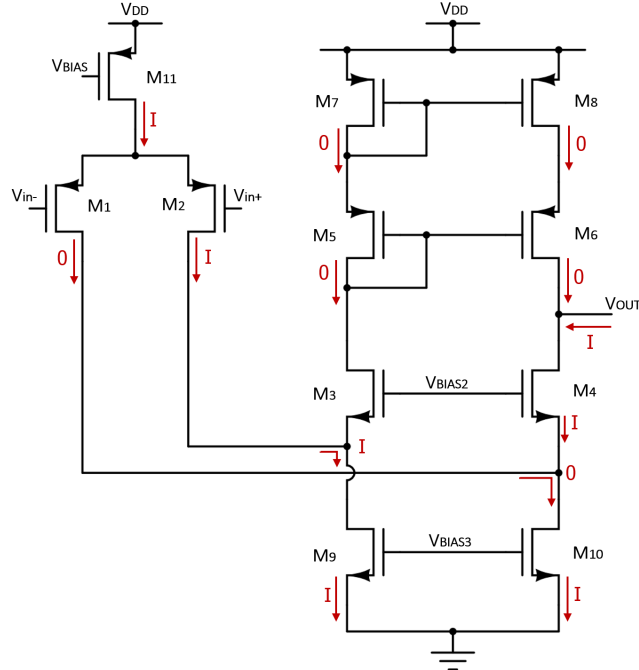


Figura 4: Funcionamento do circuito no extremo da situação 3.

3 Dimensionamento dos Transístores

A primeira fase no projecto do amplificador passou por decidir as dimensões dos vários transístores. Sabe-se que a dimensão de um transístor é dada pelos parâmetros W (*width* - largura) e L (*length* - comprimento).

3.1 Slew-Rate

Para efectuar o primeiro dimensionamento dos transístores teve-se em consideração o critério da *slew-rate*, onde se pretende atingir um valor de $200 \text{ V}/\mu\text{s}$.

O valor de L ficou decidido à partida como sendo $1 \mu\text{m}$ para todos os transístores do circuito, isto porque se tem como *rule of thumb* que, para se evitar o efeito de modulação do comprimento do canal, o valor de L deve ser maior ou igual a $1 \mu\text{m}$. O valor de W pode ser calculado recorrendo à equação que determina a corrente num transístor. Para um transístor do tipo P a corrente é dada por

$$I_D = \frac{1}{2} \mu_n C_{ox} \times \left(\frac{W}{L} \right) \times (V_{GS} - V_{TH})^2 = k_P \times \left(\frac{W}{L} \right) \times V_{OD}^2, \quad (3.1)$$

sendo que para um transístor do tipo N troca o valor do factor de ganho, em vez de k_P tem-se k_N .

Da equação anterior pretende-se determinar o valor de W dos vários transístores, sendo então necessário saber o valor de L (já determinado anteriormente), o valor da corrente que passa nos transístores, I_D , o valor de k e o valor da tensão de *overdrive*, V_{OD} .

O valor da tensão de *overdrive* definiu-se como sendo de 0.2 V para todos os transístores. Este valor deriva de outra *rule of thumb* que indica que se deve escolher para V_{OD} um valor de 0.2 V - menos do que isso e fica-se demasiado sensível a V_{TH} e mais do que isso e fica-se com pouca margem de saturação, que é uma medida do quão dentro da saturação se está, sendo calculada por $V_{DS} - V_{OD}$.

O valor de k pode ser obtido com recurso aos *process parameters*, sendo de referir que os valores que se retiram das *datasheets* representam apenas $\mu_n C_{ox}$, pelo que têm de ser multiplicados por $1/2$ para que se obtenha o factor de ganho final, como se pode ver na próxima equação, para o caso de um transístor do tipo P:

$$k_P = \frac{1}{2} \mu_n C_{ox} = \frac{1}{2} \times K P_P. \quad (3.2)$$

Os valores já conhecidos que ajudam a obter o valor de W através da equação (2.1) encontram-se esquematizados na seguinte tabela.

Tabela 2: Valores especificados para algumas das características que definem os transístores.

Especificação	Método de Cálculo	Símbolo	Valor
Comprimento	<i>rule of thumb</i>	L	$1 \mu\text{m}$
Tensão de <i>Overdrive</i>	<i>rule of thumb</i>	V_{OD}	0.2 V
Factor de Ganho (tipo P) <i>datasheet</i>	<i>process parameters</i>	$K P_P$	$58 \mu\text{A}/\text{V}^2$
Factor de Ganho (tipo N) <i>datasheet</i>	<i>process parameters</i>	$K P_N$	$175 \mu\text{A}/\text{V}^2$
Factor de ganho (tipo P)	equação (2.2)	k_P	$29 \mu\text{A}/\text{V}^2$
Factor de ganho (tipo N)	equação (2.2)	k_N	$87.5 \mu\text{A}/\text{V}^2$

Para determinar os valores das correntes que passam nos vários transístores começou-se por determinar a corrente máxima à saída do circuito. Existe uma relação entre a *slew-rate*, SR, e a corrente de saída máxima, $I_{out_{max}}$ expressa por

$$SR = \frac{I_{out_{max}}}{C_L}, \quad (3.3)$$

que nos permite concluir que quanto maior for a corrente de saída, mais depressa é carregado o condensador que constitui a carga.

Com os valores da Tabela 1 obtém-se:

$$SR = \frac{I_{out_{max}}}{C_L} \leftrightarrow I_{out_{max}} = 200 \times 0.25 \times 10^{-6} \text{ A} = 50 \text{ } \mu\text{A}. \quad (3.4)$$

Analisando as Figuras 3 a 4 percebe-se que a corrente $I_{out_{max}}$ corresponde a $I/2$, pelo que o valor máximo de I corresponde a $100 \text{ } \mu\text{A}$. O dimensionamento dos transístores foi feito tendo em conta o ponto de funcionamento em repouso (PFR), situação 1, de acordo com

$$W_P = \frac{I_D \times L}{k_P \times V_{OD}^2} \rightarrow \text{transístor tipo PMOS}; \quad (3.5)$$

$$W_N = \frac{I_D \times L}{k_N \times V_{OD}^2} \rightarrow \text{transístor tipo NMOS}. \quad (3.6)$$

Os valores obtidos para a *width* dos vários transístores apresenta-se na tabela seguinte. De notar que os valores foram arredondados ao inteiro mais próximo.

Tabela 3: Valores de W dos transístores que constituem o circuito, calculados em função do PFR.

Transístor	Tipo	Corrente	Observações	W
M1	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	43 μm
M2	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	43 μm
M3	NMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	14 μm
M4	NMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	/	14 μm
M5	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M6 com rácio 1:1	43 μm
M6	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M5 com rácio 1:1	43 μm
M7	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M8 com rácio 1:1	43 μm
M8	PMOS	$I_D = I_{max}/2 = 50 \text{ } \mu\text{A}$	constitui espelho de corrente com M7 com rácio 1:1	43 μm
M9	NMOS	$I_{Dmax} = I_{max} = 100 \text{ } \mu\text{A}$	/	29 μm
M10	NMOS	$I_{Dmax} = I_{max} = 100 \text{ } \mu\text{A}$	/	29 μm
M11	PMOS	$I_{Dmax} = I_{max} = 100 \text{ } \mu\text{A}$	/	86 μm

De referir que os transístores M_5 e M_6 têm as mesmas dimensões, tal como pretendido, pois formam um espelho de corrente que tem como rácio 1:1. O mesmo se aplica aos transístores M_7 e M_8 .

Com o dimensionamento dos transístores feito procede-se a uma primeira simulação do circuito, com o intuito de verificar o seu funcionamento. Porém, antes de simular o circuito alterou-se a sua polarização, para que em vez de ser feita em tensão seja feita em corrente. Isto é feito porque uma

polarização em corrente permite ter mais controlo, sendo que quando é feita em tensão não se tem garantias dos valores pretendidos.

Assim, o circuito da Figura 1 foi alterado para o apresentado de seguida.

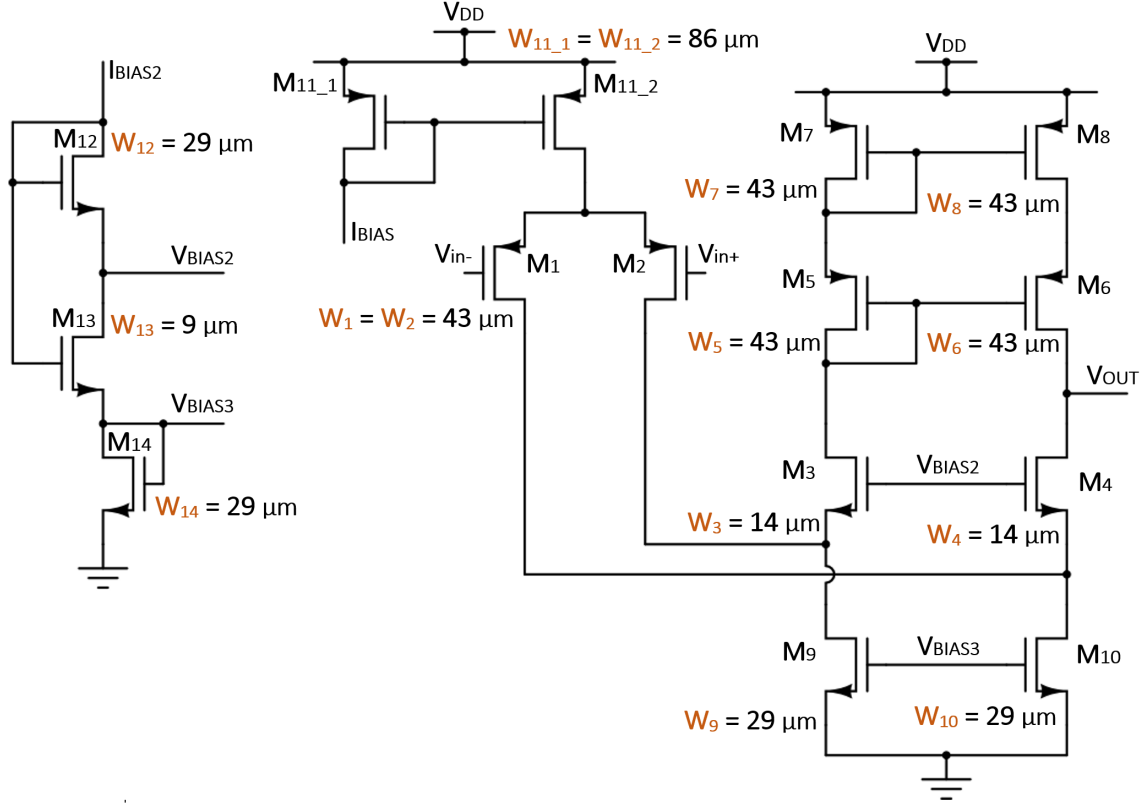


Figura 5: Primeiro circuito de simulação do amplificador.

Na figura anterior pode-se ver o valor de W utilizado nos vários transístores, sendo que para todos o valor de L é de $1 \mu\text{m}$.

Como se pode ver, o transístor M_{11} que é originalmente polarizado em tensão com V_{BIAS} , Bloco 1, foi substituído por um espelho de corrente básico que é polarizado em corrente com I_{BIAS} . A polarização feita com recurso a V_{BIAS2} e V_{BIAS3} foi também alterada para passar a ser feita em corrente com I_{BIAS2} , através de um espelho de corrente *cascade low-voltage*. O valor de I_{BIAS} e de I_{BIAS2} é de $100 \mu\text{A}$.

De notar que os transístores M_{11_1} e M_{11_2} têm a mesma dimensão que aquela que foi determinada para M_{11} , uma vez que a corrente que os atravessa é também $100 \mu\text{A}$ e são do tipo PMOS. Já os transístores M_{12} e M_{14} têm a mesma dimensão que M_9 e M_{10} , uma vez que a corrente que os atravessa é também $100 \mu\text{A}$ e são do tipo NMOS. O transístor M_{13} , de acordo com o funcionamento teórico de um espelho de corrente *cascade low-voltage*, deve ter um W 3 vezes inferior ao de M_{12} , assim como deve funcionar sempre no tródo, o que implica uma *width* de $9 \mu\text{m}$.

Na Figura 6 encontra-se o *schematic* criado no Cadence correspondente ao da Figura 5.

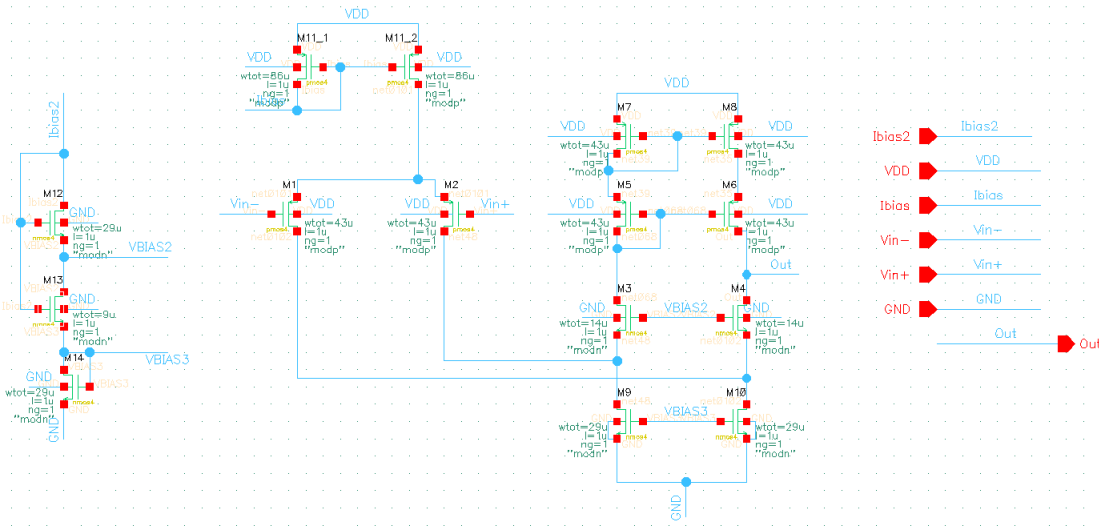


Figura 6: *Schematic* do circuito criado para a primeira simulação.

Com o *schematic* anterior projectou-se um símbolo e criaram-se novos *schematics* de *testbench*, como se pode ver nas Figura 7, 8 e 9.

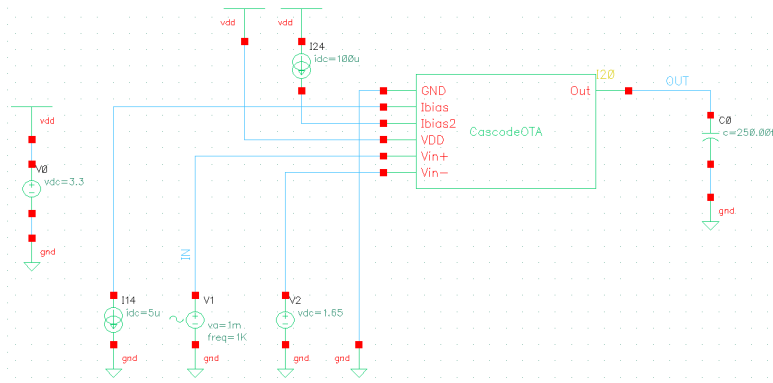


Figura 7: *Schematic* do *testbench* que permite simular o circuito em testes transiente e de resposta DC.

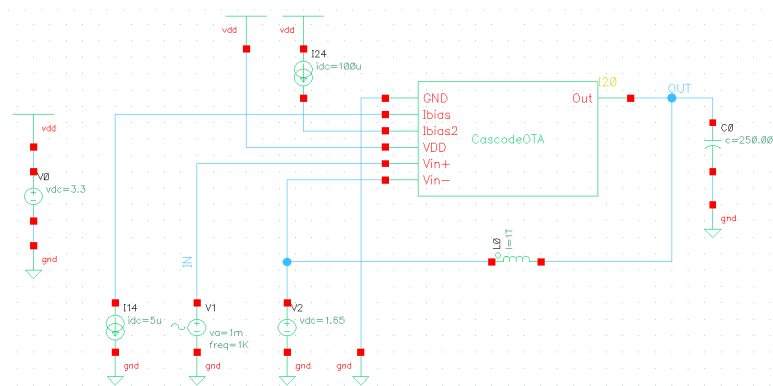


Figura 8: *Schematic* do *testbench* que permite simular o circuito em testes de resposta AC.

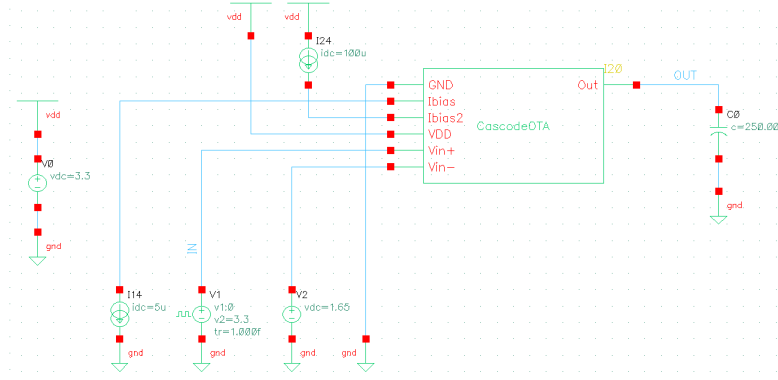


Figura 9: Schematic do testbench que permite simular o circuito em testes da *slew-rate*.

Recorrendo ao circuito da Figura 7 efectuou-se uma análise transiente durante 2 ms. Para verificar se o circuito funciona como pretendido optou-se por verificar se todos os transístores do amplificador tem a corrente I_D pretendida, ou seja, de acordo com a Figura 1, e se estão na região de saturação.

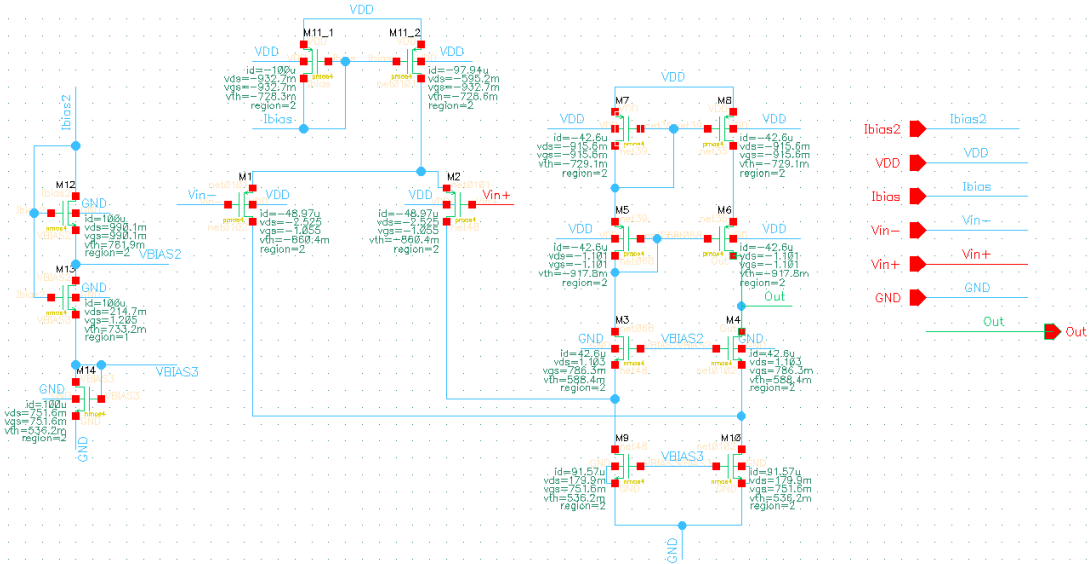


Figura 10: Valores do PFR do schematic da Figura 6.

A região de funcionamento dos transístores pode ser vista na secção *region*: 0 implica que o transistor está ao corte, 1 que está no triódo, 2 que está na zona de saturação e 3 na região de *subthreshold*.

Como se pode ver, todos os transístores do amplificador estão na região 2, tal como pretendido, assim como os que polarizam através de I_{BIAS} . Os transístores M_{12} e M_{14} do espelho de corrente *cascode low-voltage* estão também saturados e o transistor M_{13} está no triódo, tal como se queria.

Porém, apesar de os transístores estarem a funcionar na zona correcta, o valor das suas correntes está ligeiramente afastado do pretendido. Os transístores M_3 , M_4 , M_5 , M_6 , M_7 e M_8 deveriam ter um valor de I_D de $50 \mu A$, sendo, no entanto, o valor registado pela simulação de $42.6 \mu A$. Para os transístores M_9 e M_{10} esperava-se um valor de I_D de $100 \mu A$, sendo, no entanto, o valor registado pela simulação de $91.57 \mu A$. As correntes do espelho de corrente básico estão de acordo com o esperado,

sendo que os transístores M_1 e M_2 têm um valor de corrente de $48.97 \mu A$, um valor próximo do esperado de $50 \mu A$.

Até agora, para efectuar o dimensionamento dos transístores o critério que se teve em consideração foi a *slew-rate*. Assim, com recurso à calculadora do Cadence calculou-se o seu valor, sendo este de $170.7 \times 10^6 \text{ V/segundo} \leftrightarrow 169.9 \text{ V}/\mu s$. O valor pretendido é de $200 \text{ V}/\mu s$, verificando-se então alguma diferença entre os dois valores.

Relativamente aos valores de V_{GS} para os vários transístores, os valores teóricos esperados foram calculados com base nos *process parameters* da seguinte forma:

$$V_{TH_{0P}} \approx 0.6V \rightarrow V_{GS} = V_{OD} + V_{TH_N} = 0.2 + 0.6 = 0.8V \rightarrow \text{transistor tipo PMOS}; \quad (3.7)$$

$$V_{TH_{0N}} \approx 0.5V \rightarrow V_{GS} = V_{OD} + V_{TH_N} = 0.2 + 0.5 = 0.7V \rightarrow \text{transistor tipo NMOS}. \quad (3.8)$$

Na Figura 10 pode-se verificar que certos transístores do amplificador sofrem de efeito de corpo, ou seja, não têm o *bulk* à mesma tensão que a *source*. Para transístores NMOS tal ocorre se a *source* não estiver ligada a GND e, para transístores PMOS, se a *source* não estiver ligada a VDD.

Quando um transistor sofre de efeito de corpo o seu valor de V_{TH} desvia-se de V_{TH_0} (tensão de limiar na ausência de efeito de corpo) e, como tal, a sua tensão V_{GS} toma também valores diferentes. De facto, os transístores PMOS que sofrem de efeito de corpo (M_1 , M_2 , M_5 e M_6), quando comparados aos que não sofrem, apresentam uma tensão de limiar mais afastada do valor da equação (3.7).

Na tabela seguinte pode-se ver as especificações pretendidas e as que se verificam até ao momento, sendo que a verde se assinalam aquelas que se considera cumpridas e a vermelho aquelas que se pretende melhorar. É de referir que ainda não se tem em consideração o critério da área, pois essa é uma preocupação final.

Tabela 4: Especificações actuais do circuito.

Especificação	Valor	
	Teórico	Experimental
Ganho para Sinais de Baixa Amplitude	70 dB	66.01 dB
Largura de Banda	60 kHz	87.45 kHz
Margem de Fase	60°	54.59°
<i>Slew-Rate</i>	200 V/ μs	169.9 V/ μs
<i>Budget</i> da Corrente	400 μA	383.14 μA
Área de <i>Die</i>	0.02 mm ²	/

Face à ligeira discrepância nos valores obtidos para a corrente nos vários transístores e para a *slew-rate*, decidiu-se proceder a um ajuste nas dimensões dos transístores para se obter valores mais próximos dos esperados. Este ajuste foi feito ao nível dos transístores M_3 e M_4 pois, ao aumentar as suas dimensões faz-se variar as suas tensões V_{GS} , e como tal V_{BIAS_2} , o que resulta num aumento da tensão V_{DS} de M_9 , que por sua vez faz aumentar a corrente daquele ramo.

O ajuste feito nesses dois transístores passou por aumentar o seu rácio W/L para o dobro, ou seja, o valor de W passou de $14 \mu m$ para $28 \mu m$. À primeira vista não parecer ser um ajuste fino, no entanto, está associado à existência de um efeito de segunda-ordem.

De facto, quando se é mais criterioso, a corrente de um transistor não é calculada de acordo com a equação (2.1), mas sim de acordo com

$$I_D = \frac{1}{2} \mu_n C_{ox} \times \left(\frac{W}{L} \right) \times (V_{GS} - V_{TH})^2 \times (1 + \lambda V_{DS}) = k_P \times \left(\frac{W}{L} \right) \times V_{OD}^2 \times (1 + \lambda V_{DS}). \quad (3.9)$$

Como se pode ver, sobre o valor da corrente existe um efeito de segunda-ordem com a introdução da parcela $(1 + \lambda V_{DS})$. Assim se explica que, quando o valor de W de M_3 e M_4 passa para o dobro, a corrente nos transistores aumenta em aproximadamente $7\mu A$, conseguindo-se obter o valor desejado de $50\mu A$.

Fizeram-se mais ajustes finos nos transistores que polarizam o amplificador, sendo que o transistor M_{12} passou para um W de $28\mu m$ e o transistor M_{13} para um W de $7\mu m$. Estes ajustes nos transistores foram feitos com o objectivo de melhorar a corrente dos respectivos ramos.

Na Figura 11 apresenta-se o circuito com o ajuste nas dimensões dos transistores.

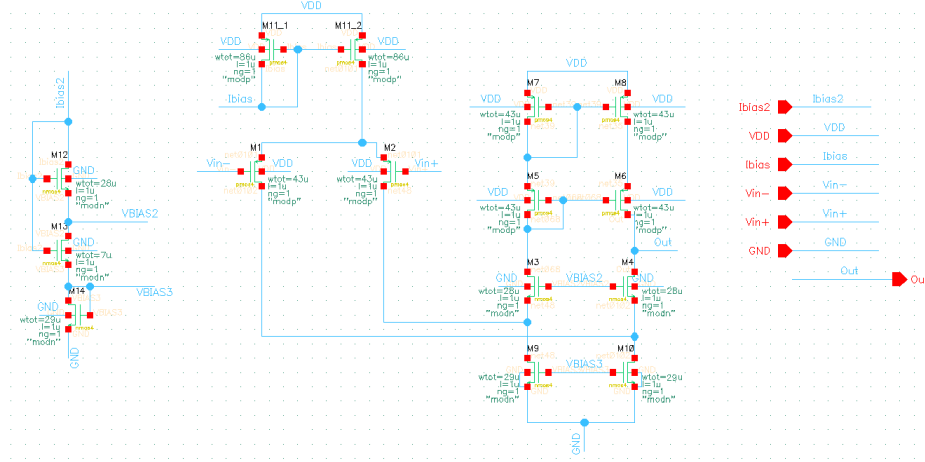


Figura 11: *Schematic* do circuito com os valores de W ajustados.

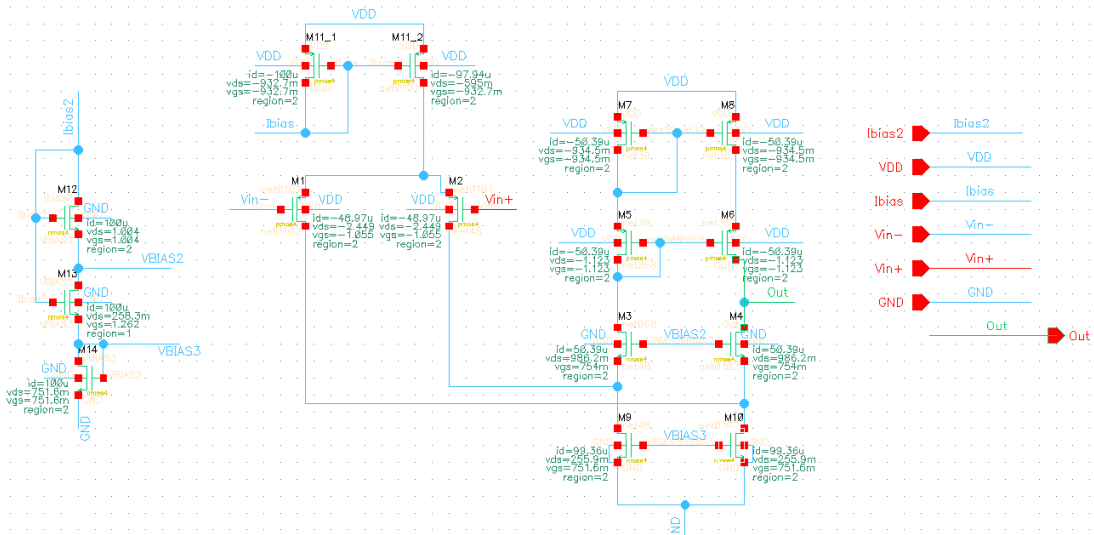


Figura 12: Valores do PFR do *schematic* da Figura 9.

Como se pode ver na figura anterior, o valor da corrente nos transístores M_3 a M_8 passou para $50.39 \mu\text{A}$, um valor muito próximo do pretendido de $50 \mu\text{A}$. Relativamente aos transístores M_9 e M_{10} , passaram a ter uma corrente de $99.36 \mu\text{A}$, um valor também bastante próximo do pretendido de $100 \mu\text{A}$.

Face a estes ajustes mediu-se novamente o valor da *slew-rate* para verificar se o critério já é cumprido. O valor medido foi de $199.9 \times 10^6 \text{ V/segundo} \leftrightarrow 199.9 \text{ V}/\mu\text{s}$, um valor que se considera óptimo.

Assim, o estado actual do circuito é apresentado de seguida.

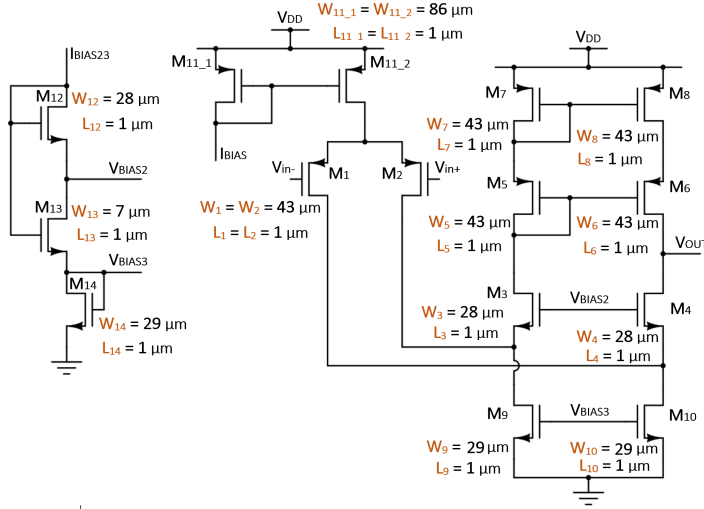


Tabela 5: Especificações.

Especificação	Valor	
	Teórico	Experimental
Ganho para Sinais de Baixa Amplitude	70 dB	75.01 dB
Largura de Banda	60 kHz	35.56 kHz
Margem de Fase	60°	52.51°
<i>Slew-Rate</i>	200 V/ μs	199.9 V/ μs
<i>Budget</i> da Corrente	400 μA	398.72 μA
Área de Die	0.02 mm ²	/

Figura 13: Circuito actual.

3.2 *Slew-Rate*, Ganho, Largura de Banda e Margem de Fase

Por análise da tabela anterior, verifica-se que o valor da largura de banda corresponde a metade do pretendido, sendo que depois se torna mais complicado conseguir recuperar sem comprometer a *slew-rate* já obtida.

Assim, optou-se por uma nova abordagem em que fica decidido não alterar o rácio W/L dos transístores, com vista a não modificar o valor da sua transcondutância e não comprometer a sua região de funcionamento.

Olhando então para o primeiro ajuste feito, optou-se por modificar o valor de L dos transístores M_3 e M_4 de maneira igual à modificação de W , ou seja, L passa também para o dobro, ficando a 2 μm . Relativamente ao ajuste fino feito nos transístores M_{12} e M_{13} , opta-se por não manter o seu rácio W/L , algo que não é problemático, uma vez que não fazem parte do circuito do amplificador, mas sim parte de um circuito que o polariza em corrente. Face a esta modificação o circuito comporta-se da seguinte maneira.

12

A margem de fase, PM , é afectada pela frequência do pólo não dominante, sendo dada pela equação (3.15), tal como se pode ver de seguida.

$$f_{np} = \frac{g_{m3}}{2\pi C_{n1}} \approx \frac{g_{m3}}{2\pi [C_{gs3} + C_{db2} + C_{db9}]}. \quad (3.15)$$

Analisando a equação anterior tem-se quatro graus de liberdade: g_{m3} , C_{gs3} , C_{db2} e C_{db9} . Como foi referido anteriormente, o rácio W/L mantém-se, logo o valor de g_{m3} é constante. Assim, os parâmetros que afectam de facto a frequência do pólo não dominante são C_{gs3} , C_{db2} e C_{db9} . De seguida apresentam-se as equações que definem C_{gs} e C_{db} em função de W , L e V_{DB} .

$$C_{gs} = \frac{2}{3} W L C_{ox}; \quad (3.16)$$

$$C_{db} = \frac{C_{db0}}{\sqrt{1 + \frac{V_{DB}}{V_0}}}; \quad (3.17)$$

$$PM : \text{aumentar } f_{np} \rightarrow \text{diminui valor de } PM; \quad (3.18)$$

$$f_{np} : \begin{cases} \text{aumentar } W \text{ e aumentar } L \rightarrow \text{aumenta valor de } C_{gs} \rightarrow \text{diminui valor de } f_{np} \\ \text{aumentar } V_{DB} \rightarrow \text{diminui valor de } C_{db} \rightarrow \text{aumenta valor de } f_{np} \end{cases} \quad (3.19)$$

As tensões V_{DB2} e V_{DB9} são dadas pelas seguintes equações:

$$V_{DB2} = V_D - V_B = V_{DD} - R_2 I_D - V_{DD} = -R_{o11.2} I_D; \quad (3.20)$$

$$V_{DB9} = V_D - V_B = V_{DD} - R_9 I_D - GND = V_{DD} - R_{o9} I_D; \quad (3.21)$$

Analisando o circuito observa-se que a resistência R_2 depende da resistência de saída do transístor $M_{11.1}$, ou seja de $r_{o11.2}$. A resistência R_9 depende dos transístores M_2 , M_3 , M_5 e M_7 . Veja-se:

$$R_9 = (g_{m2} r_{o2}) // (g_{m3} r_{o3} r_{o5} r_{o7}); \quad (3.22)$$

Os rácios de W/L que se procura manter são apresentados na seguinte tabela.

Tabela 7: Rácios das dimensões dos transístores que constituem o amplificador.

Transístores	Rácio W/L
M1 e M2	43
M3 e M4	14
M5 e M6	43
M7 e M8	43
M9 e M10	29

De seguida apresenta-se uma tabela que representa a linha temporal das mudanças que foram sendo feitas nas dimensões dos transístores de acordo com a lógica anteriormente explicada. Cada célula da tabela corresponde a um rácio W/L do par de transístores correspondente e, para cada alteração feita

falar agora de como se juntou toda esta lógica para produzir a tabela

pode ajudar a explicar - na tabela estava: na iteração 3 houve uma alteração e voltou-se atras. na iteração 21 houve um ajuste de gm3 e gm4

numa determinada iteração, representa-se também o actual valor das especificações que se pretende cumprir.

De referir que, os transístores são sempre modificados aos pares, ou seja, um ajuste em M_1 implica igual ajuste em M_2 , sendo o mesmo válido para M_3 e M_4 , M_5 e M_6 , M_7 e M_8 e ainda para M_9 e M_{10} . Isto feito para que o circuito não fique em desequilíbrio.

Tabela 8: Linha temporal das alterações nas dimensões dos transístores e valores experimentais registados.

Iterações												
Transistóres	1	2	3	4	5	6	7	8	9	10	11	12
M1 e M2	43/1							55.9/1.3	77.4/1.8			90.3/2.1
M3 e M4	18.2/1.3					16.8/1.2						
M5 e M6	43/1			47.3/1.1								
M7 e M8	43/1	55.9/1.3			64.5/1.5		77.4/1.8			98.9/2.3	111.8/2.6	
M9 e M10	49.3/1.7		55.1/1.9	49.3/1.7								

Valores													
Especificação	Experimentais												Teóricos
Ganho [dB]	66.867	67.167	64.47	67.264	67.367	66.8	66.9	67	67.09	67.2	67.24	67.28	70
Largura de Banda [kHz]	81.54	78.74	85.81	76.45	75.51	80.5	79.57	79.26	79.04	78.01	77.57	77.49	60
Margem de Fase [°]	50.2	51.51	50.79	51.46	52.76	53.47	56.14	55.11	54.08	59.25	62.25	62.04	60
Slew-Rate [V/μs]	202.5	198.5	200.3	187.1	184.7	184.5	180.4	180.8	181.2	173.7	168.8	169	200

Iterações													
Transistóres	13	14	15	16	17	18	19	20	21	22	23	24	25
M1 e M2	111.8/2.6												
M3 e M4		18.2/1.3	19.6/1.4	21/1.5		22.4/1.6	22.8/1.6	23/1.6			23.8/1.7		
M5 e M6									34.4/0.8	30.1/0.7			
M7 e M8					116.1/2.7								
M9 e M10												46.4/1.6	43.5/1.5

Valores														
Especificação	Experimentais													Teóricos
Ganho [dB]	67.31	67.897	68.378	68.787	68.803	69.161	69.442	69.569	69.299	69.123	69	69.598	70.123	70
Largura de Banda [kHz]	77.4	72.27	68.23	65.31	65.19	62.71	61.08	60.27	65.2	67.54	67.8	64.53	61	60
Margem de Fase [°]	61.92	61.32	60.67	59.97	60.98	60.24	60.22	60.23	61.14	61.42	60.58	60.99	61.37	60
Slew-Rate [V/μs]	169.2	169.4	169.4	169.4	167.6	167.5	168.1	168.4	193.8	201.9	200.6	199	197.2	200

Como se pode ver, quando se atinge última iteração as especificações estão bastante próximas do pretendido e o circuito que permite atingir estas as especificações determinadas anteriormente é:

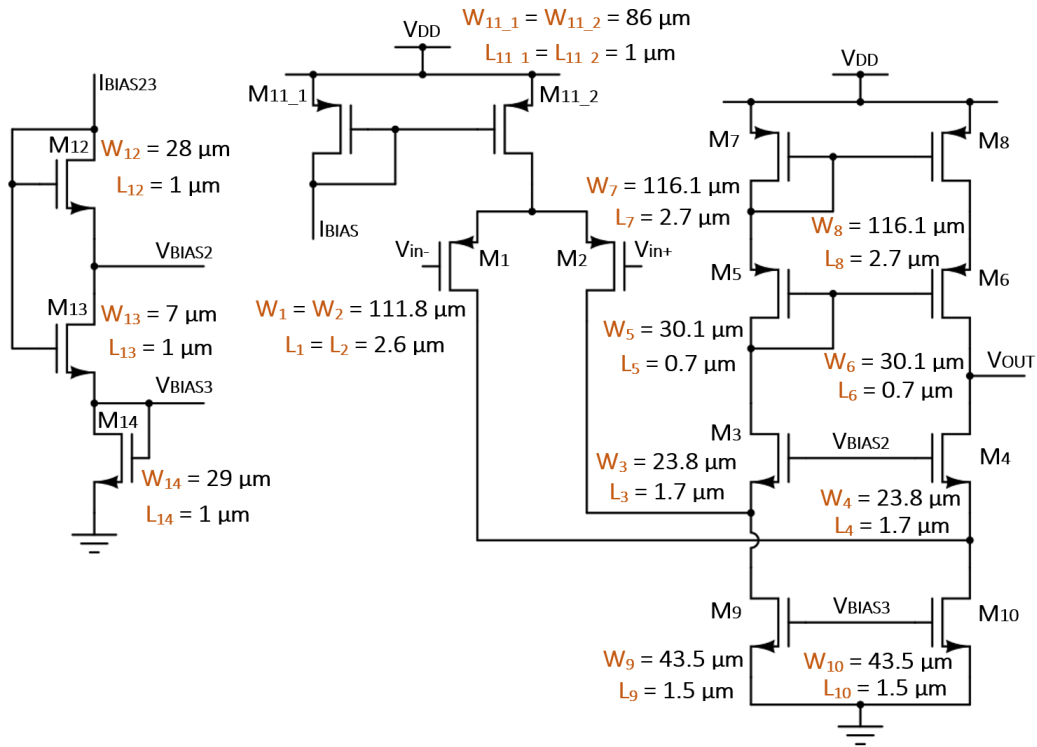


Figura 15: Circuito actual.

Tabela 9: Especificações actuais do circuito.

Especificação	Valor	
	Teórico	Experimental
Ganho para Sinais de Baixa Amplitude	70 dB	70.123 dB
Largura de Banda	60 kHz	61 kHz
Margem de Fase	60°	61.37°
Slew-Rate	200 V/ μs	197.2 V/ μs

Na Figura 16 encontra-se o *schematic* criado no Cadence correspondente ao da Figura 15.

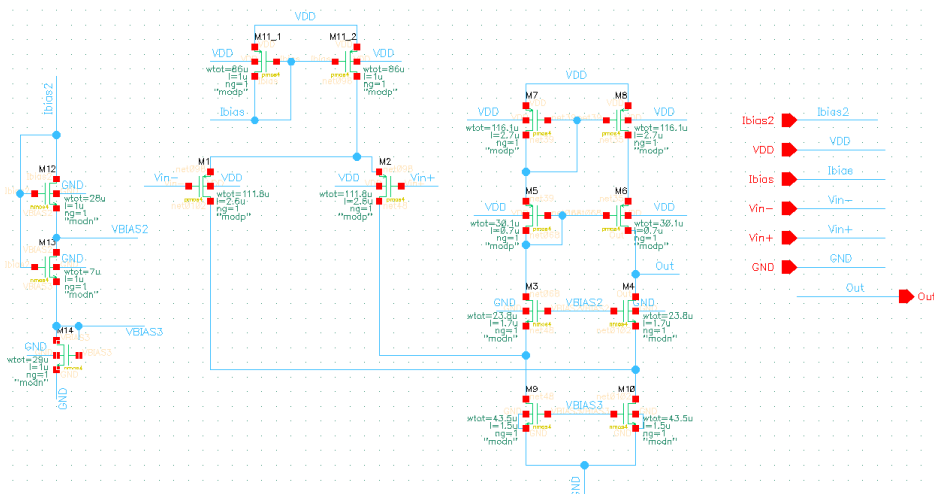


Figura 16: *Schematic* do circuito actual.

Apresenta-se de seguida as simulações obtidas com o Cadence.

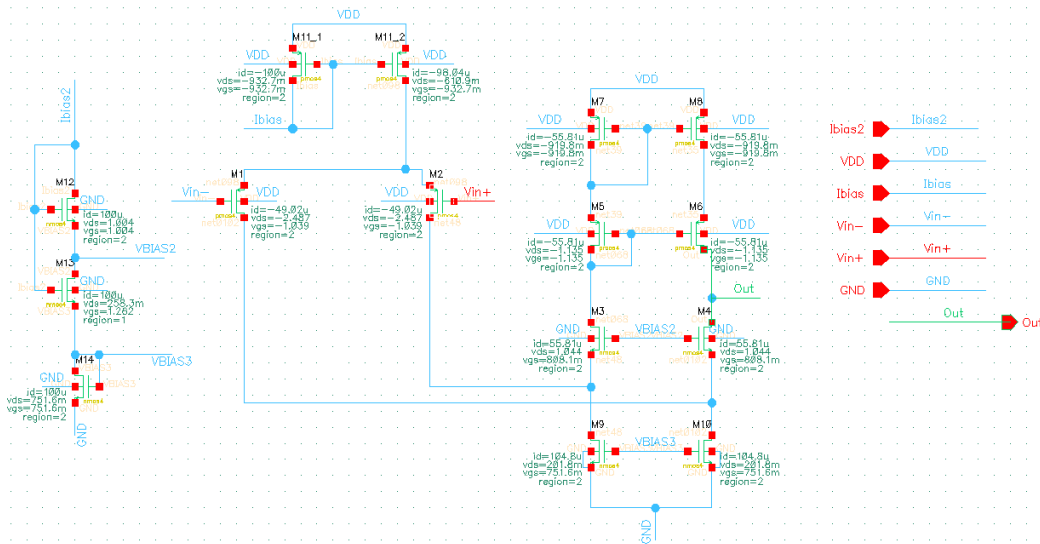


Figura 17: Valores do PFR do *schematic* da Figura 16.

graficos da simulação DC e AC

3.3 *Budget* da Corrente

Com as especificações associadas ao ganho, largura de banda, margem de fase e *slew-rate* cumpridas, o foco vira agora para o *budget* de corrente, de modo a que o consumo de corrente no circuito seja o mínimo possível.

Para tal, opta-se por “injectar” uma corrente de $5\mu\text{A}$ na polarização de V_{BIAS} e então ajustar a dimensão dos transístores do espelho de corrente básico, para que a corrente fornecida ao par diferencial seja de $100\mu\text{A}$ na mesma. Olhando apenas para o circuito do espelho de corrente vem:

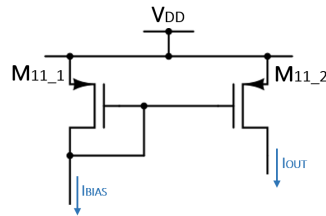


Figura 18: Espelho de corrente básico que polariza V_{BIAS} em corrente.


4 Área


explicar como se fez para calcular a área e apresentar desenho e cálculos


5 Conclusões


sugiro: o Cadence funciona muito bem a partir de casa


Notes

 falar agora de como se juntou toda esta logica para produzir a tabela 13

 pode ajudar a explicar - na tabela estava: na iteracao 3 houve uma ma alteracao e voltou-se
atras. na iteracao 21 houve um ajuste de gm3 e gm4 13

 graficos da simulacao DC e AC 16

 explicar como se fez para calcular a area e apresentar desenho e calculos 17

 sugiro: o Cadence funciona muito bem a partir de casa 18