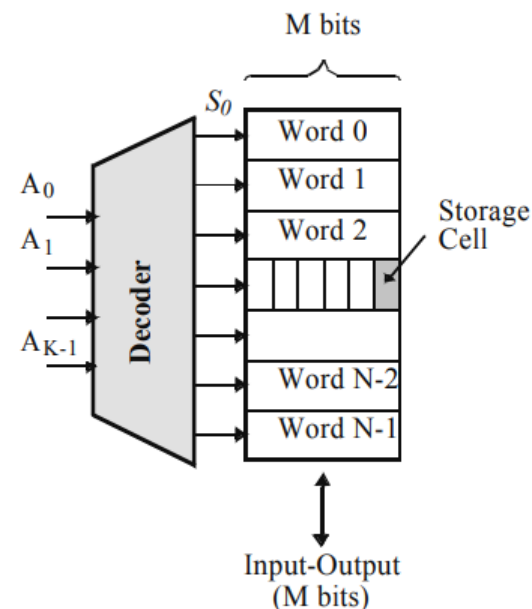
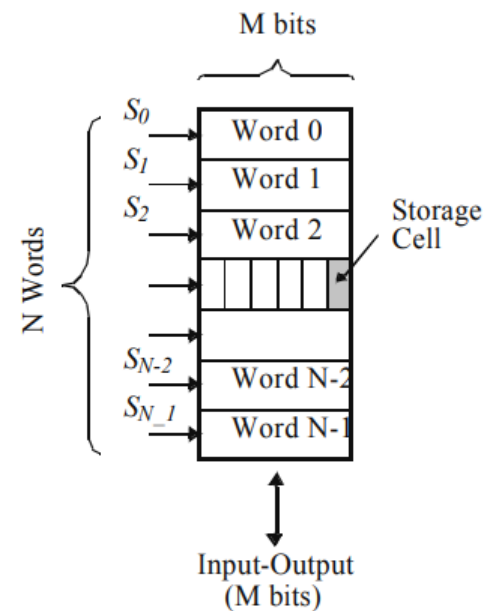


MEMORII SEMICONDUCTOARE

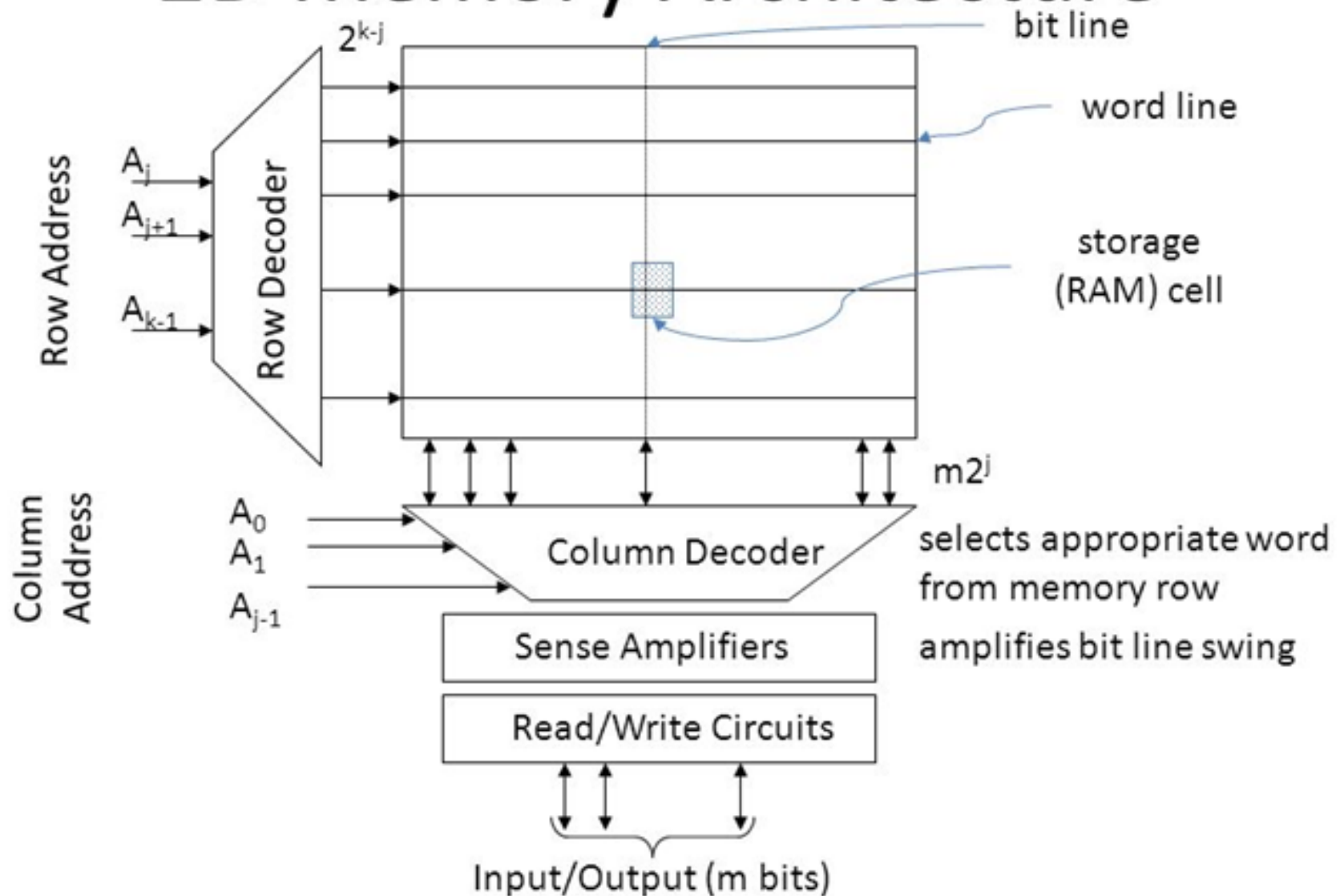
Memorii semiconductoare

- Se bazează pe celula de memorare definită ca un dispozitiv care înmagazinează (memorează) un bit de informație.
- O aranjare logică a celulelor de memorare duce la conceptul de circuit de memorie.
- Memorie NxM
- N cuvinte -> N semnale de selectie
- $K = \log_2 N$ semnale de adresa

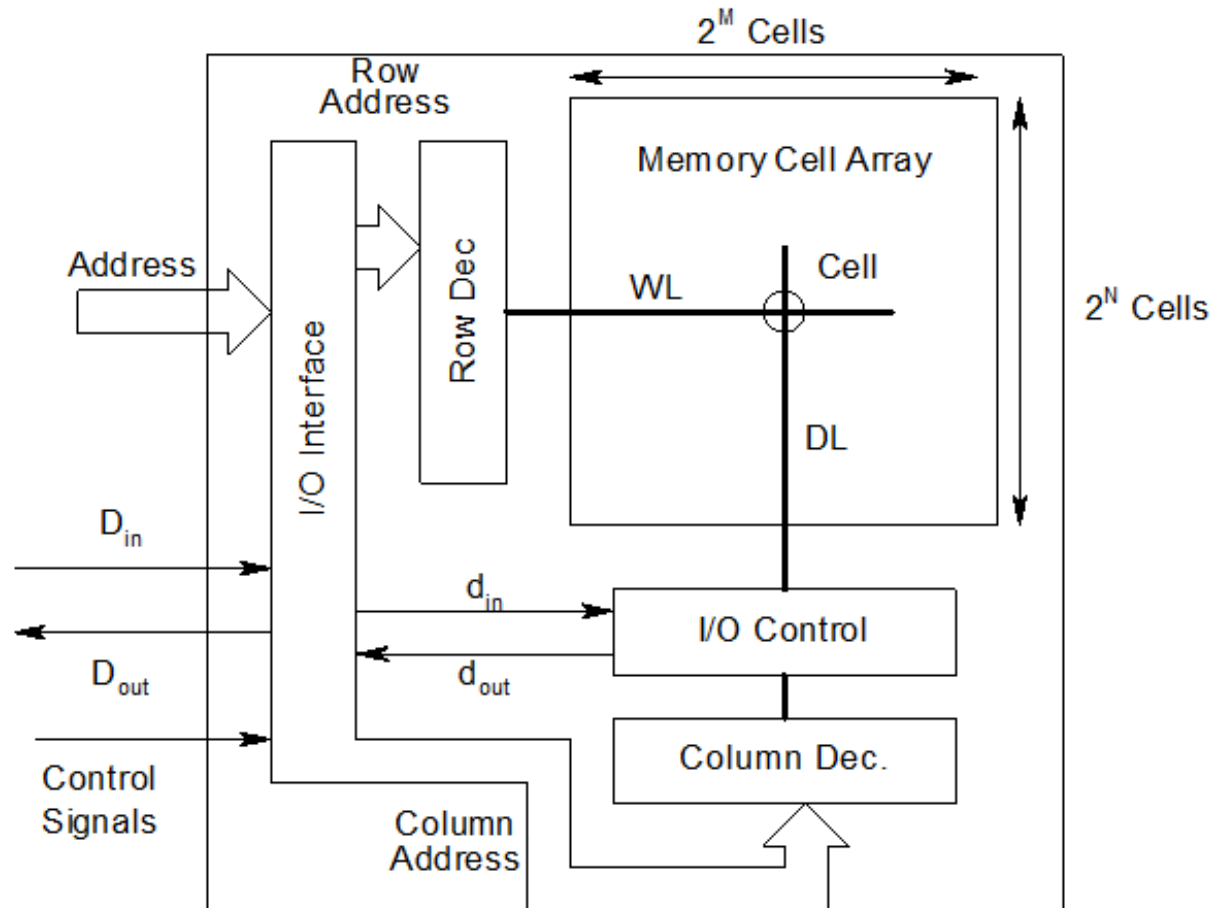


Arhitectura de memorie 1D

2D Memory Architecture



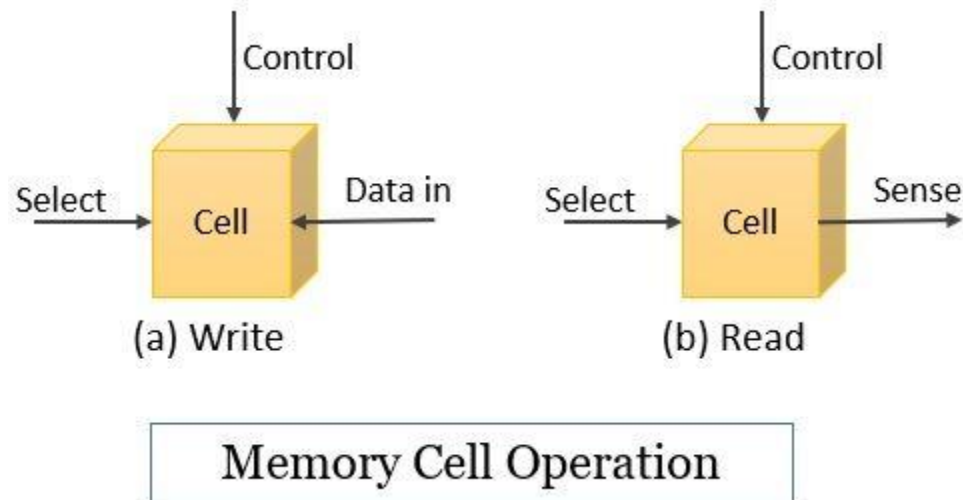
- Circuitele de memorie integrate cuprind:
 - matricea de celule
 - decodificatoare
 - circuite amplificatoare
 - circuite pentru controlul operațiilor efectuate asupra celulelor de memorare



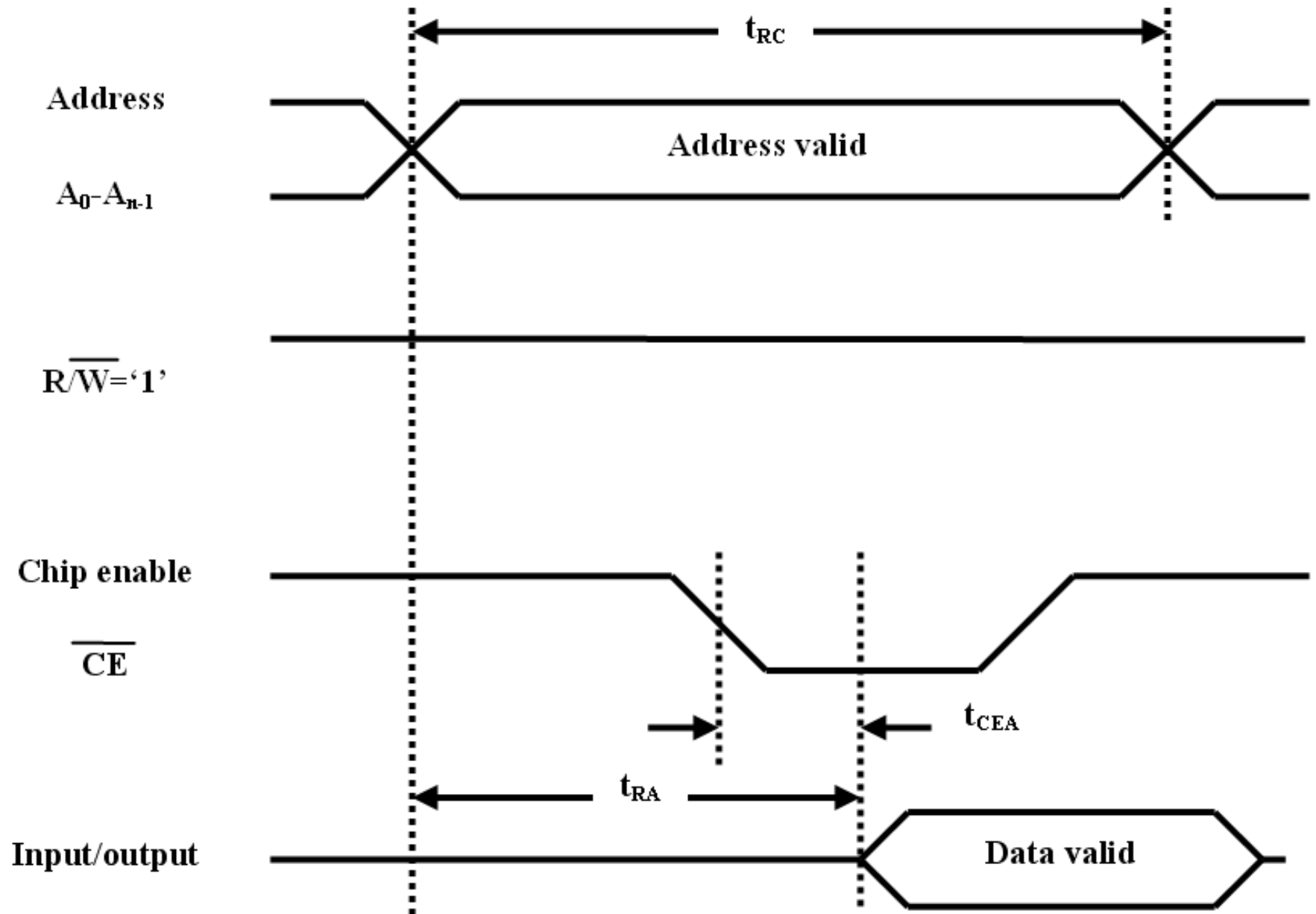
- Se împart în două mari categorii:
 - Volatile
 - memorii cu citire-scriere (RAM *Random-Access Memory*):
 - statice (SRAM Static Random Access Memory)
 - dinamice (DRAM Dynamic Random Access Memory)
 - adresabile prin continut (CAM Content-Addressable Memory)
 - Nevolatile
 - memorii doar cu citire (ROM *Read-Only Memory*) :
 - permanente (ROM *Read-Only Memory*)
 - programabile (PROM Programmable Read-Only Memory)
 - reprogramabile (REPROM REProgrammable Read-Only Memory)
 - » ștergere pe bază de raze X (UVEPROM Ultraviolet Erasable Programmable Read-Only Memory)
 - » ștergere electrică (EEPROM Electrically Erasable Programmable Read-Only Memory)

Memorii cu acces aleator (RAM)

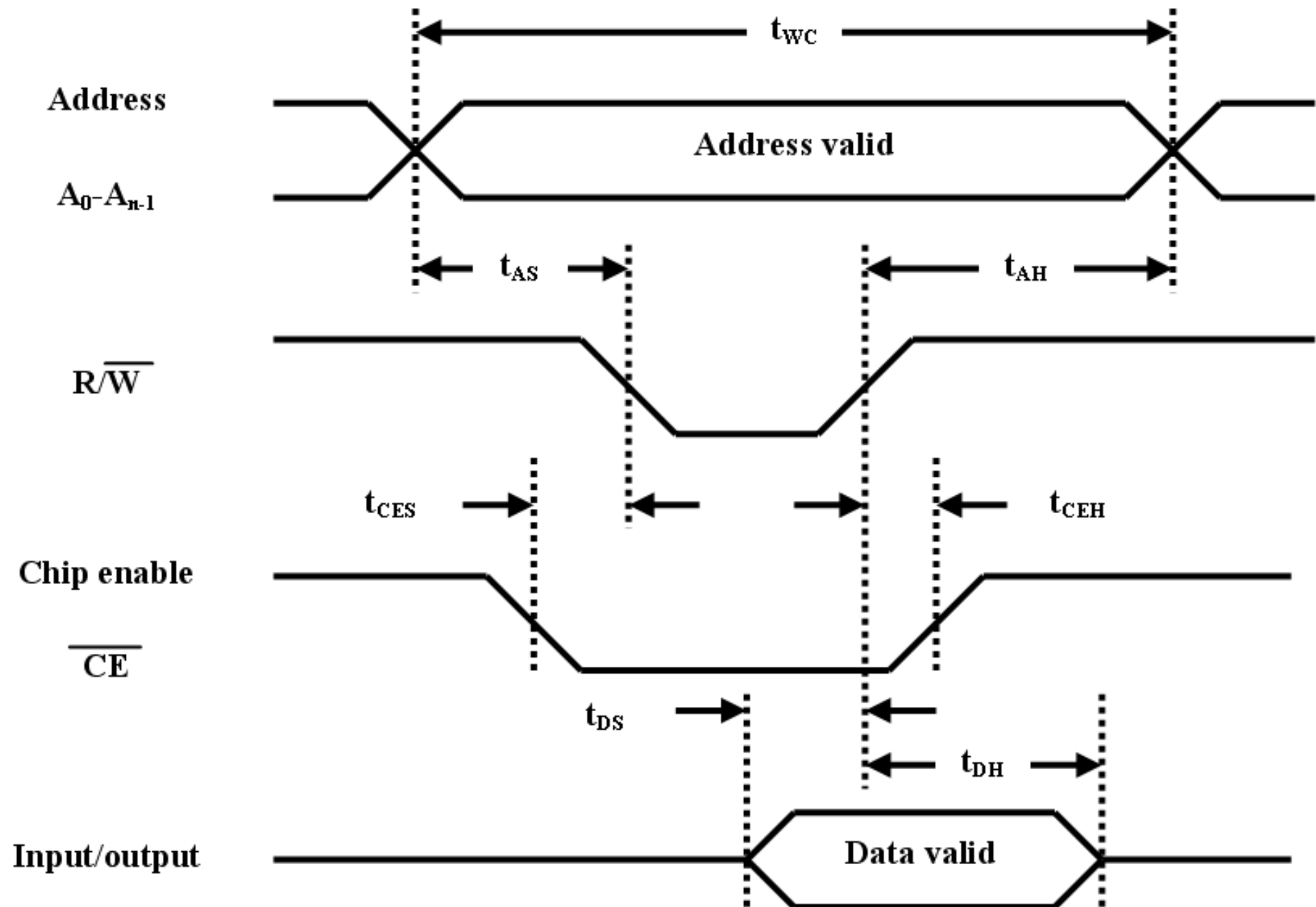
- diagramele de timp specifică anumite intervale temporale strict necesare desfășurării corecte a operațiilor asupra celulelor de memorie (*read and write cycle timings*)
- ciclul de **citire**
- ciclul de **scriere**
- Select - indică dacă celula de memorie a fost selectată sau nu
- Control - indică dacă este o operație de citire sau scriere



Ciclul de citire

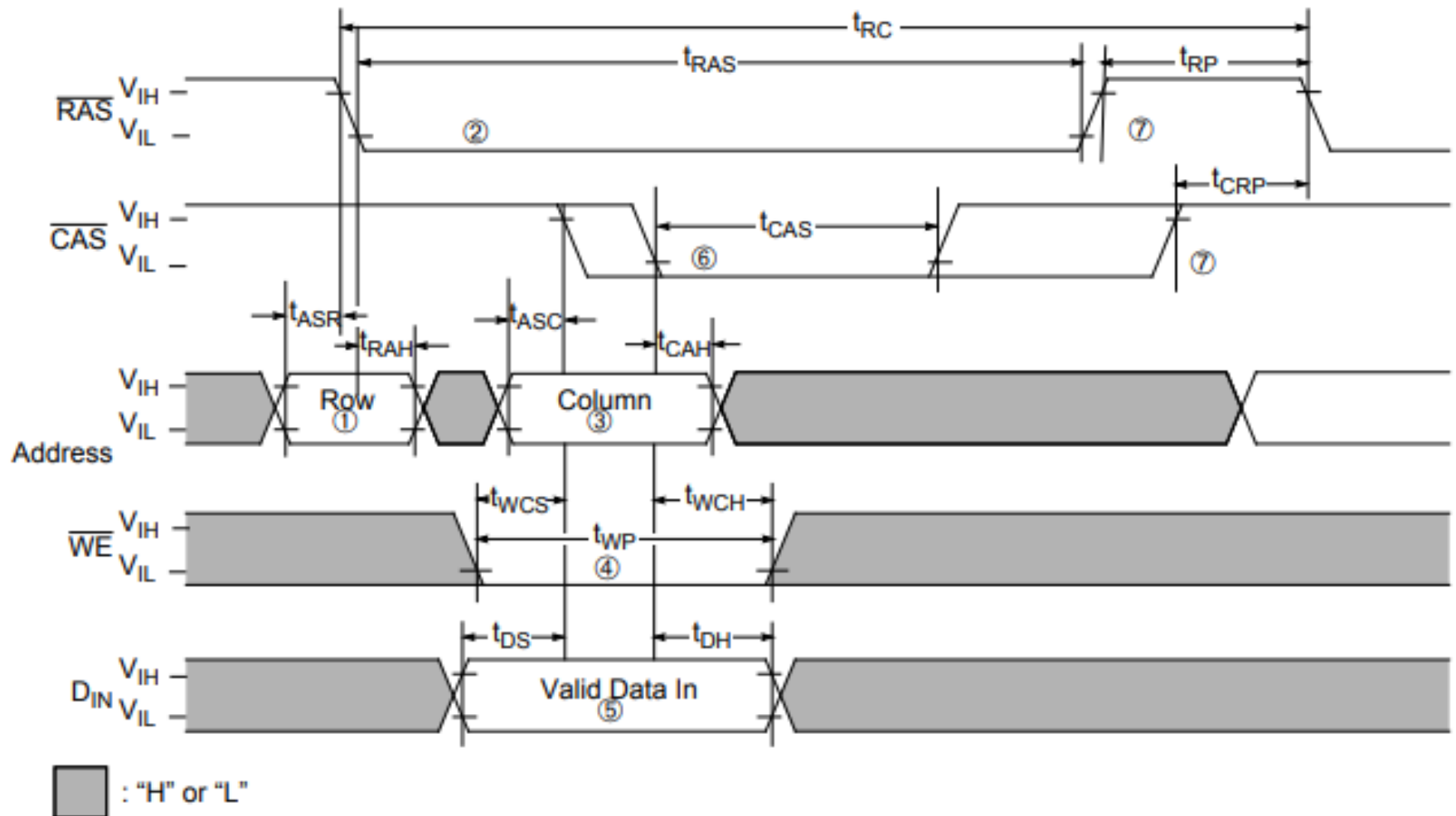


Ciclul de scriere

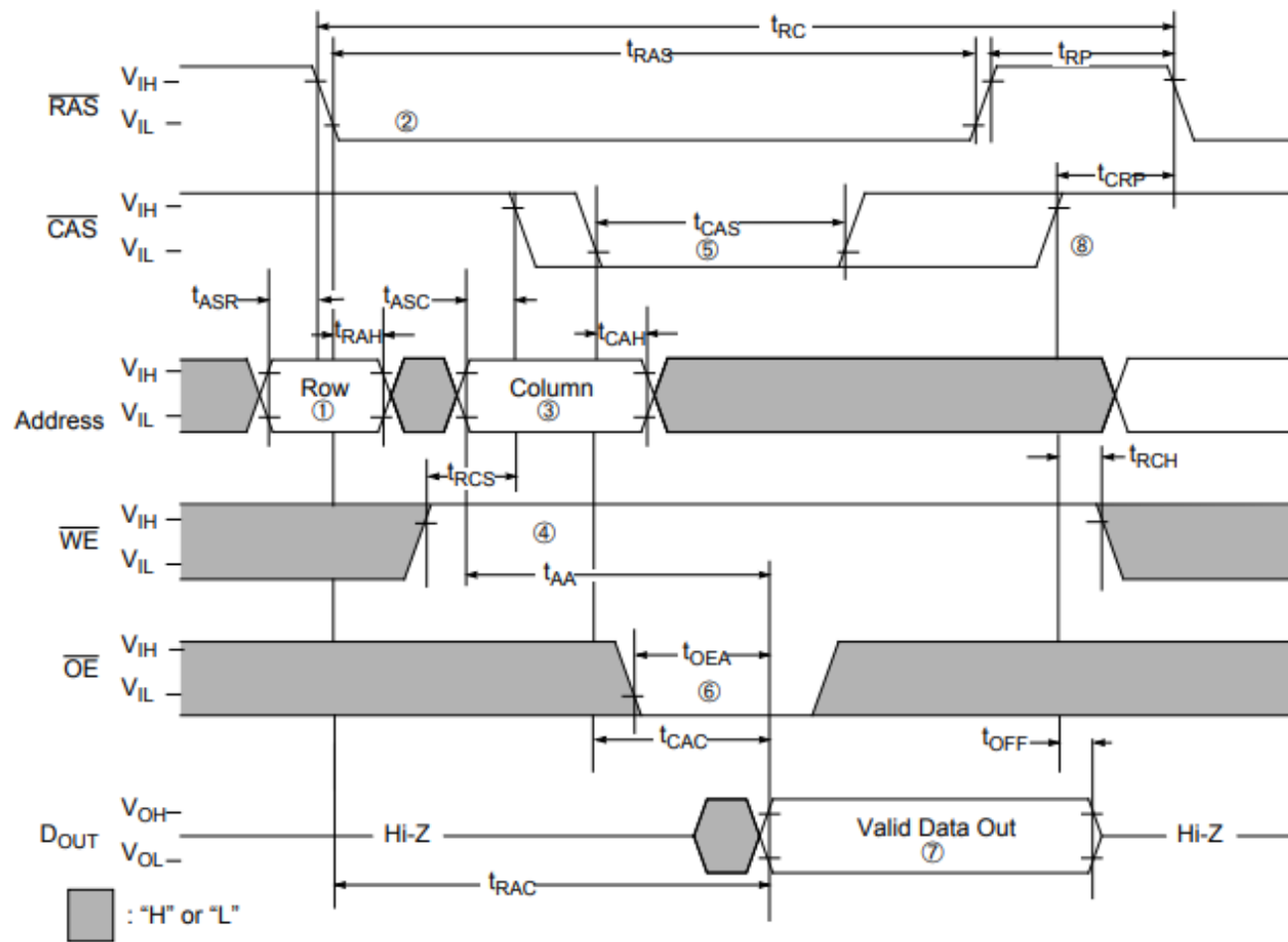


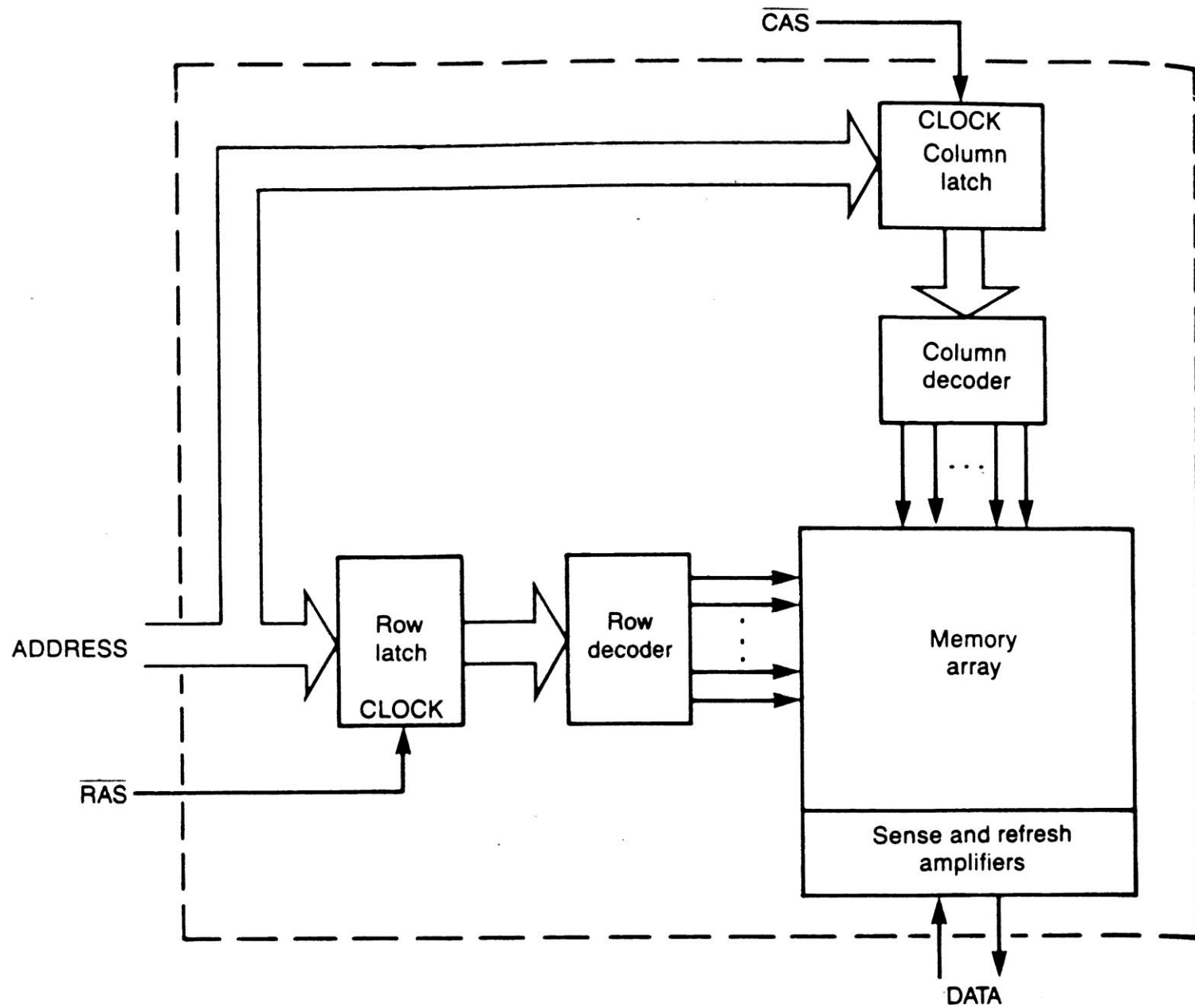
- Pentru circuitele DRAM

- semnalul de selecție circuit CE (*Chip Enable*) este înlocuit de două semnale de permisiune pentru accesul la liniile matricii de celule (semnalul **RAS** - *Row Access Strobe*) și respectiv la coloanele matricii (semnalul **CAS** - *Coloumn Access Strobe*), semnale ce sunt folosite si pentru logica de reîmprospătare a informației



- Circuitele DRAM necesită un ciclu suplimentar de reîmprospătare
- Avantajul circuitelor DRAM este capacitatea mare de integrare în detrimentul timpului de acces marit.
- Circuitele SRAM prezintă un timp de acces mic însă capacitatea de integrare este redusă.



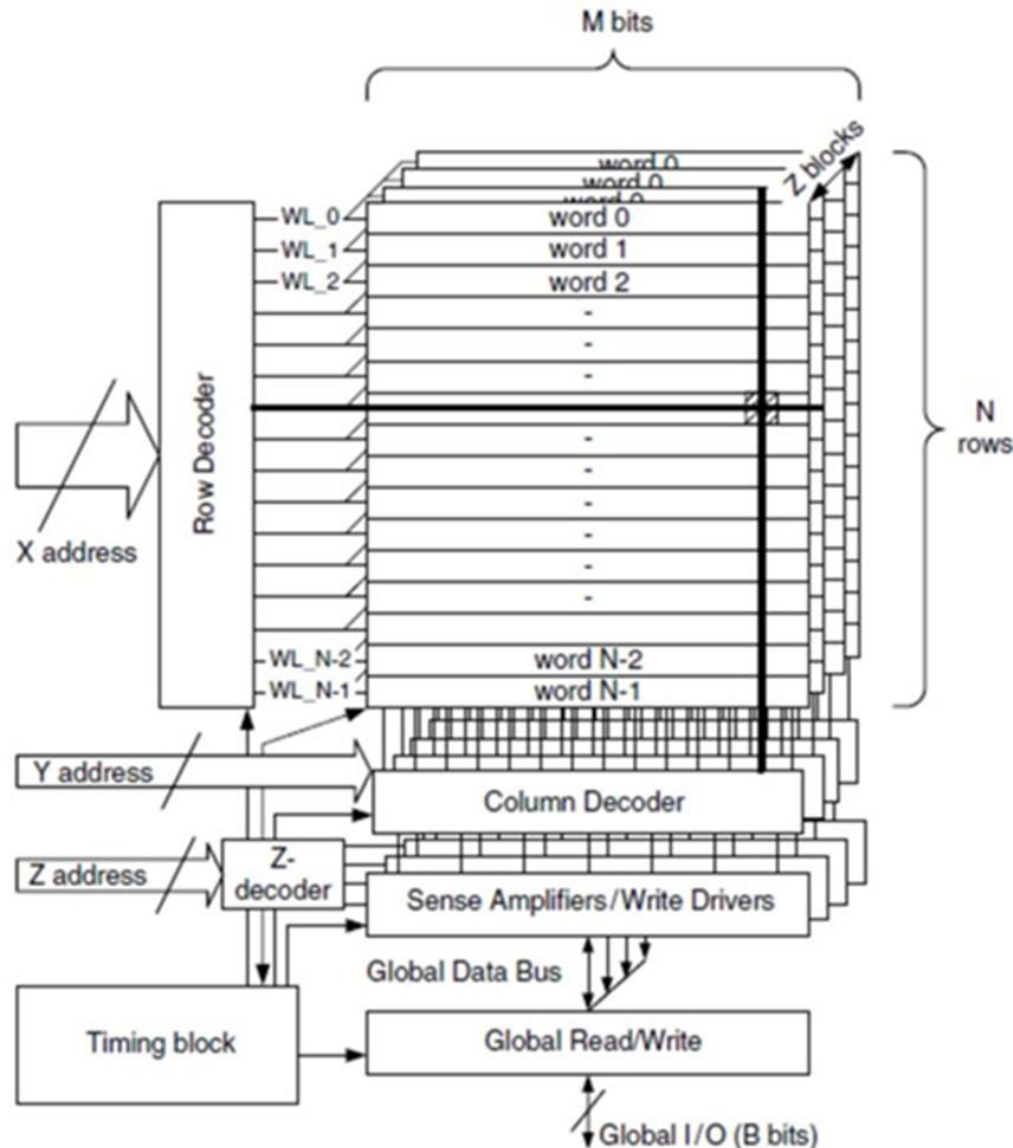


- Un modul tipic de memorie

- Organizat ca un tablou de circuite LSI, pentru a se obține capacitatea dorită de memorare (exprimată în număr de biți, număr calculat ca numărul de cuvinte de memorie înmulțit cu numărul de biți ai unui cuvânt de memorie; se folosește tradițional exprimarea capacității de memorare și în număr de octeți)

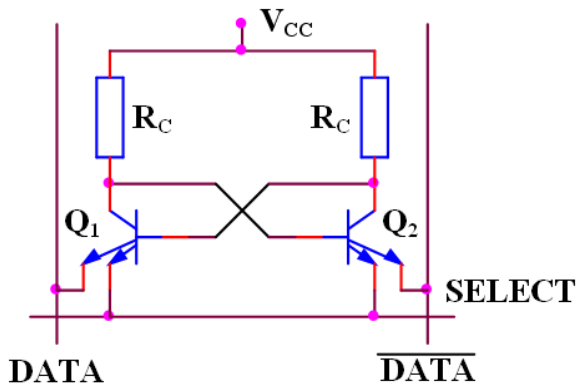
- Celulele de memorie conectate la aceeași linie de selecție de adresă constituie un cuvânt de memorie. Lungimea cuvântului de memorie variază, dar de obicei este multiplu de octet (*byte*).

- Pe lângă adresare, este nevoie de scrierea/citirea informației în/din memorie.
- Aceste trei elemente: celula de memorie, adresarea și citirea/scrierea, determină configurația celulei de memorie.

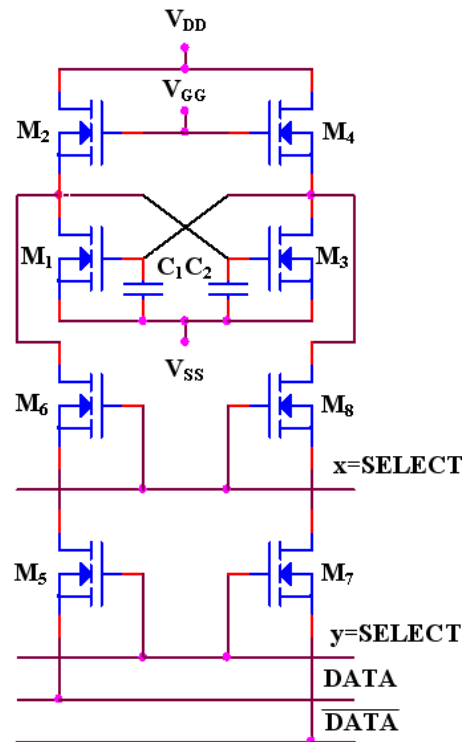


Celula de memorie SRAM

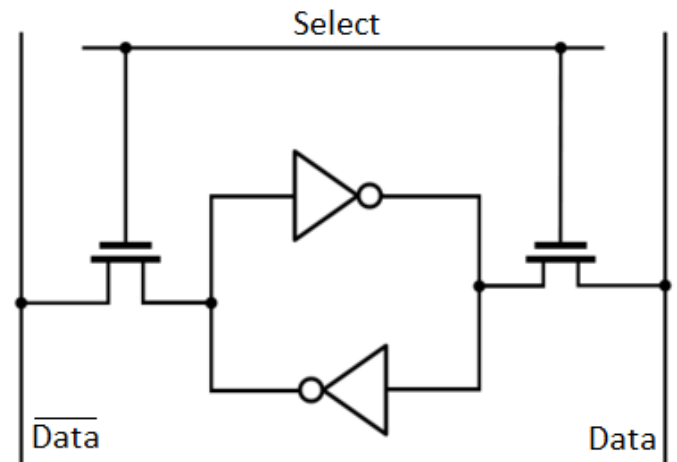
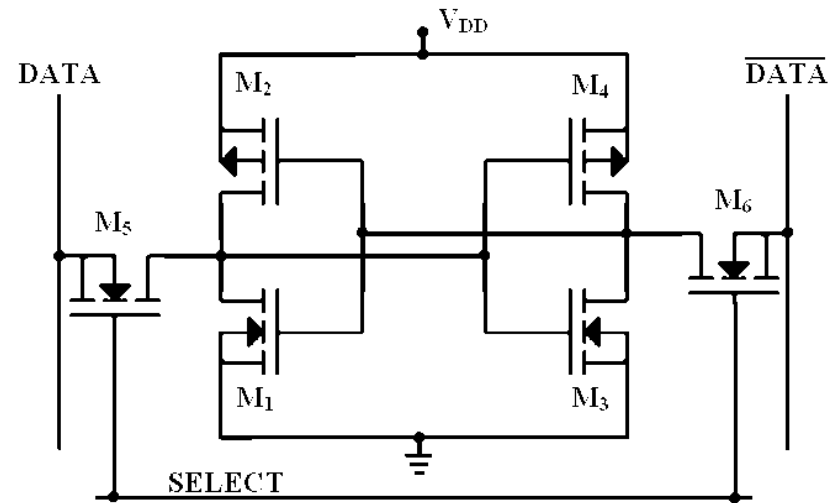
bipolară



NMOS



CMOS

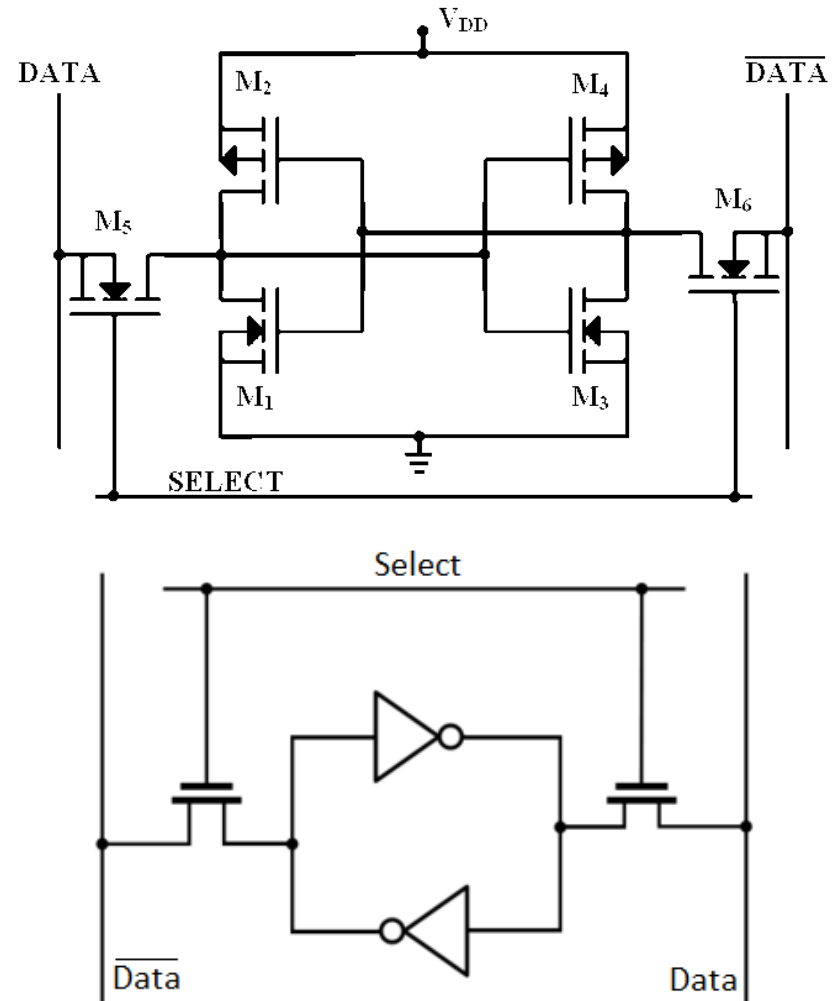


Celula de memorie SRAM CMOS

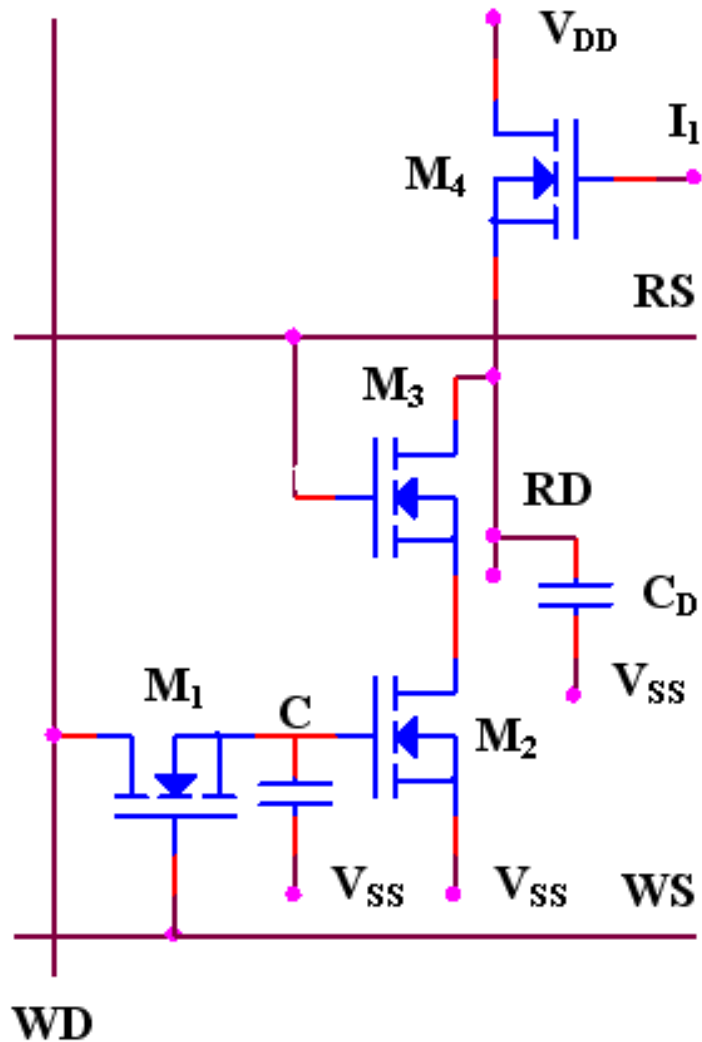
Bistabil realizat cu tranzistoarele M_1 , M_2 , M_3 și M_4 . Se folosește linia SELECT pentru selecție. Liniile DATA și \neg DATA sunt folosite pentru realizarea citirii și scrierii în celula de memorie.

Celula este citită prin emiterea de semnal ridicat pe intrarea SELECT care deschide tranzistoarele M_5 și M_6 fapt care permite citirea celulei de memorie.

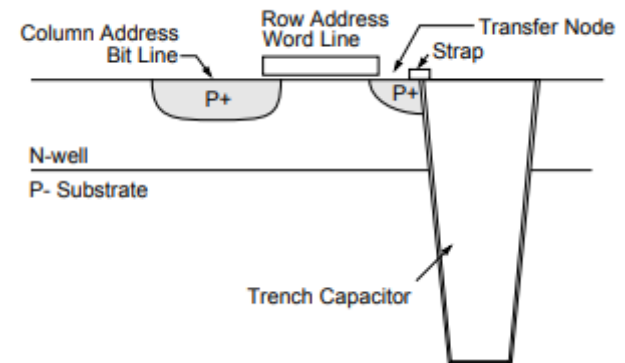
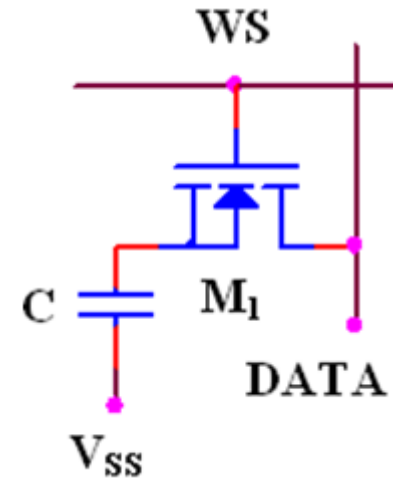
Scrierea este realizată prin emiterea de semnal ridicat pe intrarea SELECT care deschide tranzistoarele M_5 și M_6 fapt care permite inscrierea celulei de memorie.



Celula de memorie DRAM MOS cu trei tranzistori



cu un tranzistor

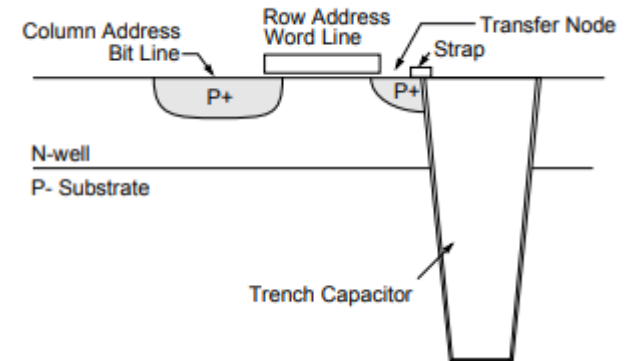
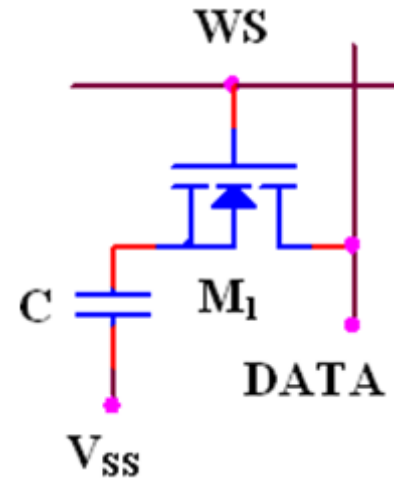


Celula de memorie DRAM MOS cu un tranzistor

Ciclul de citire: după activarea liniei WS (selecție cuvânt), sarcina de pe condensatorul C modifică potențialul pe linia DATA, acesta fiind sesizat de un amplificator

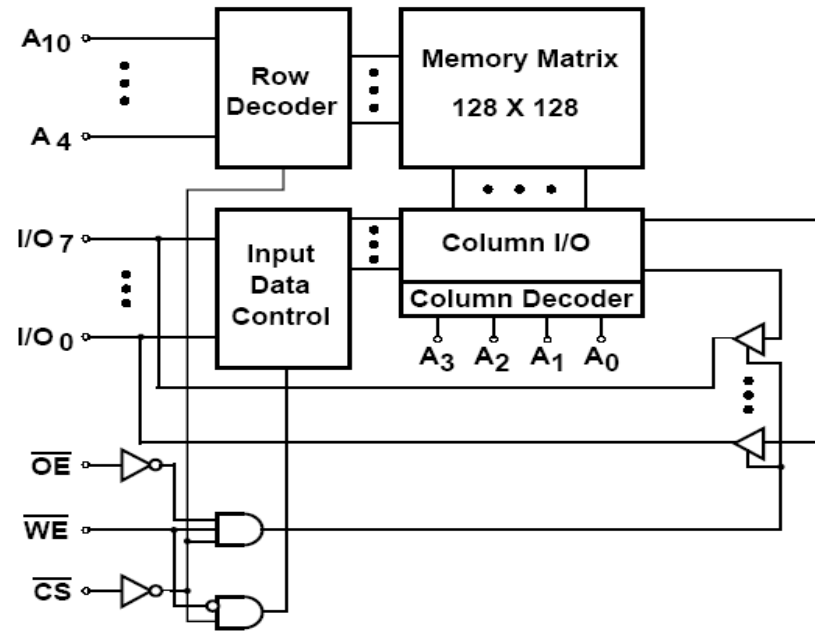
Ciclul de scriere: în condițiile activării liniei WS, condensatorul C se va încărca de la potențialul liniei DATA, prin tranzistorul M_1

Operația de citire este distructivă, celula trebuie să fie reîncărcată după fiecare ciclu de citire. Aceasta implică timpi adiționali și circuite de amplificare suplimentare.



Organizarea circuitului integrat de memorie

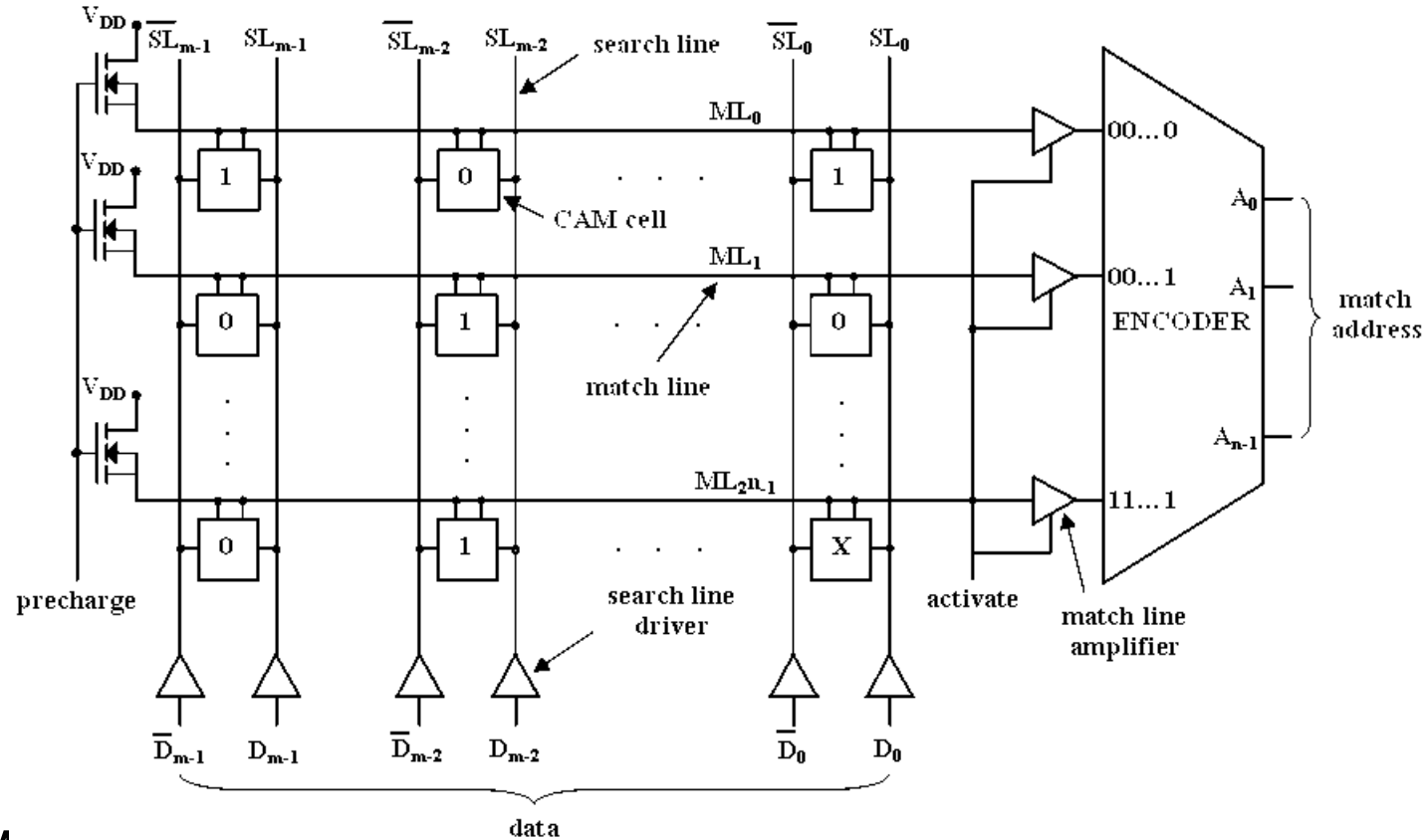
- Blocuri funcționale:
 - matricea de celule de memorie
 - circuite de decodificare a adreselor pentru selectarea celulei
 - un semnal de selecție a circuitului integrat (*chip select*)
 - amplificatoare pentru scriere
 - amplificatoare pentru citire
 - circuite tampon pentru ieșiri, de tip open-collector sau cu trei stări, pentru posibilitatea interconectării circuitelor
 - pentru celulele MOS dinamice se prevede suplimentar circuitul de reîmprospatare



CAM Introdúcere

- dispozitive de cautare hardware; pe liniile de date se introduce cuvântul pentru care se face cautarea, memoria furnizând adresa locației care conține cuvântul respectiv
- construcție:
 - memorie RAM
 - circuite de comparație
- aplicabilitate:
 - echipamente pentru rețele de calculatoare
 - cache procesoare
 - acceleratoare pentru baze de date
- clasificare:
 - binare (memorează și caută stările '0' și '1')
 - ternare (memorează și caută stările '0', '1' și 'X')

Arhitectura CAM



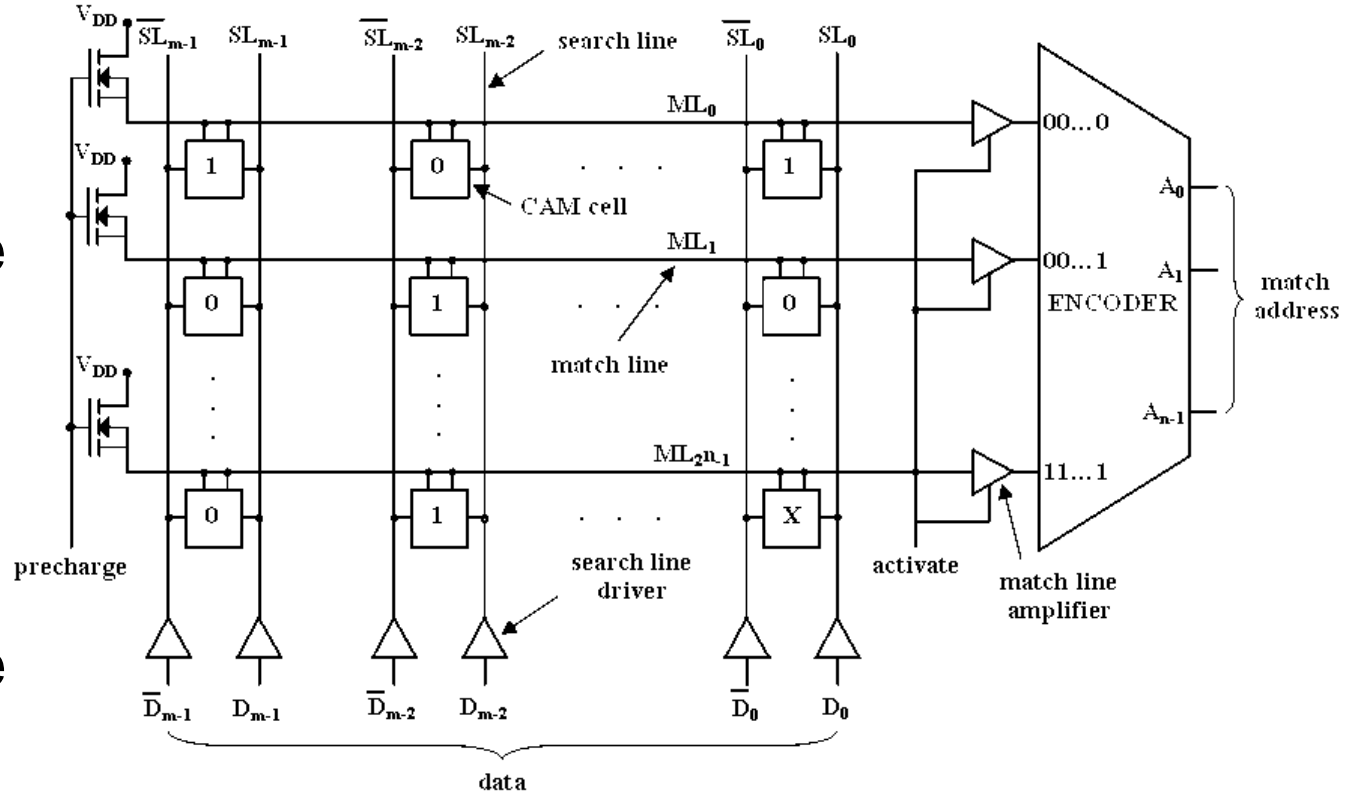
$2^n \times m$ celule CAM

Celula CAM contine circuite pentru memorarea si compararea informatiei

Liniile search transmit celulelor CAM cuvantul care trebuie comparat

Liniile match indica daca s-a gasit sau nu o corespondenta intre cuvantul transmis de liniile search si adresa de memorie corespunzatoare

Starea logica 1 a
liniei match
defineste gasirea
unei corespondente
intre cuvantul care
trebuie comparat si
locatia respectiva
de memorie; lipsa
acestei
corespondente este
reprezentata de
starea logica 0



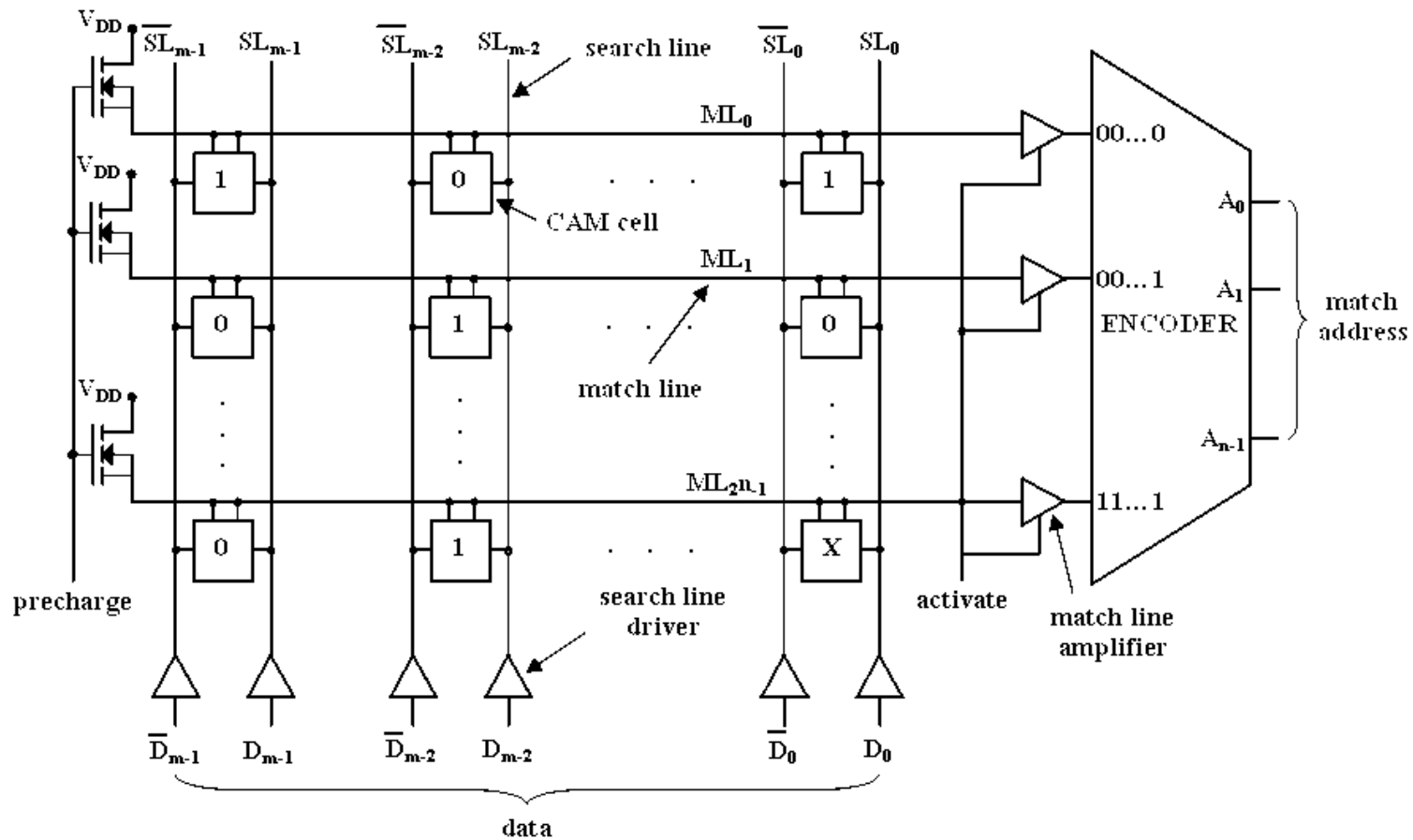
Codificatorul genereaza adresa locatiei de memorie pentru care s-a gasit o corespondenta

Pentru liniile search si match se folosesc drivere si respectiv amplificatoare

Semnalul precharge seteaza toate liniile match in '1'

Semnalul activate permite transmiterea starii liniei la codificator

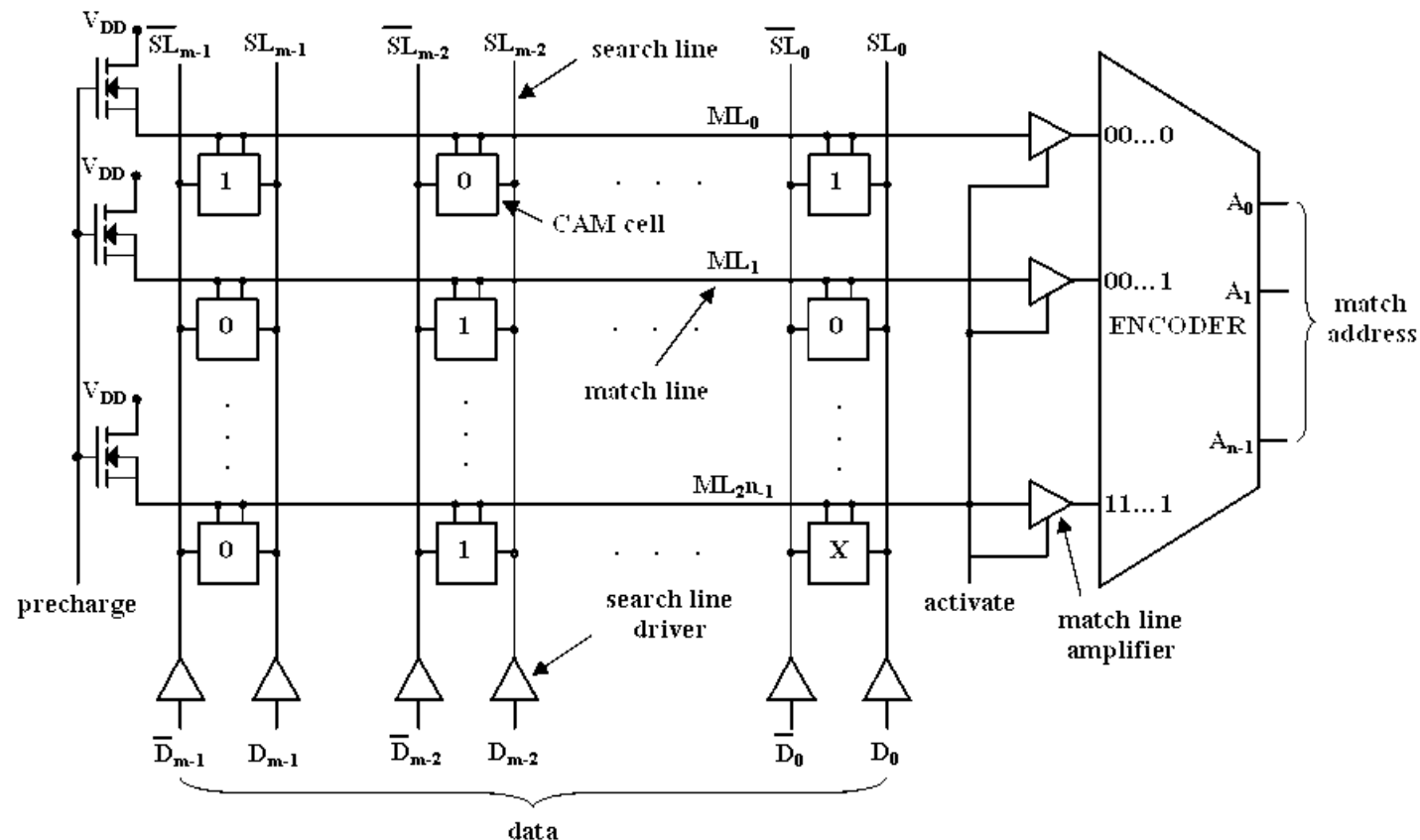
Operarea CAM



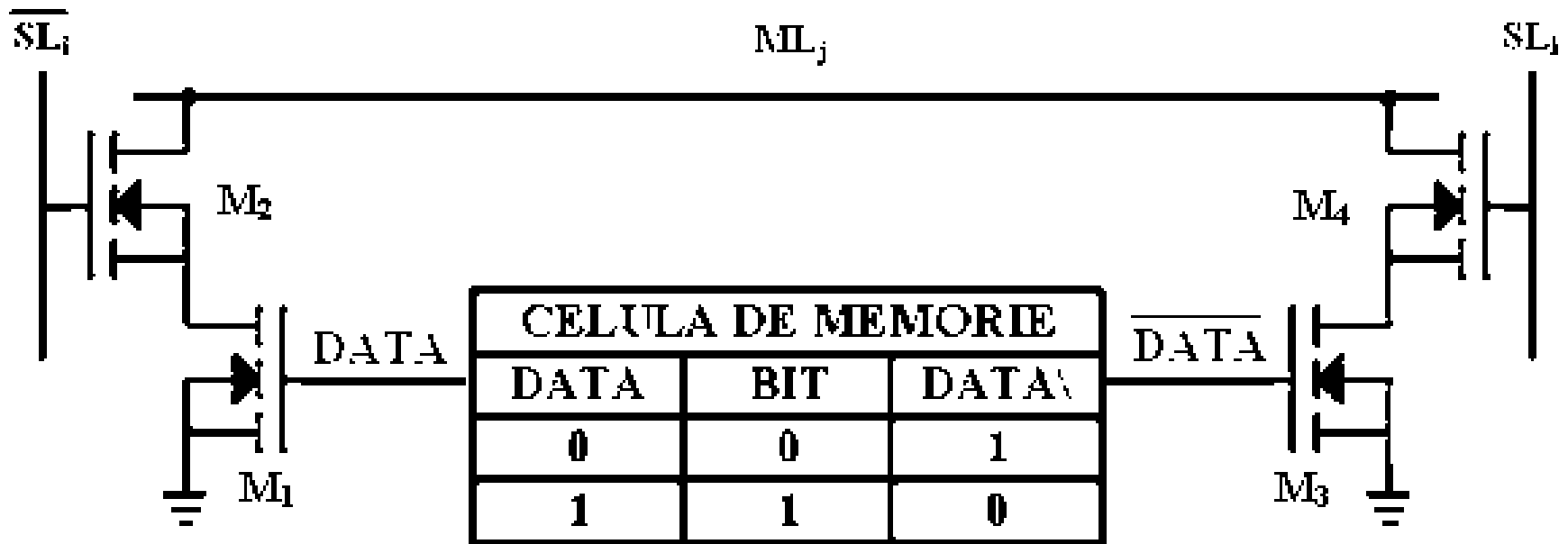
1. Toate liniile match sunt preincarcate la valoarea logica 1 prin activarea semnalului precharge
2. Drivele liniilor search transmit informatia care trebuie regasita

3. Celulele CAM pentru care exista corespondenta cu informatia aflata pe liniile search sau memoreaza starea X nu vor afecta starea logica a liniilor match; celulele CAM pentru care nu exista corespondenta cu informatia aflata pe liniile search vor comuta liniile match in '0'. Astfel, daca un singur bit al unui cuvant memorat este diferit de linia search, linia match va fi in '0'; liniile match sunt in '1' doar daca toti bitii cuvantului corespund liniilor search

4. Codificatorul genereaza adresa locatiei de memorie pentru care informatia memorata corespunde informatiei cautate

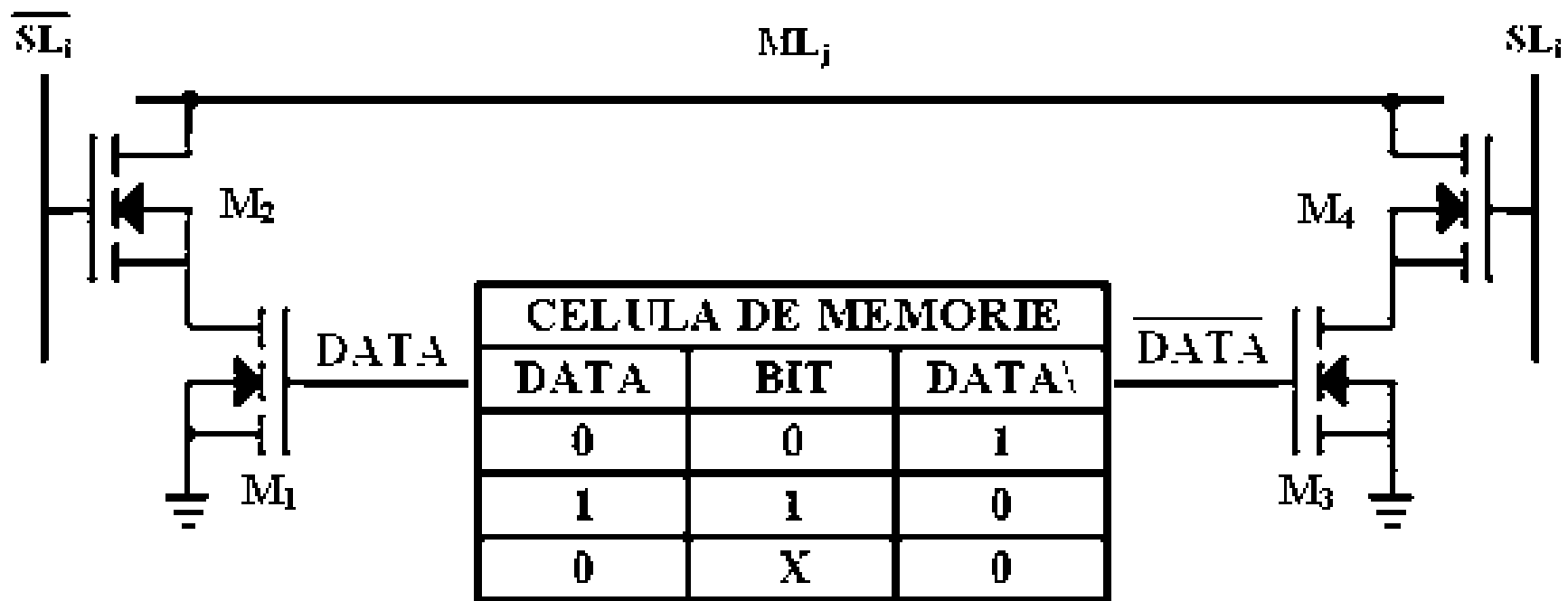


Celula de memorie CAM binară



- Compusa dintr-o celula de memorie si circuitele pentru comparare
- Daca $DATA='0'$ si $SL='0'$, M_1 si M_4 blocate, $ML='1'$
- Daca $DATA='1'$ si $SL='1'$, M_2 si M_3 blocate, $ML='1'$
- Daca $DATA='0'$ si $SL='1'$, M_3 si M_4 conduc, $ML='0'$
- Daca $DATA='1'$ si $SL='0'$, M_1 si M_2 conduc, $ML='0'$
- $ML = DATA \text{ XOR } SL$

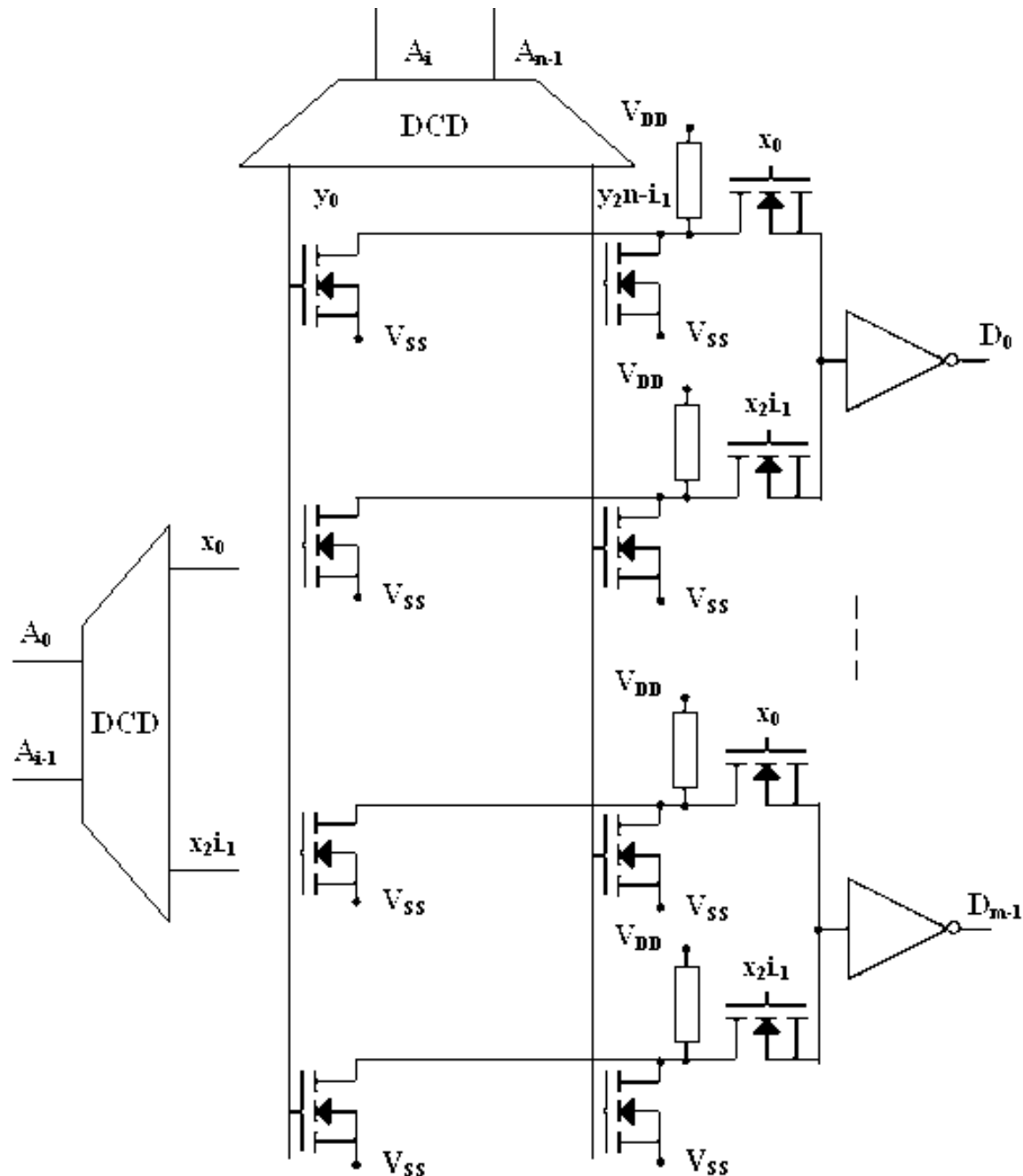
Celula de memorie CAM ternară



- Celula de memorie contine starea suplimentara X care presupune ca informatia transmisa pe liniile DATA si DATA\ este '0' motiv pentru care M_1 si M_3 sunt blocate, linia ML fiind '1' indiferent de starea liniilor search

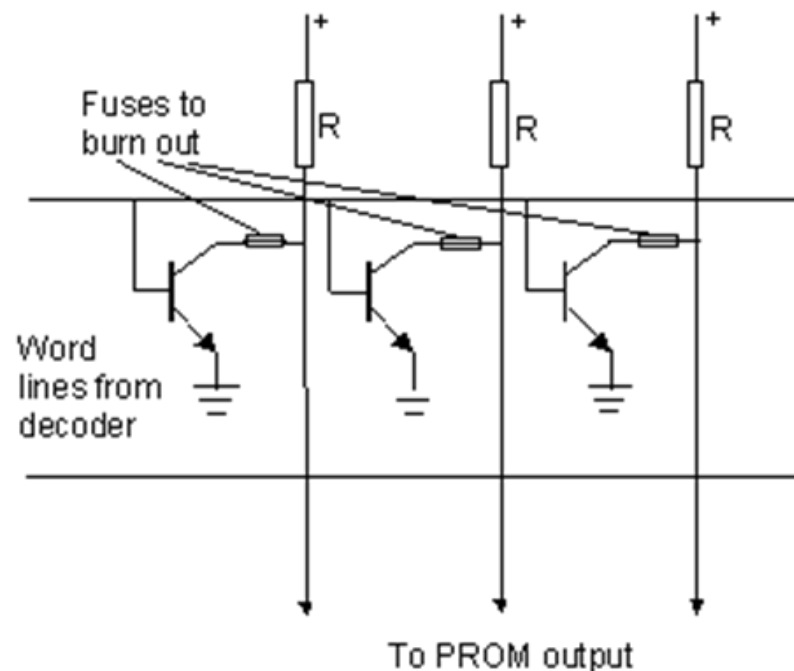
Memoria ROM realizată cu tranzistoare MOS

- matrice formată din linii și coloane, ieșiri ale unor decodificatoare de adrese
- la fiecare intersecție a unei linii cu o coloană, poate fi generată sau nu prin creștere epitaxială o poartă oxid după cum trebuie memorate valori logice '1' sau '0'



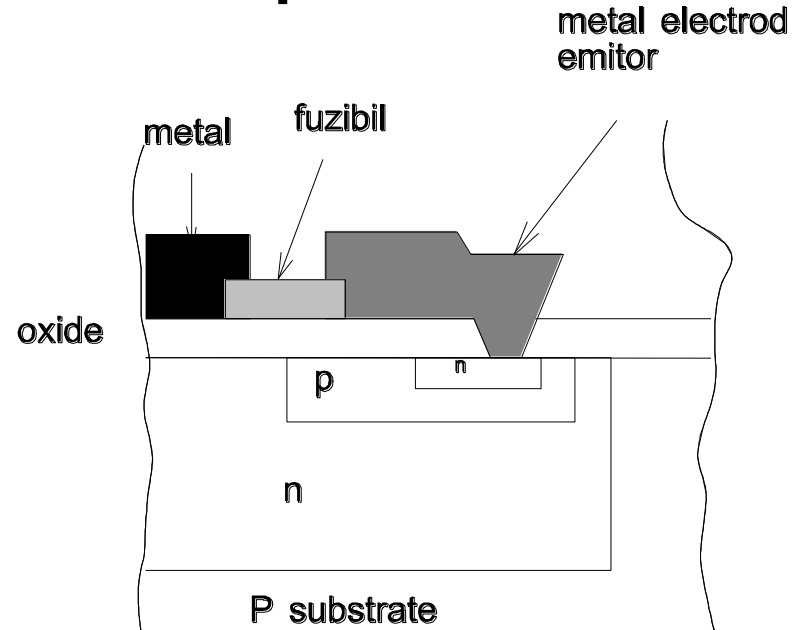
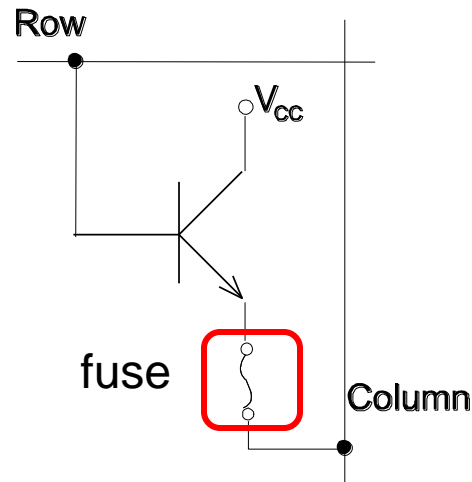
Memorii PROM

- Există două metode de bază pentru programarea celulelor:
- Fiecare celulă încorporează o legătură metalică (un fuzibil) la unul dintre electrozii săi. În timpul procesului de programare, această legătură poate sau nu să fie străpunsă, prin aplicarea unui impuls ridicat și de o durată specificată. Linia străpunsă definește o stare, cea nestrapunsă o altă stare a celulei de memorare.
- Fiecare celulă din matrice posedă un electrod, nerealizat înaintea programării. În timpul programării, prin intermediul curentului de programare, se generează o migrare indusă în avalanșă, care realizează o cale conductivă către acel electrod, definindu-se astfel o stare pentru realizarea căii conductive, și alta pentru nerealizarea ei.



Memorie PROM cu tranzistor bipolar

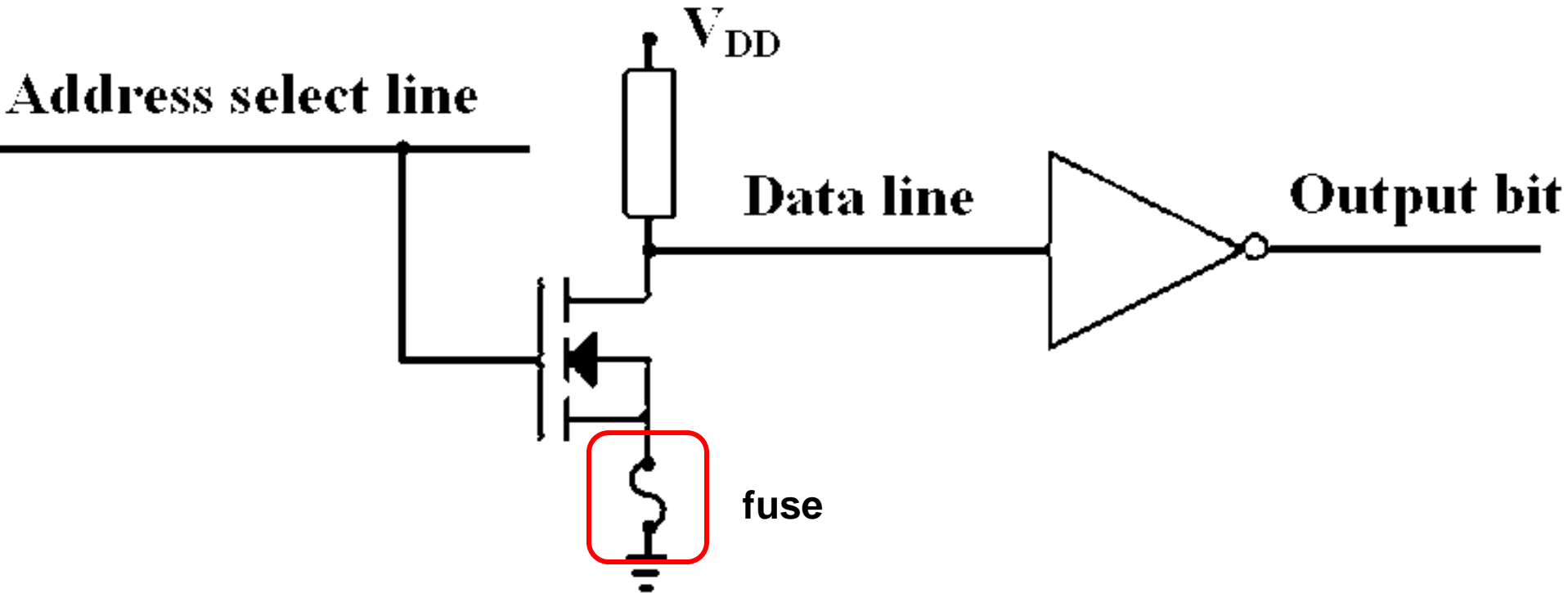
Schema și structura transversală a unei celule de memorie PROM realizată cu un tranzistor bipolar.



Baza tranzistorului este conectată la linia selectată prin adresare (linia matricii), colectorul la tensiunea de alimentare V_{CC} , iar emitorul este conectat prin intermediul fuzibilului la linia de date (coloană a matricii). Rezistivitatea fuzibilului este controlată prin procesul de dopare, astfel ca la apariția unui curent de emitor de 25mA, fuzibilul să fie străpuns, formându-se o insulă izolatoare care face imposibilă reconectarea.

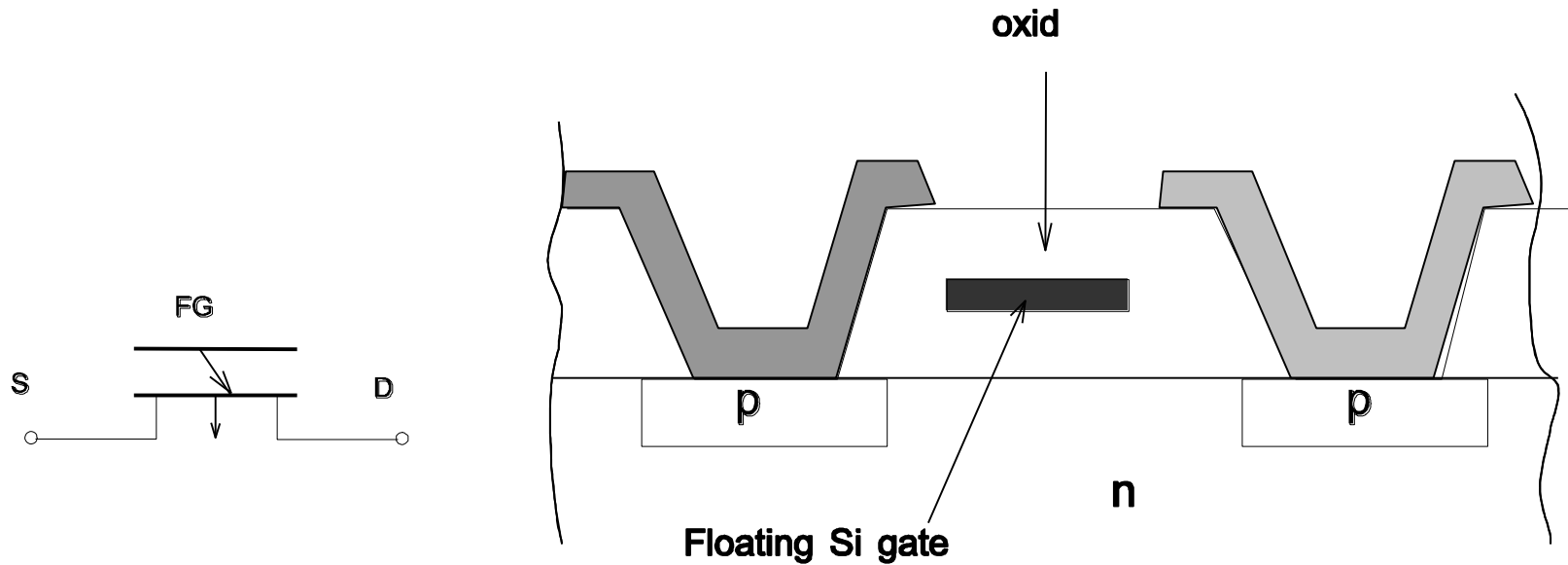
Tranzistorul în conducție implementează informația '1', iar tranzistorul în stare blocată reprezintă bitul '0'

Memorie PROM realizată cu tranzistor MOS



- poarta este legată la linia de selecție, drena la tensiunea liniei de date, iar sursa este legată către masă prin intermediul fuzibilului
- tranzistorul în conducție implementează informația '1', iar tranzistorul în stare blocată reprezintă bitul '0'

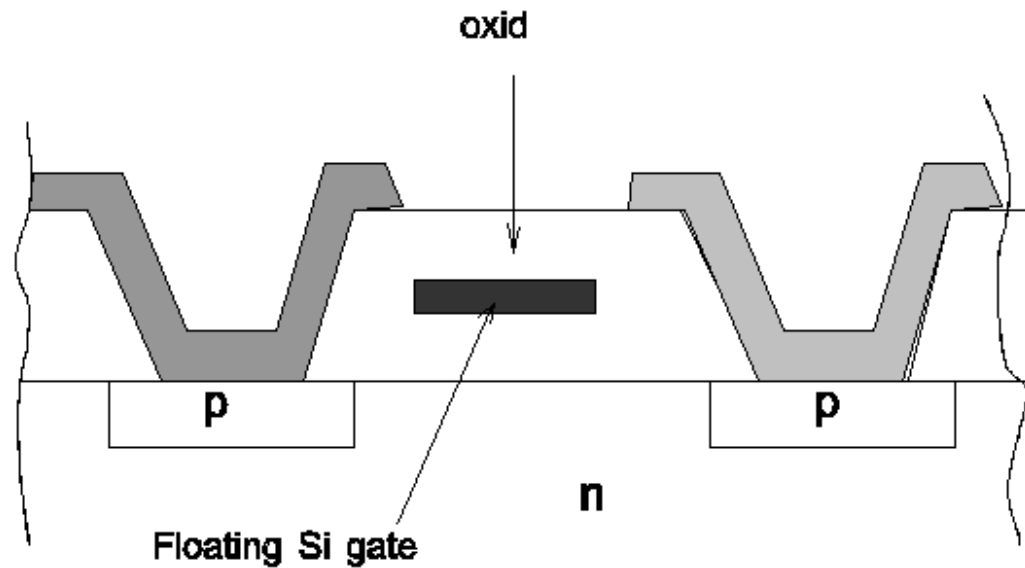
Memorii REPR0M



Un exemplu de realizare a celulei de memorie REPR0M îl constituie dispozitivul MOS cu stocare de sarcină și poartă flotantă (*floating-gate avalanche-junction MOS charge-storage device*).

Figura reprezintă simbolul dispozitivului cu canal de tip p, cu poartă flotantă, și o secțiune transversală a acestui dispozitiv, ce constituie o celulă de memorie REPR0M

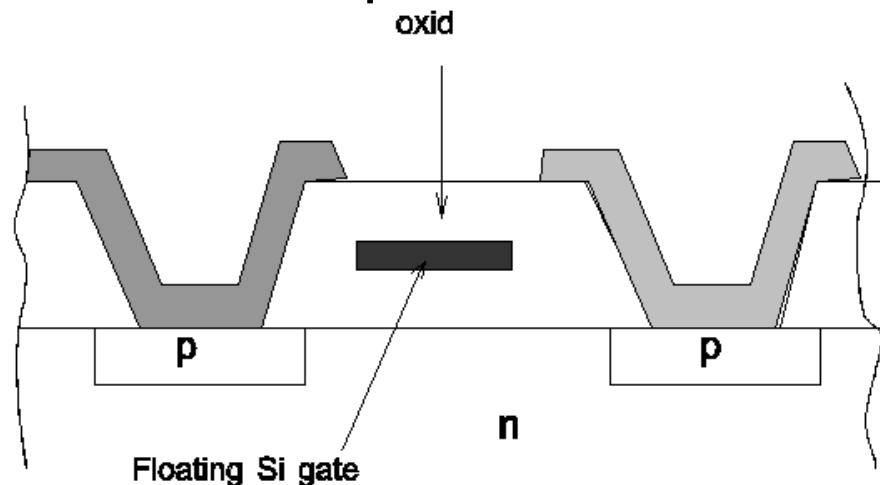
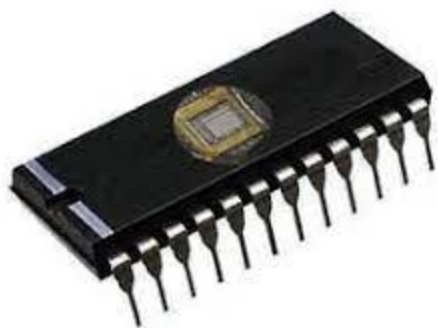
Dacă din exterior se aplică (o perioadă limitată) un câmp de potențial ridicat negativ între electrozii drenă și sursei joncțiunea drenă-substrat va fi puternic polarizată și se va produce fenomenul de avalanșă, electronii din substratul de bază fiind puternic accelerați înspre drena de tip **p**.



O parte din acești electroni vor străpunge stratul subțire de oxid ce desparte poarta de substrat, în poartă acumulându-se o sarcină negativă. La oprirea câmpului de polarizare, această sarcină stocată în poartă va rămâne acolo, din cauza stratului izolator. Se crează astfel un strat invers între sursă și drenă, schimbându-se astfel regimul de conductanță între sursă și drenă. Acumularea de sarcină în poartă semnifică din punct de vedere logic informația '0', iar absența sarcinii semnifică '1'.

Ștergerea informației se poate face în două moduri.

Memoria REEPROM cu ștergerea pe bază de raze X, numită UVEEPROM. Prin expunerea circuitului integrat la o sursă de ultraviolete (lucru posibil datorită existenței unei ferestre de cuarț), se generează un fotocurent ce va descărca poarta flotantă de sarcina negativă acumulată.



Memoria REEPROM cu proces de ștergere electric, numită EEPROM, caracterizată prin adăugarea unui strat metalic (formarea unui electrod, sau formarea celei de-a doua porți), la suprafața stratului de oxid, deasupra porții flotante. În acest caz, procesul de înscriere se datorează și aplicării unui potențial pozitiv la acest electrod, care va face ca rata electronilor ce se acumulează în poarta flotantă să crească. Pentru ștergere, se aplică la acest electrod un potențial negativ, ce va avea ca efect acumularea în poarta flotantă de goluri care se vor combina cu electronii existenți, descărcând-o de sarcina negativă.

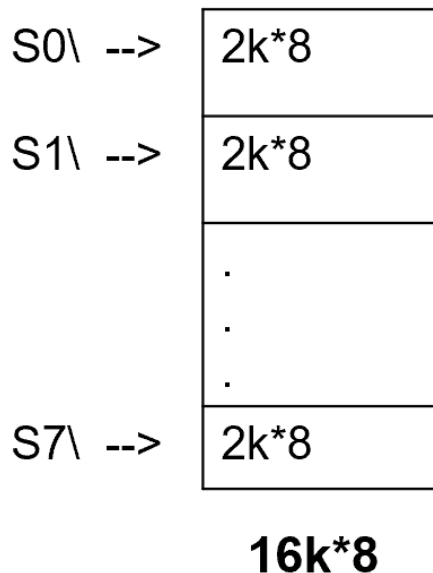
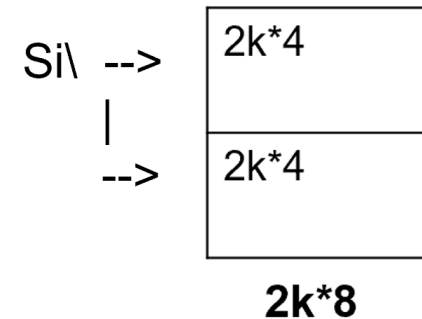
Probleme propuse

- Sa se proiecteze un bloc de memorie RAM static avand urmatorii parametri:
 - capacitate: 16384×8
 - structura: 8 biti
 - adresa de inceput: C000H
 - circuite de memorie: 2048×4
 - magistrala sistemului: 16 linii de adresa, 8 linii de date, RD\, WR\
 - blocul de memorie incarca magistrala sistemului cu o sarcina HCT

- Bloc de memorie
 - capacitate: 16384×8
 - structura: 8 biti
 - circuite de memorie: 2048×4

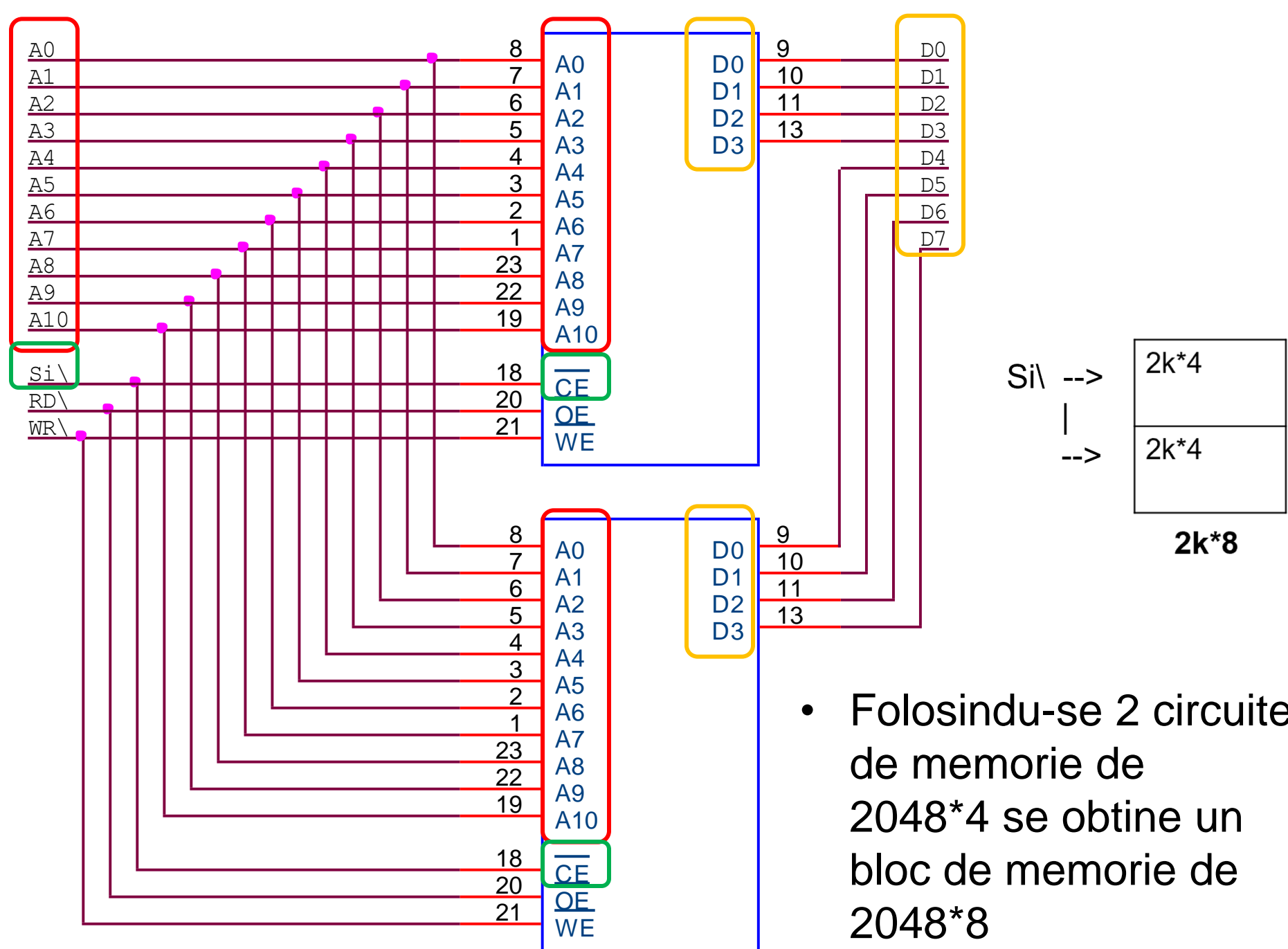
- Pas 1

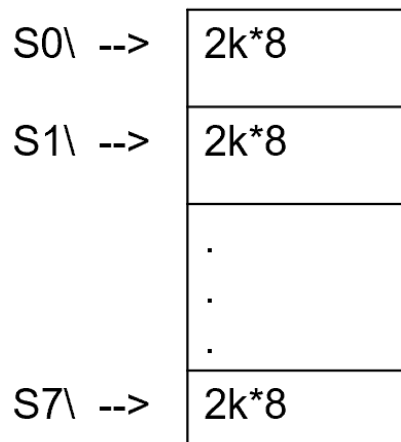
-Extindere dimensiune cuvânt folosind conectare serială a circuitelor de memorie



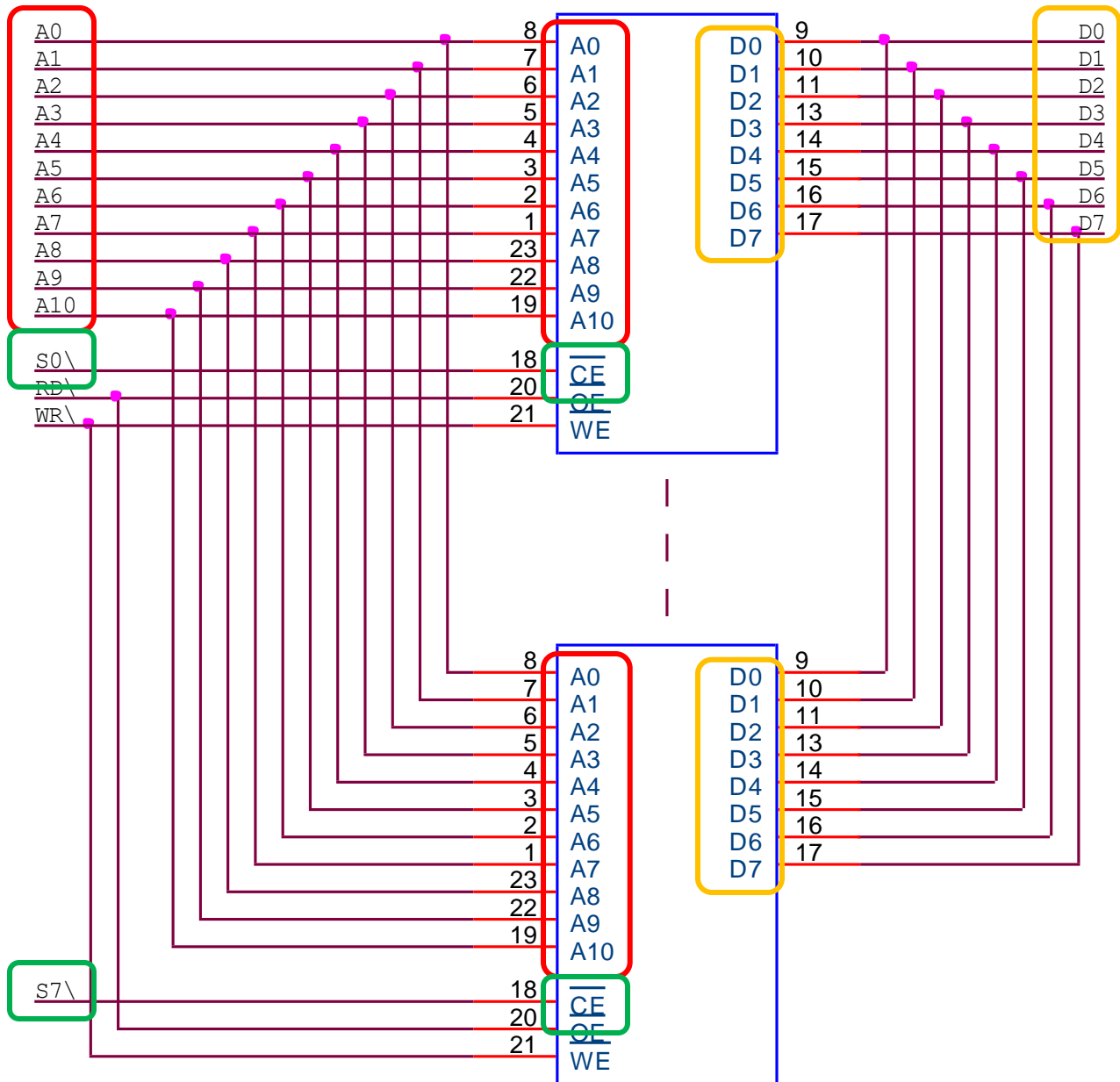
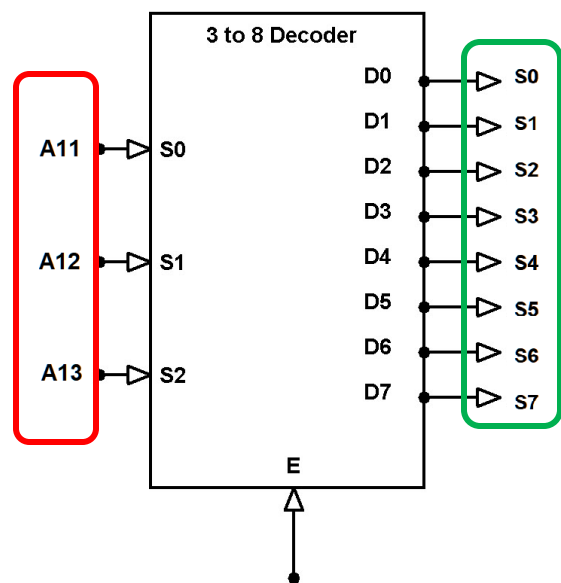
- Pas 2:

- Extindere adâncime memorie folosind conectare paralelă a circuitelor de memorie





16k*8

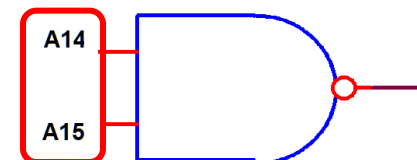
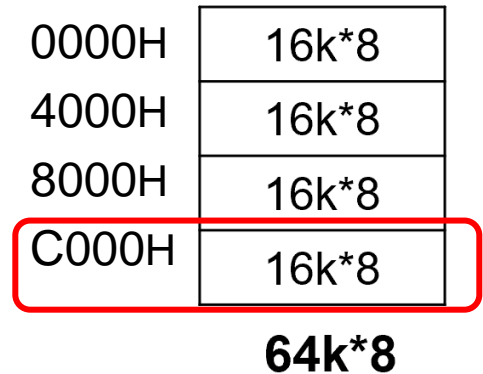


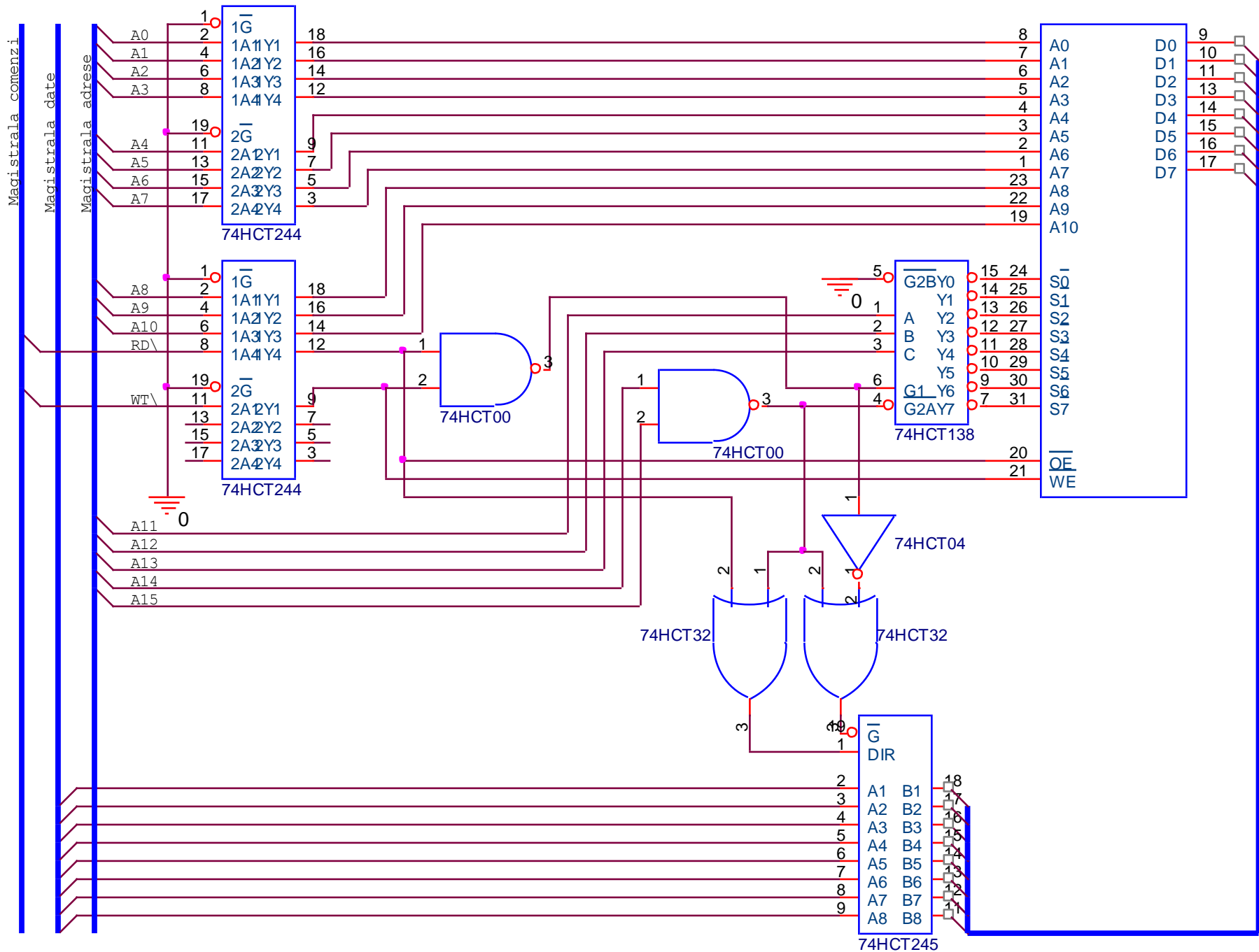
- Folosindu-se 8 blocuri de memorie de 2048×8 se obtine un bloc de memorie de 16384×8

- Bloc de memorie:
 - capacitate: 16384×8
 - adresa de inceput: C000H
 - magistrala sistemului: 16 linii de adresa, 8 linii de date, RD\, WR\
- 16 linii de adresa (A0...A15)
 - poate adresa o memorie de pana la 65536×8 ($64k \times 8$)
- blocul de memorie: 16384×8 ($16k \times 8$)
 - foloseste 14 linii de adresa (A0...A13)
- adresa de inceput: C000H
 - selectia va fi decisa de A14 si A15 (DCD va fi activat cu 0 logic doar cand blocul este selectat)
 - C000H = 1100 0000 0000 0000

\nearrow
A14

\nearrow
A15





Probleme propuse

- Sa se proiecteze un bloc de memorie RAM static avand urmatorii parametri:
 - capacitate: 32768×16
 - structura: 16 biti
 - adresa de inceput: 8000H
 - circuite de memorie: 4096×4
 - magistrala sistemului: 16 linii de adresa, 16 linii de date, RD\, WR\
 - blocul de memorie incarca magistrala sistemului cu o sarcina HCT