

### Exemple de probleme de PSN - 2023

1. Să se determine automatul cu număr redus de stări pentru următorul automat complet definit.  
Să se codifice stările automatului redus.

S\X	1	2	3	4
1	2/0	3/0	6/1	4/1
2	8/0	5/1	6/1	2/0
3	6/1	1/0	3/1	2/1
4	6/0	1/1	8/1	4/0
5	4/0	6/0	3/1	2/1
6	3/1	1/0	8/1	2/1
7	8/0	5/1	3/1	7/0
8	6/1	5/0	6/1	4/1

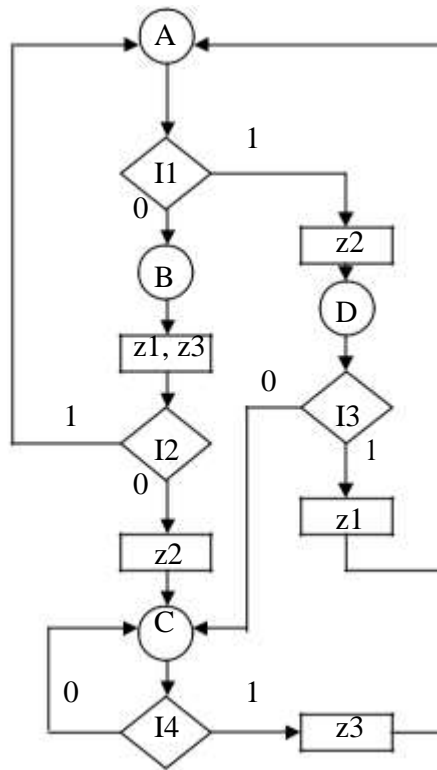
2. Să se determine automatul cu număr redus de stări pentru următorul automat incomplet definit:

S\X	1	2	3	4
1	2/-	3/0	-/1	4/-
2	-/0	5/0	7/1	-/0
3	4/-	-/-	3/1	4/-
4	5/-	3/0	-/-	1/-
5	-/-	6/0	7/-	-/1
6	-/0	-/1	5/-	2/-
7	3/1	-/-	1/0	-/1

3. Să se identifice automatul:

	0	1
A	B,0	D,1
B	C,1	D,0
C	C,1	A,1
D	A,0	B,1

4. Să se implementeze (**schema bloc + conținut memorie**) prin metoda adresării pe stare cu format variabil automatul sincron descris prin organigrama:



5. Un automat asincron are intrările I1 și I2 și ieșirile Z1 și Z2 și funcționează după următorul ciclu de funcționare: în starea inițială atât intrările cât și ieșirile automatului sunt la valoarea 0 logic. Intrarea I1 se modifică întotdeauna prima la valoarea 1 logic. Ieșirea Z1 ia valoarea 1 logic doar când intrarea I2 ia valoarea 1 logic și intrarea I1 are valoarea 1 logic și se menține în această stare până când intrarea I1 se modifică la valoarea 0 logic. Ieșirea Z2 ia valoarea 1 logic doar când intrarea I2 ia valoarea 0 logic și se menține în această stare până când intrarea I1 se modifică la valoarea 0 logic. Intrările I1 și I2 nu se pot modifica simultan. Să se sintetizeze automatul eliminând eventualele curse critice apărute.

6. Să se determine eventualele curse critice pentru automatul asincron rapid care are intrările  $x_1$  și  $x_2$  și ieșirea  $z$  și respectă următorul regim de funcționare: ieșirea  $z$  ia valoarea 1 dacă intrarea  $x_1$  are valoarea 1 și intrarea  $x_2$  ia valoarea 1; ieșirea  $z$  ia valoarea 0 dacă intrarea  $x_1$  ia valoarea 0 după ce intrarea  $x_2$  ia valoarea 0.

7. Se dă automatul cu următorul tabel de tranziții. Să se determine prin metoda de reconstrucție bilaterală dacă automatul are sau nu pierderi și secvența de intrare care, din starea inițială A duce automatul în starea finală F, iar secvența de ieșire obținută este **011101**.

	0	1
A	B,0	A,0
B	C,1	E,1
C	G,0	D,1
D	F,0	C,1
E	E,0	H,1
F	D,0	G,1
G	F,1	C,0
H	E,1	H,0

8. unitate de comandă microprogramată are în repertoriul ei de microinstrucțiuni următoarele 2 microinstrucțiuni:

**DO OP AND GOTO ADR**  
**IF test\_var = 0 THEN GOTO ADR0**  
**ELSE GOTO ADR1**

Programul unității de comandă este următorul:

Adresă	Instrucțiune
0	<b>DO OP1 AND GOTO 1</b>
1	<b>DO OP2 AND GOTO 2</b>
2	<b>DO OP3 AND GOTO 3</b>
3	<b>DO OP4 AND GOTO 4</b>
4	<b>IF A = 0 THEN GOTO 0</b> <b>ELSE GOTO 5</b>
5	<b>DO OP5 AND GOTO 6</b>
6	<b>DO OP6 AND GOTO 7</b>
7	<b>IF B = 0 THEN GOTO 2</b> <b>ELSE GOTO 8</b>
8	<b>DO OP7 AND GOTO 9</b>
9	<b>DO OP8 AND GOTO A</b>
A	<b>DO OP9 AND GOTO 0</b>

Să se determine automatul care are nevoie de aceasta unitate de comanda, sa se reduca si sa se implementeze in VHDL.

9. Se dau automatele liniare inerte directe pe **GF(3)**, descrise de funcțiile de transfer:  $T_1 = 1 + 2D + 2D^2$  și  $T_2 = 1 + 2D$ . Să se conecteze cele două automate în paralel și să se deseneze schema automatului liniar rezultat. Să se determine pentru automatul liniar rezultat răspunsul la impuls și secvența nulă. Să se implementeze automatul liniar inert rezultat cu circuite logice corespunzătoare.

10. Se dă automatul liniar descris de funcția de transfer  $T = 2 + D + 2D^3$ , pe **GF(3)**. Să se determine:

- schema logică a automatului, cu componente elementare;
- răspunsul la impuls  $h$  și răspunsul automatului la secvența de intrare 121002;
- secvența nulă  $x_0$ ;
- automatul invers.

11. Să se construiască automatul liniar cu funcție de transfer rațională, care generează ieșirea  $z$  ca suma modulo 2 a intrării prezente  $x$  și a intrărilor anterioare cu 2, 4 și 5 unități de timp, precum și a ieșirilor anterioare cu 1, 3 și 4 unități de timp (pe **GF(2)**).

12. Să se obțină rețeaua iterativă unilaterală care generează răspunsul la orice secvență de intrare de lungime 8 pentru automatul:

	0	1
A	B,11	C,01
B	C,01	D,11
C	B,00	A,01
D	A,10	D,00

Să se exemplifice obținerea răspunsului rețelei la secvența de intrare 01101100.

**13.** Să se implementeze în VHDL **schema generală** a unui automat sincron cu adresare pe stare cu adresă pereche.

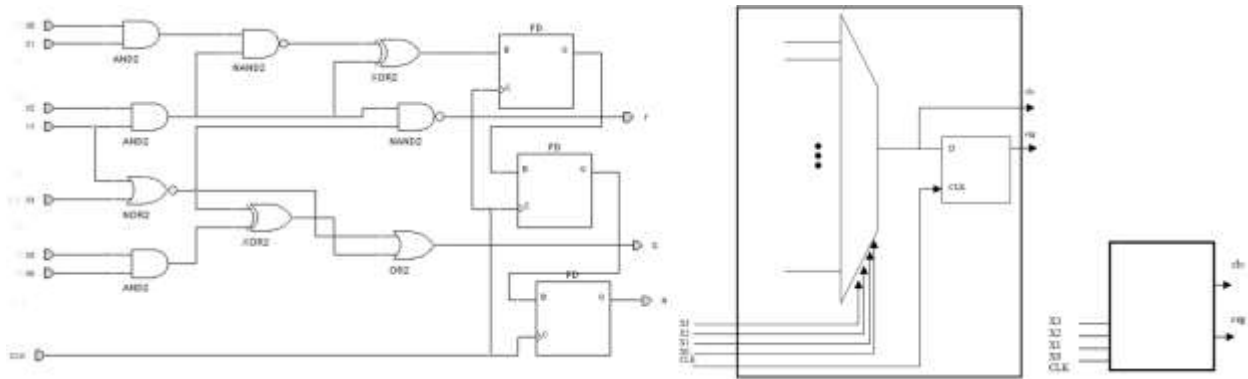
**14.** Codificarea starilor unui automat pe baza:

- Metodei aproximative
- Metoda partitiei starilor

**15.** FPGA

- Diferențe FPGA – ASIC; GPU, microcontroller etc.
- Structura FPGA – CLB, LUT, Interconnect
- Etapele generării circuitului – Sintetizare, Implementare

**16.** Realizați maparea circuitului de mai jos (stanga), folosind CLB-uri care contin un LUT 4:1 și un bistabil D (dreapta)



**Observație:** Orice problemă din cursul de PSN poate deveni problemă de rezolvat în VHDL!!!