

Subiecte VHDL 2023
(Editare, compilare, simulare – în Active HDL)

1. Descriere **comportamentală** pentru convertor de cod din BCD în Exces 3. Mesajele de eroare se vor afișa în consolă.
2. Descriere **structurală** pentru convertor de cod din BCD în Gray. Mesajele de eroare se vor afișa în consolă.
3. Descriere **comportamentală** pentru convertor de cod din 2421 în BCD. Mesajele de eroare se vor afișa în consolă.
4. Descriere **structurală** pentru convertor de cod din Exces 3 în BCD. Mesajele de eroare se vor afișa în consolă.
5. Codificator zecimal – BCD, cu intrări active pe 0 logic.
6. Descriere **flux de date** pentru decodificator BCD – zecimal.
7. Decodificator binar pe 4 biți, cu enable și ieșiri active pe 0 logic.
8. Descriere **concurentă** decodificator binar pe 3 biți.
9. Descriere **concurentă** MUX 2:1 cu calea de date pe 4 biți.
10. Descriere **concurentă** DEMUX 1:4.
11. MUX cu parametri generici – exemplificare pt. MUX 4:1.
12. DEMUX cu parametri generici – exemplificare pt. DEMUX 1:4.
13. Descriere **structurală** pentru comparator de egalitate pe 2 biți. Mesajele de eroare se vor afișa în consolă.
14. Descriere **structurală** pentru sumator-scăzător pe 1 bit.
15. Descriere **structurală** pentru scăzător complet pe 1 bit.
16. Unitate aritmetico-logică (+, -, x, /; SI, NU, SAU, SAU-EXCLUSIV).
17. Descriere **comportamentală** pentru memorie ROM 8 x 4 biți.
18. Descriere **comportamentală** pentru memorie RAM 8 x 4 biți.
19. Descriere **comportamentală** pentru bistabil JK sincron, cu intrări R,S asincrone.
20. Descriere **comportamentală** pentru bistabil T sincron, cu intrări R,S asincrone.
21. Numărător binar sincron pe 8 biți (operații: resetare, numărare, încărcare paralelă).
22. Numărător zecimal sincron pe 4 biți (operații: resetare, numărare, încărcare paralelă).
23. Numărător Moebius pe 8 biți cu bistabile D.
24. Numărător Moebius pe 8 biți cu bistabile JK.
25. Descriere **structurală** pentru numărător binar pe 4 biți utilizând numărător binar pe 2 biți.
26. Registru universal sincron pe 4 biți (operații: memorare, încărcare paralelă, deplasare dreapta, deplasare stânga, resetare).

27. Descriere **structurală** pentru generator de numere pseudoaleatoare pe 4 biți.
28. Memorie FIFO 8 x 4 biți.
29. Memorie LIFO 8 x 4 biți.
30. Să se realizeze un sistem sincron care citește date de pe o intrare serială și detectează apariția secvenței 1001 din șirul de intrare.
31. Să se realizeze un sistem sincron care citește date de pe o intrare serială și detectează apariția secvenței 1100 din șirul de intrare.
32. Să se realizeze un sistem sincron care citește date de pe o intrare serială și detectează apariția secvenței 1010 din șirul de intrare.
33. Să se descrie modul de funcționare a unui ansamblu de 2 uși automate prevăzute cu senzori, aflate pe același coridor, știind că timpul în care o ușă stă deschisă poate fi de cel mult 2 ori timpul în care cealaltă ușă stă deschisă.
34. Să se descrie funcționarea unei reclame, care poate fi comandată să fie stinsă și aprinsă intervale diferite de timp. Textele Test_VHDL și Rezultat_VHDL, afișate pe reclamă, se vor afișa în consolă.
35. Să se descrie modul de funcționare a unui sistem sincron care comandă închiderea și deschiderea secvențială a geamurilor unei clădiri cu 4 etaje. Există senzori de temperatură la fiecare nivel. Intervalul de temperatură luat în considerare este -4 grade la +4 grade.
36. Modul de simulare pentru sumator complet pe 1 bit.
37. Modul de simulare pentru scăzător complet pe 1 bit.
38. Modul de simulare pentru comparator pe 1 bit.
39. Modul de simulare pentru decodificator binar pe 2 biți
40. Modul de simulare pt. MUX 2:1.
41. Modul de simulare pt. DEMUX 1:2.
42. Modul de simulare pentru buffer three-state.
43. Modul de simulare pt. bistabil D sincron.
44. Modul de simulare pt. bistabil JK sincron.
45. Modul de simulare pt. bistabil T sincron.
46. Modul de simulare pt. numărător binar sincron pe 2 biți.
47. Modul de simulare pt. numărător Moebius pe 2 biți cu bistabile D.
48. Modul de simulare pt. registru de deplasare stânga – dreapta pe 4 biți.
49. Modul de simulare pt. registru de deplasare dreapta – stânga pe 4 biți.
50. Modul de simulare pentru registru în inel pe 4 biți.

51. Descriere **comportamentală** pentru convertor de cod din BCD în Exces 3. Mesajele de eroare se vor afișa în consolă.
52. Descriere **structurală** pentru convertor de cod din BCD în Gray. Mesajele de eroare se vor afișa în consolă.
53. Descriere **structurală** pentru sumator pe 2 biți.
54. Descriere **structurală** pentru sumator pe 2 biți.
55. Codificator zecimal – BCD, cu intrări active pe 0 logic.
56. Descriere **flux de date** pentru decodificator BCD – zecimal.
57. Decodificator binar pe 4 biți, cu enable și ieșiri active pe 0 logic.
58. Descriere **concurentă** decodificator binar pe 3 biți.
59. Descriere **concurentă** MUX 2:1 cu calea de date pe 4 biți.
60. MUX cu parametri generici – exemplificare pt. MUX 4:1.
61. Descriere **structurală** pentru comparator de egalitate pe 2 biți. Mesajele de eroare se vor afișa în consolă.
62. Descriere **structurală** pentru sumator-scăzător pe 1 bit.
63. Descriere **structurală** pentru scăzător complet pe 1 bit.
64. Unitate aritmetico-logică (+, -, x, /; SI, NU, SAU, SAU-EXCLUSIV).
65. Descriere **comportamentală** pentru memorie ROM 8 x 4 biți.
66. Descriere **comportamentală** pentru memorie RAM 8 x 4 biți.
67. Descriere **comportamentală** pentru bistabil JK sincron, cu intrări R,S asincrone.
68. Descriere **comportamentală** pentru bistabil T sincron, cu intrări R,S asincrone.
69. Numărător binar sincron pe 8 biți (operații: resetare, numărare, încărcare paralelă).
70. Numărător zecimal sincron pe 4 biți (operații: resetare, numărare, încărcare paralelă).
71. Descriere **structurală** pentru numărător binar pe 4 biți utilizând numărător binar pe 2 biți.
72. Registru universal sincron pe 4 biți (operații: memorare, încărcare paralelă, deplasare dreapta, deplasare stânga, resetare).
73. Registru universal sincron pe 3 biți (operații: memorare, încărcare paralelă, deplasare dreapta, deplasare stânga, resetare).
74. Descriere **structurală** pentru generator de numere pseudoaleatoare pe 4 biți.
75. Memorie ROM 8 x 4 biți.
76. Memorie RAM 8 x 4 biți.