

Probleme propuse pentru pregătirea testului de laborator la ASDN.

I. Circuite logice combinaționale

1. Se dă funcția logică $f = \sum(0,5,7,8,14) + \sum_x(1,2,9,10,12)$. Să se implementeze o formă minimă a funcției folosind doar porți logice. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
2. Se dă funcția logică $f = \sum(0,5,7,8,14) + \sum_x(1,2,9,10,12)$. Să se implementeze funcția folosind un multiplexor (dintre cele studiate la lucrările de laborator) și cel mult o poartă logică fundamentală. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
3. Se dă funcția logică $f = \sum(2,5,9)$. Să se implementeze funcția folosind un decodicator (dintre cele studiate la lucrările de laborator) și un număr minim de porți logice fundamentale. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
4. Să se implementeze funcția: $f = \sum(0,3,5,8,9)$ folosind un decodicator zecimal cu 4 intrări și un număr minim de porți logice fundamentale. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
5. Să se implementeze funcția: $f = (\overline{A + B} \oplus B) \cdot C$ numai cu porți ȘI-NU. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
6. Să se implementeze cu MUX 8:1 funcția: $f(A,B,C,D,E) = A + C \cdot D + B \cdot \overline{D} + \overline{B} \cdot D + \overline{B} \cdot C \cdot E$. Sunt disponibile semnalele "0", "1" și variabilele numai în forma directă, nu și negate. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
7. Proiectați folosind porți logice un convertor BCD la Cod2421(Aiken) pentru numere pe 4 biți. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate TTL corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
8. Implementați un scăzător complet pt. numere pe 1 bit folosind un număr minim de multiplexoare (fără alte tipuri de circuite). Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).
9. Realizați un sumator-scăzător pentru două numere reprezentate fiecare pe 4 biți în sistemul complement față de 2. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).

II. Circuite logice secvențiale

1. Proiectați un bistabil D folosind ca și componente 1 (un) bistabil JK și numărul minim necesar de porți logice fundamentale. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).

2. Considerați că aveți la dispoziție un bistabil nou, numit de tip A-B. Acest bistabil are o intrare de date A și o intrare de control B. Când intrare B = 0 acest bistabil lucrează ca un bistabil de tip D (adică semnalul aplicat intrării A la momentul t, va fi vizibil la ieșirea Q la momentul t+1), iar când B = 1, lucrează ca un bistabil de tip T (adică semnalul aplicat intrării A are același rol precum intrarea T a unui bistabil de tip T). Ecuația caracteristică a bistabilului A-B este:
$$Q_{t+1} = A \text{ xor } B \text{ and } Q_t.$$

Var. 1. Realizați bistabilul A-B folosind un bistabil T și numărul minim de porți logice suplimentare. Desenați doar schema logică.

Var. 2. Realizați bistabilul A-B folosind un bistabil D și numărul minim de porți logice suplimentare. Desenați doar schema logică.
3. Proiectați un numărător binar invers pe 3 biți fără să folosiți circuitele integrate MSI 4192 sau MSI 4193. Desenați doar schema logică.
4. Proiectați un numărător binar reversibil pe 3 biți fără să folosiți circuitele integrate MSI 4192 sau MSI 4193. Desenați doar schema logică.
5. Să se proiecteze un numărător zecimal sincron folosind integratul 74192, care să numere invers în bucla 9 – 4. Se cere schema logică și de montaj cu explicații.
6. Să se modifice unul dintre integratele studiate de tip numărător de 4 biți sincron binar, în așa fel încât să numere în intervalul 8-14. Se cere schema logică cu explicații.
7. Să se proiecteze un numărător care numără în bucla 0 - 95. Trebuie să se utilizeze un numărător zecimal pe 4 biți și unul binar pe 4 biți dintre cele studiate la laborator. Semnalele de load și reset sunt asincrone pentru ambele numărătoare. Se cere schema logică cu explicații.
8. Să se proiecteze folosind un registru și alte CLC-uri, un circuit care detectează secvența de biți "1110". Secvența se inserează serial (bit cu bit) pe o intrare Y începând cu bitul cel mai semnificativ (cel mai din stânga). Circuitul are o ieșire Z care indică "1" atunci când ultimii 4 biți inserați formează secvența menționată mai sus. Se cere schema logică cu explicații.
9. Realizați cu circuitul 4194 generatorul de numere pseudoaleatoare astfel încât să nu se blocheze în starea „0000”. Folosiți numărul minim de eventuale circuite logice suplimentare. Desenați schema logică și apoi schema de montaj detaliată folosind circuitele integrate corespunzătoare (nu uitați să menționați numerele pinilor, alimentarea, conexiunile, etc.).