ELECTRONICĂ DIGITALĂ

PROIECT

Temă : Counter – V3

Proiect realizat de :

Dumea Vlad

Popovici Andrei

Lipșa Răzvan-Andrei

Grupa : 1207A

Profesor îndrumător :

Pletea Ionica-Marcela

1. Specificațiile proiectului

Counter – v3

Proiectul este alcătuit dintr-un sistem secvențial de 4 biți, cu reset prioritar activ pe 0, două intrări de selecție din care se stabilește funcționalitatea de numărător direct sau registru paralel. Frecvența clock-ului este de 1Hz, iar afișarea se face pe display-ul cu 7 segmente.

1. Modulul COUNTER – V3

In entity se definesc intrările și ieșirile sistemului. In arhitecture se definesc semnalele cu care se lucrează.

Funționalitatea principală a sistemului este cea de numarător și de registru paralel. Numărătorul direct este folosit doar pentru incrementare și are o frecvență de 1Hz : numărul este incrementat cu 1 o dată pe secundă. Pentru implementarea frecvenței s-a folosit un divizor de frecvență, cunoscând viteza plăcii, de 100Mhz. Sistemul secvențial operează pe 4 biți, numărul maxim reprezentabil fiind 15. Pentru reprezentarea numrelor peste 9 am folosit notațiile din sistemul hexazecimal, respectiv A = 10, b = 11, C = 12, d = 13, E = 14, F = 15. Din motive de lizibilitate și din cauza limitării numărului de segmente de pe display am folosit minuscule pentru literele B și D pentru o mai bună ințelegere.

A doua funționalitate a sistemului este cea de registru paralel, care funcționează ca o memorie. Aceasta a fost implementată in 2 moduri :

1. Modul în care salvează valoarea curentă la care a ajuns numărătorul.
2. Modul în care salvează o valoare introdusă de utilizator, cuprinsă intre 0 și 15(F), prin switch-urile R2, T1, U1, W2.

Pentru metoda 2, cifrele introduse cu ajutorul switch-urilor trebuie să fie in cod binar, exemplu : pentru ca registrul paralel să memoreze și să afiseze pe ecran cifra 6 se vor activa switch-urle T1 și U1. (R2 = 0, T1=1, U1 =1 , W2=0 ). Numărul 0110, transformat din binar in zecimal, este 6.

In urmatoarea fotografie se pune în evidență funționarea registrului paralele cu input al utilizatorului.A blue circuit board with a red display

Description automatically generated

Funcționarea registrului paralel, se salvează valoarea contorului :

A blue circuit board with red led display

Description automatically generated

Tabela de adevar și modurile de funcționare :

|  |  |  |  |
| --- | --- | --- | --- |
| Funcționalitate | Reset (PIN W16) | Sel(PIN V17) | Switch2( PIN V16) |
| Resetare (valoare 0 constantă) | 0 | - | - |
| Registru paralel ( reține numărul curent) | 1 | 1 | 0 |
| Registru paralel ( reține valoare introdusă de utilizator) | 1 | 0 | 1 |
| Numărător direct | 1 | 0 | 0 |

1. Metoda de implementare

Codul este scris in limbajul VHDL( Very High-Speed Integrated Circuit Hardware Description Language ), folosind mediul de programare oferit de Vivado. Sinteza, implementarea și generarea de bitstream sunt făcut tot prin intermediul acestei aplicați, fișierul rezultat este incărcat/flash-uit pe plăcuța FPGA cu ajutorul unui cablu.

Proiectul este alcătuit din două fișiere, un vișier .vhd, care conține codul propriu-zis și un fișier .xdc care conține constrângerile.

1. A blue circuit board with a digital display

   Description automatically generatedDescrierea sistemului de dezvoltare BASYS 3

Basys 3 este o placă de dezvoltare FPGA (Field-Programmable Gate Array) fabricată de Digilent. Aceasta oferă un mediu de învățare și dezvoltare pentru utilizatorii interesați de proiecte digitale, în special în domeniul sistemelor digitale și al designului cu FPGA.

1. Editarea fișierului VHDL

A screenshot of a computer code

Description automatically generated

A screenshot of a computer program

Description automatically generated

A screenshot of a computer code

Description automatically generated

A screenshot of a computer program

Description automatically generated

1. Editarea fișierului de constrângeri

A close up of text

Description automatically generated

Clock-ul necesar funcționării programului.

A computer code with black text

Description automatically generated

Switch-urile folosite pentru setarea funcționalității programlui:

* sel = activează registrul paralel; salvarea valorii curente a counter-ului, activ pe 1;
* rst = resetul complet al counter-ului și al registrului paralel, toate cifrele de pe ecran devin 0; acesta este activ pe 0;
* switch2 = activează registrul paralel, varianta în care utilizatorul alege folosind primele 4 switch-uri de pe placă valoarea pe care să o stocheze registrul paralel;

A computer code with black text

Description automatically generated

-nr\_dat este un vector de 4 biți prin care utilizatorul introduce prin cod binar valoarea dorită, pentru a fi salvată de registrul paralel;

A screenshot of a computer program

Description automatically generated

* seg\_out = vectorul necesar pentru afișarea pe display-ul cu 7 segmente, fiecare dintre litere necesită o valoare de 1 sau 0, segmentele care au valoare 1 sunt dezactivate.

A diagram of a digital display

Description automatically generated

1. Descrierea pașilor de sinteză și testarea circuitului

A computer generated image of a circuit board

Description automatically generatedrezultat

După scrierea codului și editarea fișierului de constrângeri, se execută sinteza. După verificarea sintezei și validare, se trece la implementare, iar daca nu sunt probleme se generează fișierul bitstream, care se încarcă pe placă și se face testarea sistemului.

1. Concluzii

În concluzie, folosirea programului Vivado, plăcuțelor FPGA de tip BASYS 3 și a limbajului VHDL a facilitat dificultatea scrierii codului, a înbunătățit viteza, iar sistemul secvențial îndeplinește cerințele și lucrează ca un numărător direct cu frecvența de 1Hz, ca registru paralel și cu reset prioritar pe 0.

Bibliografie :

1. VHDL Reference Manual, <http://www.ics.uci.edu/~jmoorkan/vhdlref/Synario%20VHDL%20Manual.pdf>

2. BASYS 3 Reference Manual, https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual