

**Universitatea Tehnică “Gheorghe Asachi” din Iaşi**

**FACULTATEA DE AUTOMATICĂ ȘI CALCULATOARE**

**ELECTRONICĂ DIGITALĂ**

**Proiect**

**Tema: COUNTER – v3**

Studenţi:

|  |
| --- |
| * Dumea Vlad * Popovici Andrei * Lipșa Andrei |

Grupa : 1207A

Coordonator:

Asistent doctorand Ionica Pletea

**2023**

**Tema proiectului:**

**COUNTER – v3**

**1. Specificaţiile proiectului:**

COUNTER – v3

Să se implementeze în FPGA prin descriere în limbaj VHDL, un sistem secvenţial de 4 biţi : cu reset prioritar activ pe 0; cu două intrări de selecţie din care să se stabilească funcţionare de registru paralel sau numărător direct. Frecventa clockului va fi de 1Hz. Afisarea se va face pe Displayul 7 segmente.

Fişierul bitstream rezultat în urma procesului de implementare va fi verificat utilizând placa de dezvoltare BASYS3.

**2. Modulul COUNTER – v3**

- se va descrie în câteva fraze funcţionalităţile modulului

**3. Metoda de implementare**

Utilizarea resurselor: circuit FPGA, limbajul VHDL, programul de sinteză Vivado

**4. Descrierea (scurtă) a sistemului de dezvoltare BASYS 3**

**5. Editarea fişierului VHDL**

**6. Editarea fişierului de constrângeri**

**7. Descrierea paşilor de sinteză şi testarea circuitului rezultat**

**8. Concluzii**

Bibliografie:

1. VHDL Reference Manual, <http://www.ics.uci.edu/~jmoorkan/vhdlref/Synario%20VHDL%20Manual.pdf>

2. BASYS 3 Reference Manual, https://reference.digilentinc.com/reference/programmable-logic/basys-3/reference-manual