

# Digitale Integrierte Schaltungen

## CMOS-Technologie

Axel Jantsch

# Inhalt

- Einleitung
- MOSFET & CMOS
  - Aufbau
  - Grundlegende Funktionsweise
- Logikfamilien, Ausgangsschaltungen & Pegel
- Aufbau integrierter CMOS-Schaltungen



# Wie groß ist ein Transistor?

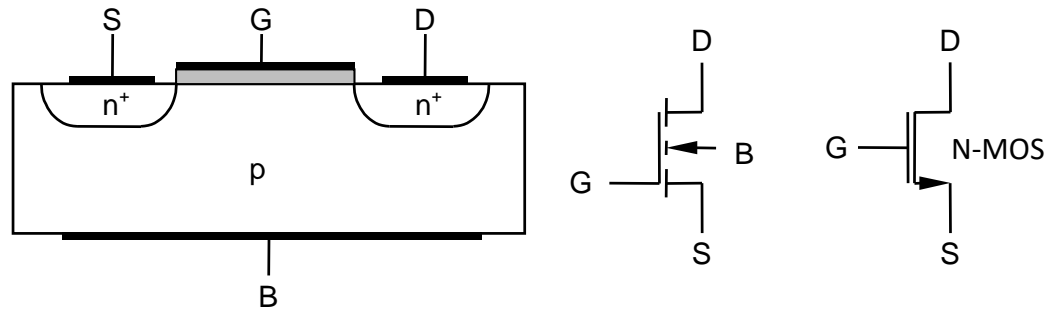
## ■ Beispiel

- Pentium IV
  - Chipgröße 217 mm<sup>2</sup> (180 nm, Jahr 2000)
  - 42 x 10<sup>6</sup> Transistoren
  - 20 % der Fläche für Verdrahtung genutzt
  - ➔ 4,1 μm<sup>2</sup> pro Transistor!
- Haswell-E(P)
  - ➔ 0,1 μm<sup>2</sup> pro Transistor!
- 10/11nm Technologie:
  - SRAM 1bit:  $\frac{10^6 \mu m^2}{29 \cdot 10^6} = 0.034 \mu m^2 = 34000 nm^2 = 184 \times 184 nm^2$
  - NAND Gate:  $\frac{10^6 \mu m^2}{19 \cdot 10^6} = 0.052 \mu m^2 = 52000 nm^2 = 228 \times 228 nm^2$
  - Transistor:  $0.013 \mu m^2 = 13000 nm^2 = 114 \times 114 nm^2$

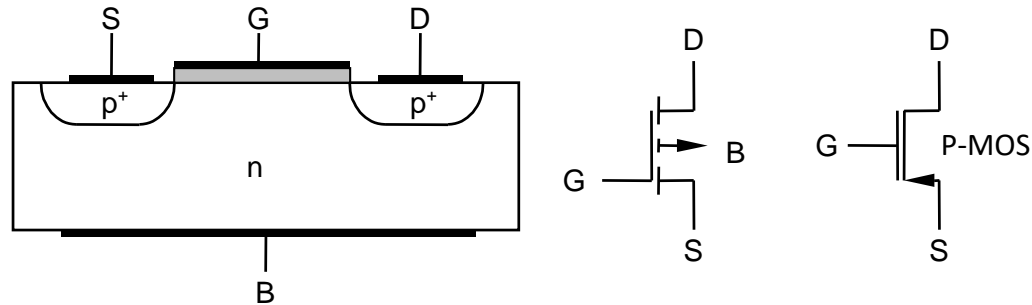
International Roadmap for Devices and Systems, 2016 Edition  
More Moore White Paper, <https://irds.ieee.org>

# Der MOSFET

## ■ N-Kanal-Transistor

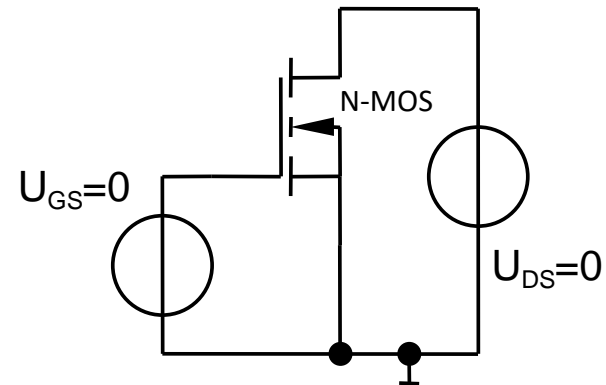
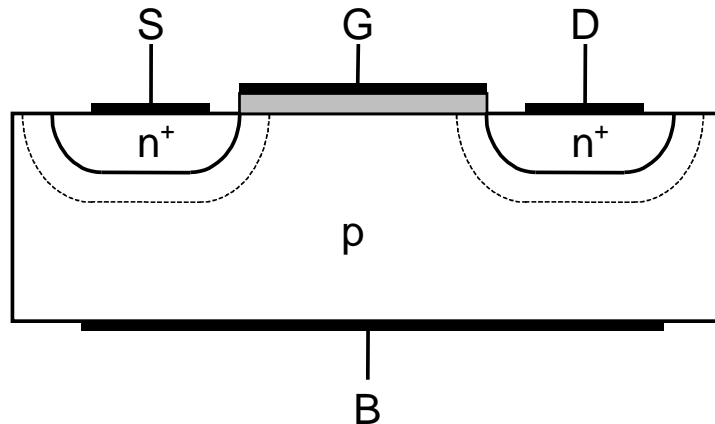


## ■ P-Kanal-Transistor



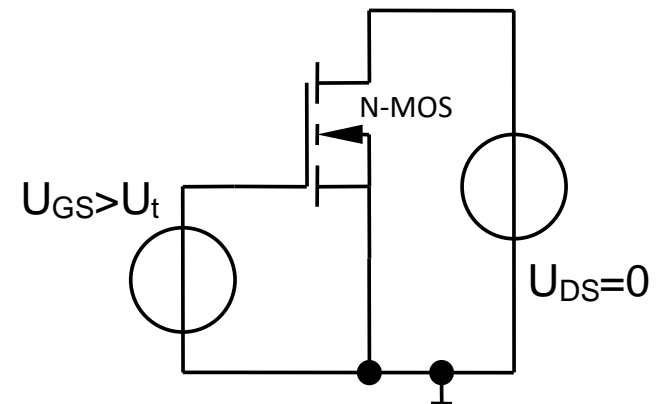
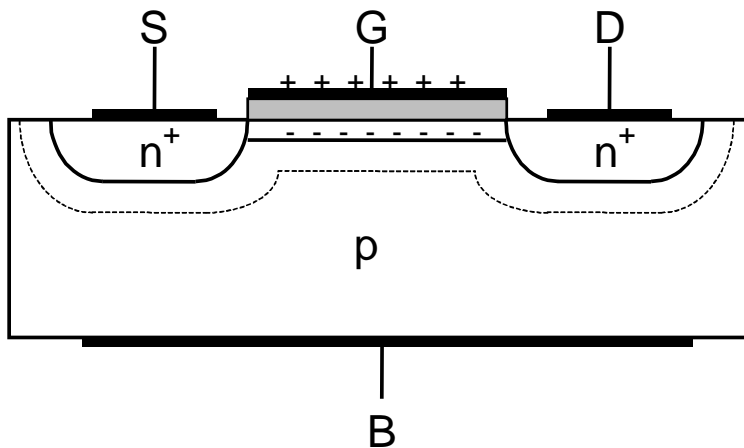
# MOSFET - Funktionsweise

- Spannungsloser Zustand
  - 2 Raumladungszonen zw. Source und Drain
  - Kein Stromfluß möglich
  - Selbstsperrender MOSFET

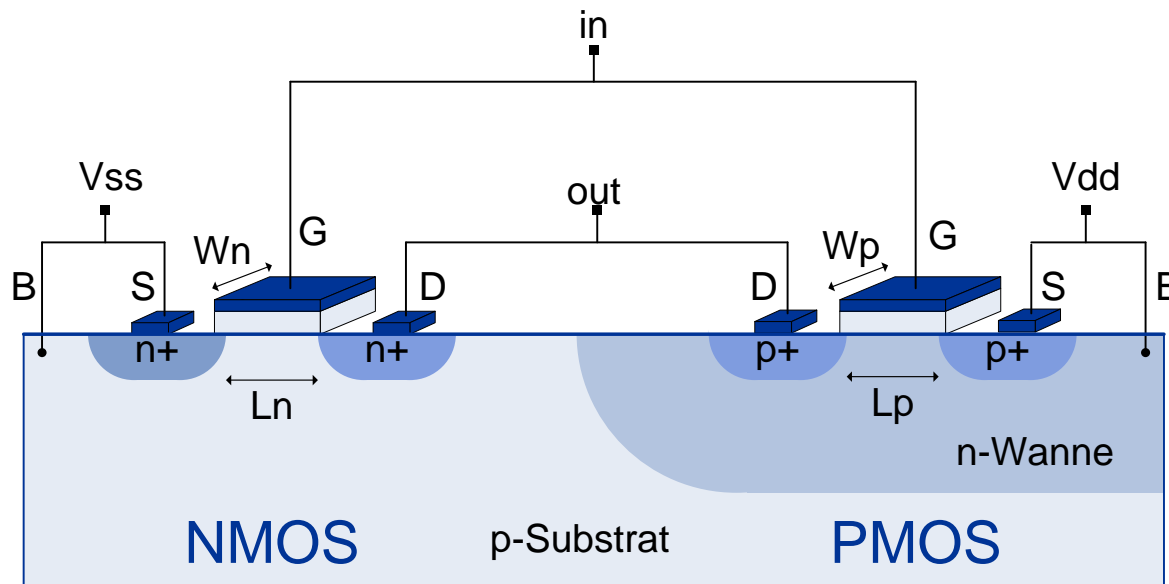


# MOSFET - Funktionsweise

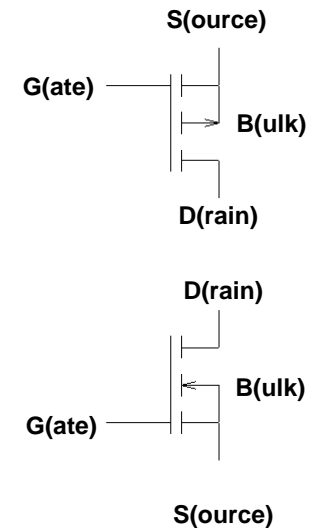
- Spannung zwischen Gate und Bulk (Source)
  - Elektronen werden an die Oberfläche gezogen
  - Ab Erreichen einer Schwellspannung (Threshold Voltage) bildet sich eine Inversionsschicht
  - Leitfähiger Kanal entsteht zw. Source & Drain



# CMOS Technologie

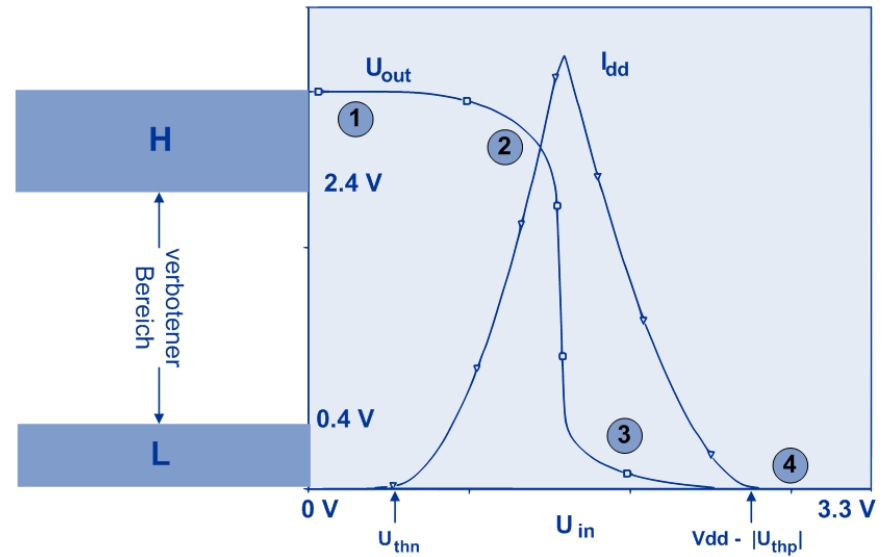
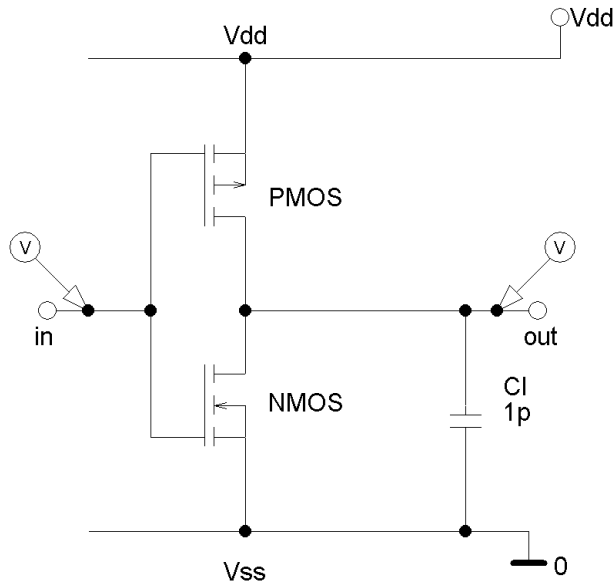


**PMOS**



**NMOS**

# CMOS Inverter (1)



1.  $V_{ss} < U_{in} < U_{thn}$

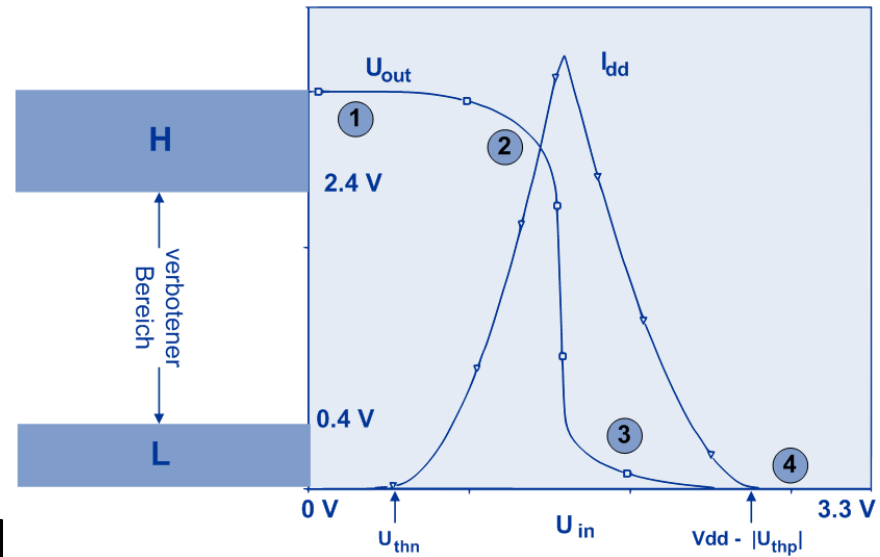
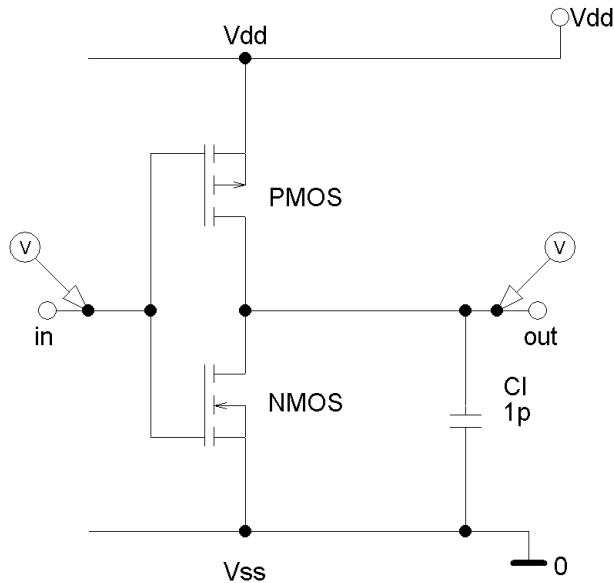
NMOS-Transistor: kein Strom, PMOS-Transistor = Stromquelle  
 → Last H-Pegel ( $V_{dd}$ )

2.  $U_{thn} < U_{in} < V_{dd}/2$

NMOS-Transistor = kleiner werdender Lastwiderstand, PMOS-Transistor = Stromquelle →  $U_{out}$  fällt langsam



# CMOS Inverter (2)



3.  $V_{dd}/2 < U_{in} < V_{dd} - |U_{thp}|$

NMOS-Transistor = Stromsenke, PMOS-Transistor = größer werdenden Lastwiderstands  $\rightarrow U_{out}$  sinkt weiter

4.  $V_{dd} - |U_{thp}| < U_{in} < V_{dd}$

PMOS-Transistor: kein Strom, NMOS-Transistor entlädt Lastkapazität  $\rightarrow$  L-Pegel



TECHNISCHE  
UNIVERSITÄT  
WIEN  
Vienna University of Technology



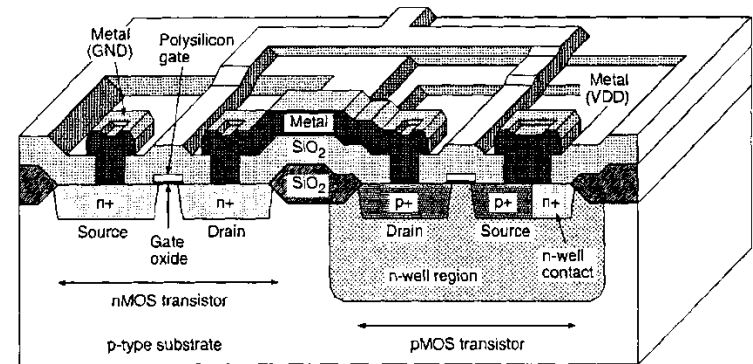
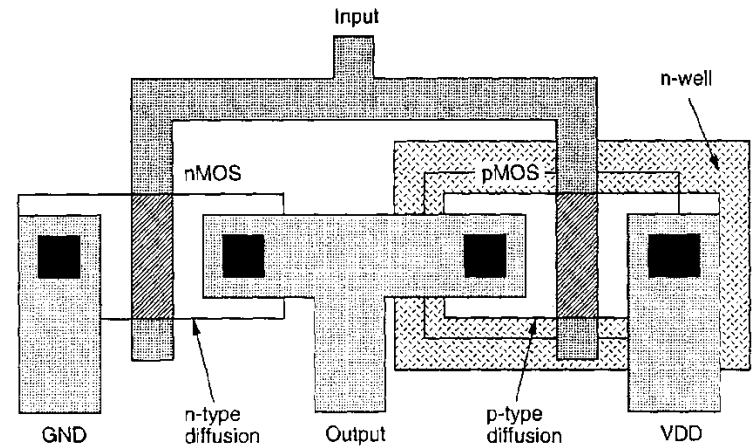
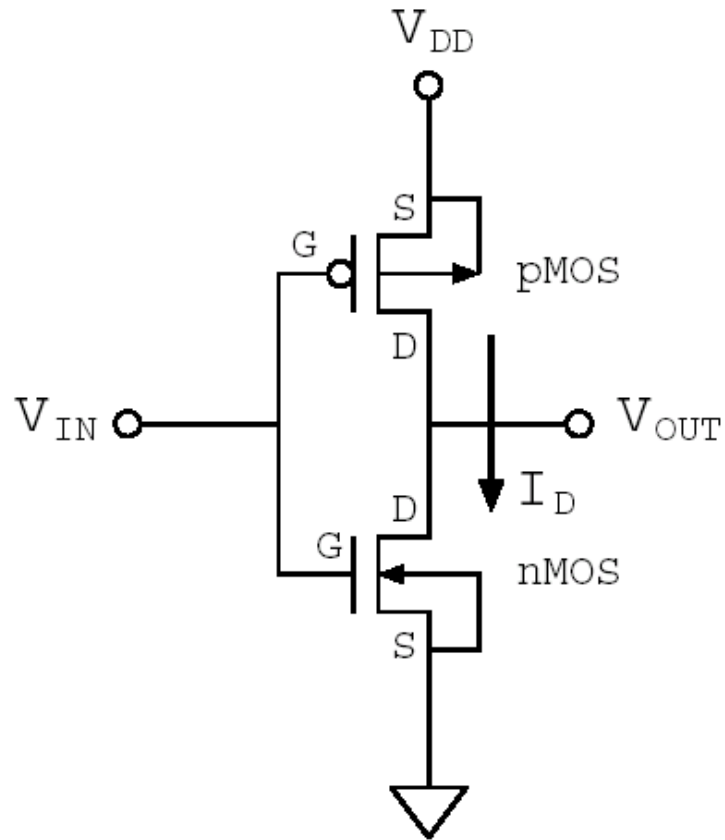
Institut für  
Computertechnik  
Institute of  
Computer Technology

# Aufbau integrierter CMOS-Schaltungen

# CMOS-Gatter

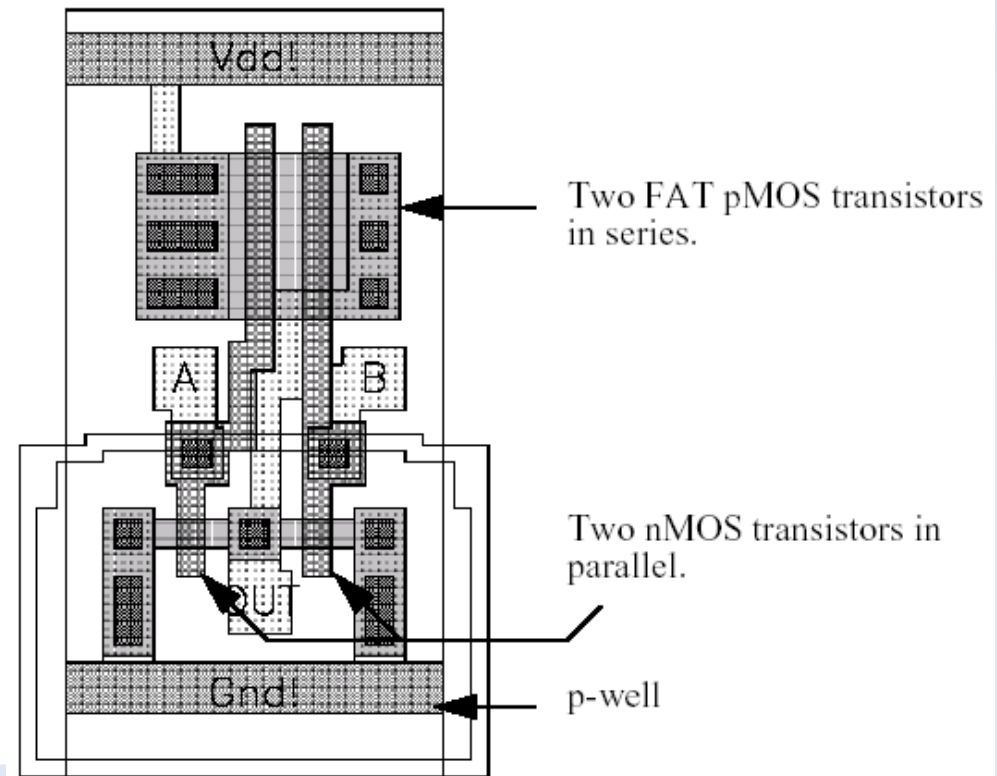
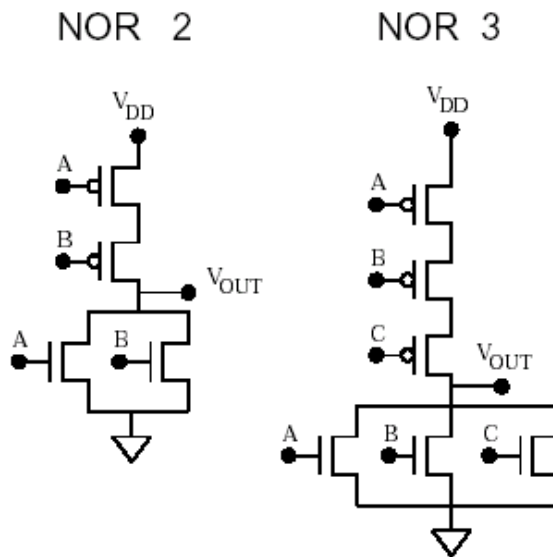
- Kombination von N- und P-Kanal-FETs zur Realisierung logischer Funktionen
- Einfachstes Beispiel Inverter
- Kombinatorische Funktionen
  - AND, NAND (einfacher)
  - OR, NOR (einfacher)
- Funktionen mit Gedächtnis
  - Flip Flop
  - Latch

# Inverter



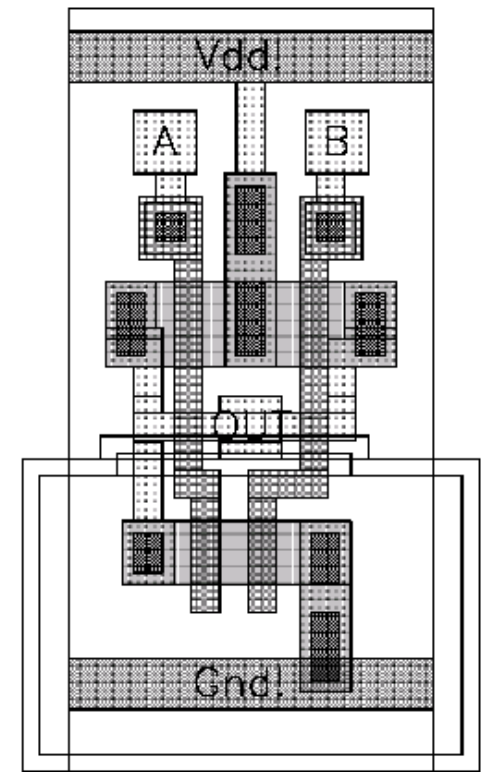
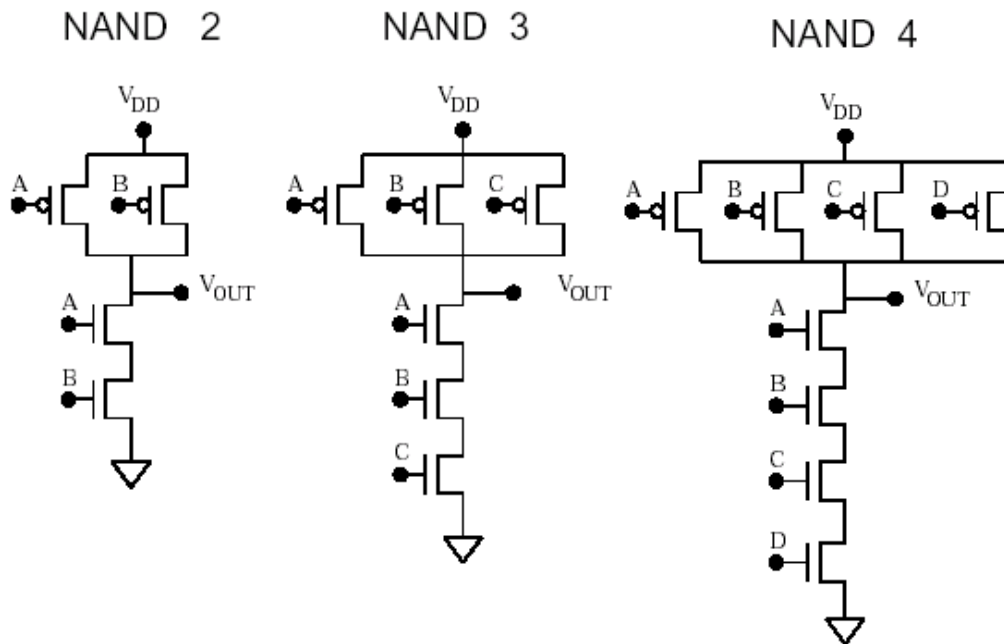
# NOR

- Mehrere Inputs möglich
- OR durch nachgeschalteten Inverter



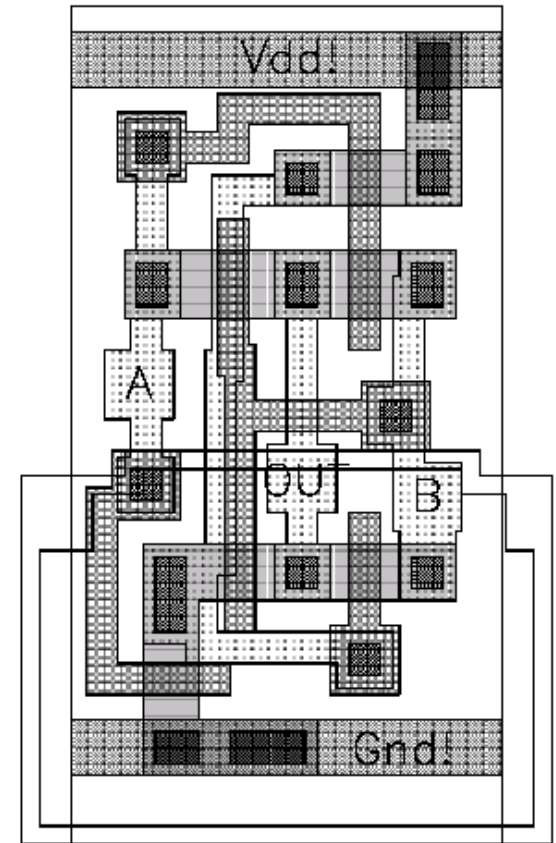
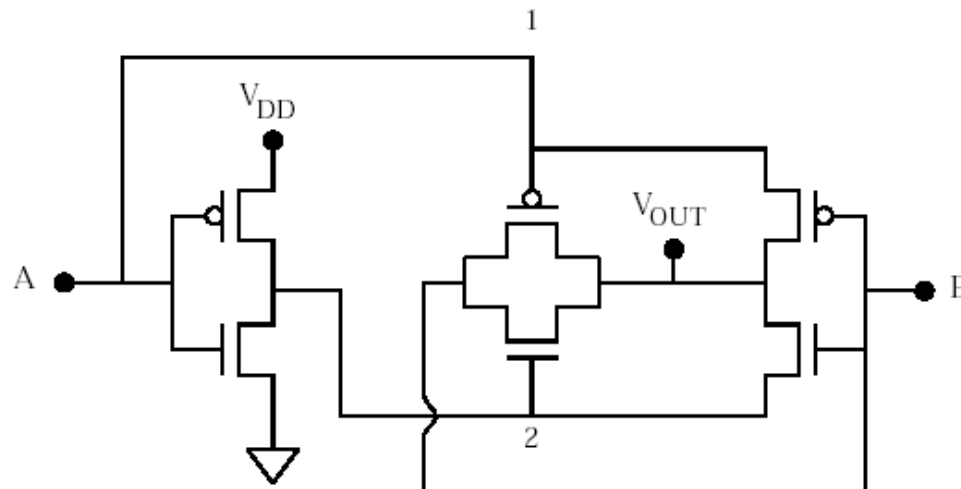
# NAND

- Mehrere Inputs möglich
- AND durch nachgeschalteten Inverter



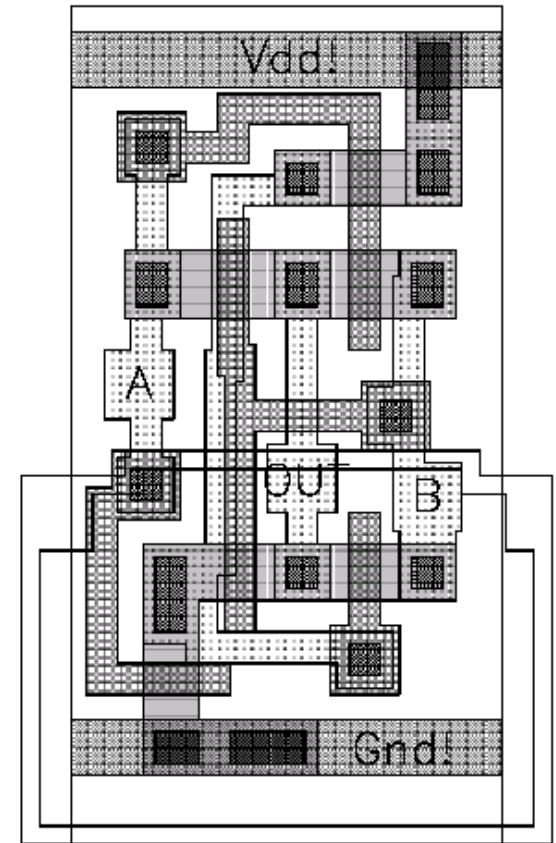
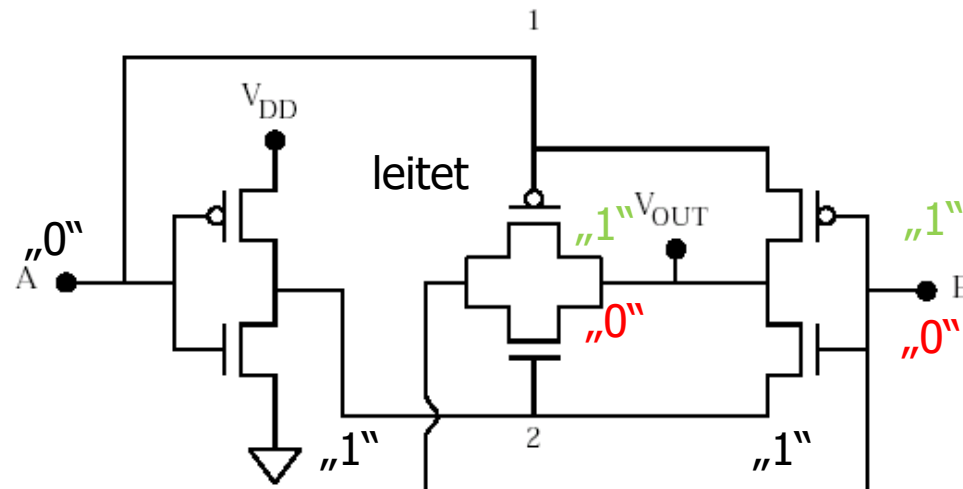
# XOR (passiv)

- A steuert Transmission Gate (leitet bei  $A = 0$ )
- Bei  $A = 1$  funktioniert Inverter bei B



# XOR (passiv)

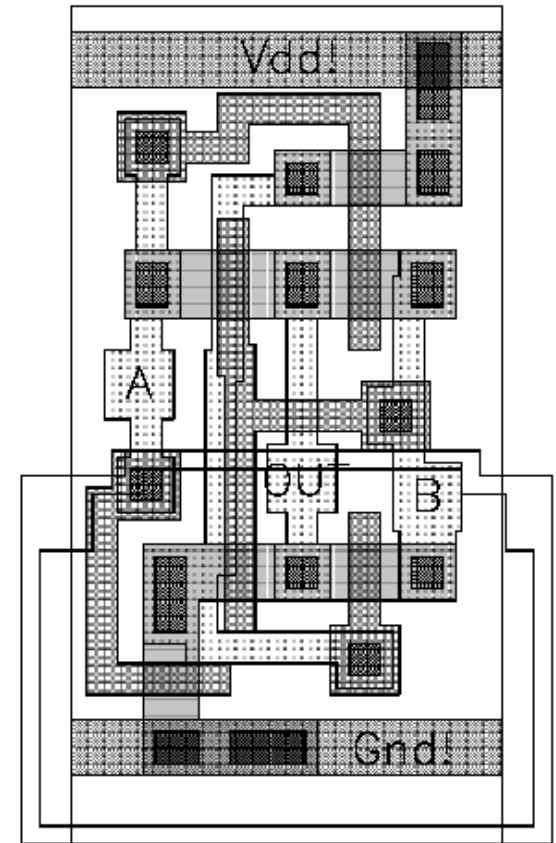
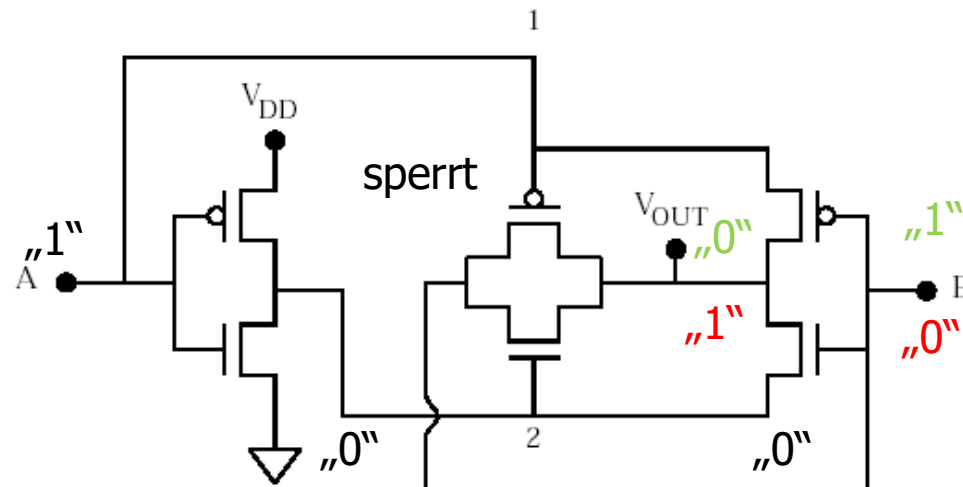
- A steuert Transmission Gate (leitet bei A = 0)
- Bei A = 1 funktioniert Inverter bei B





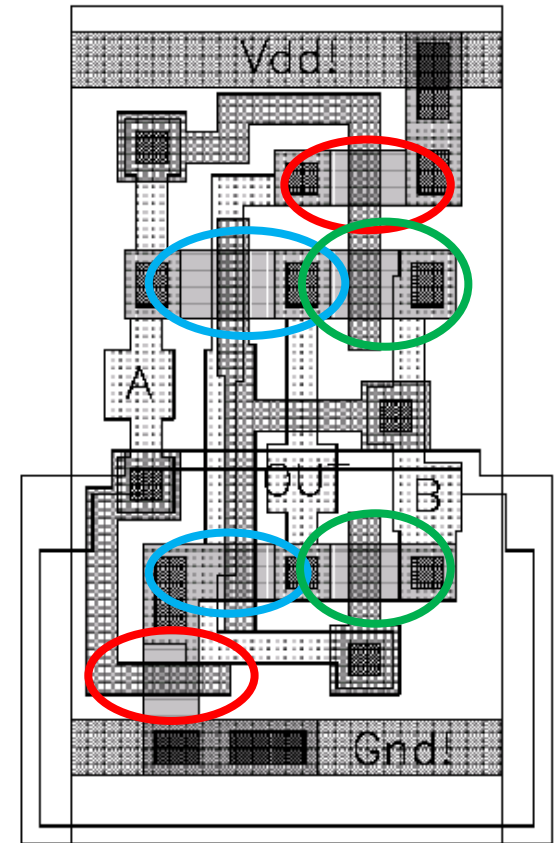
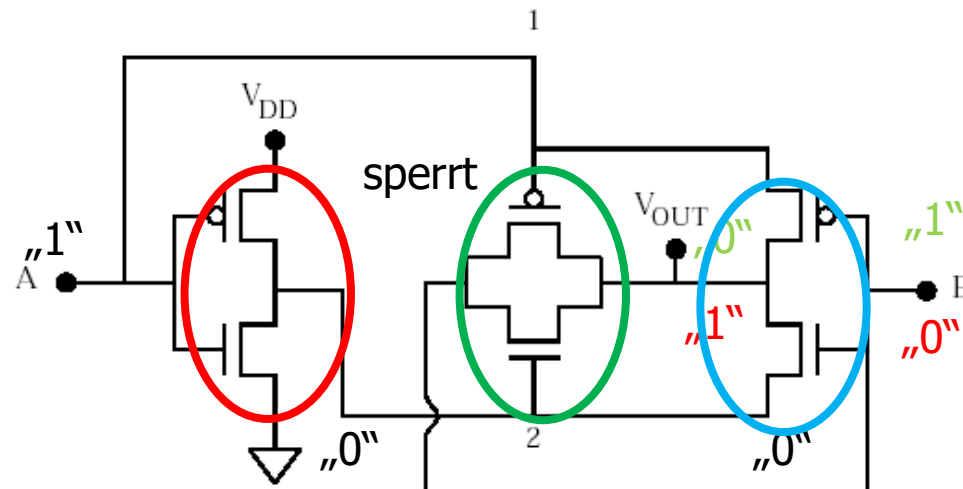
# XOR (passiv)

- A steuert Transmission Gate (leitet bei  $A = 0$ )
- Bei  $A = 1$  funktioniert Inverter bei B



# XOR (passiv)

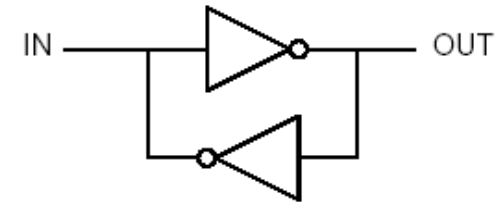
- A steuert Transmission Gate  
(leitet bei  $A = 0$ )
- Bei  $A = 1$  funktioniert Inverter bei B



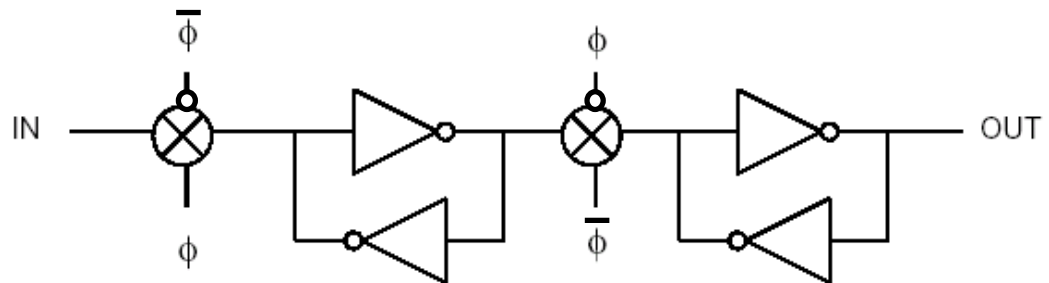
# Latch

- Speicherelement
- Einfachste Form aus zwei rückgekoppelten Invertern

- Hält den jeweiligen Zustand
- Schwache Inverter (kleine Transistoren)
- Kann durch starken Treiber überschrieben werden



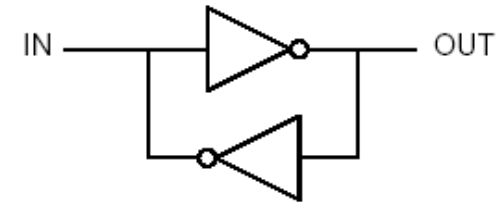
- Schieberegister
- Zwei Latches und zwei Transmission Gates
- Benötigt einen Takt
- Flankengesteuert



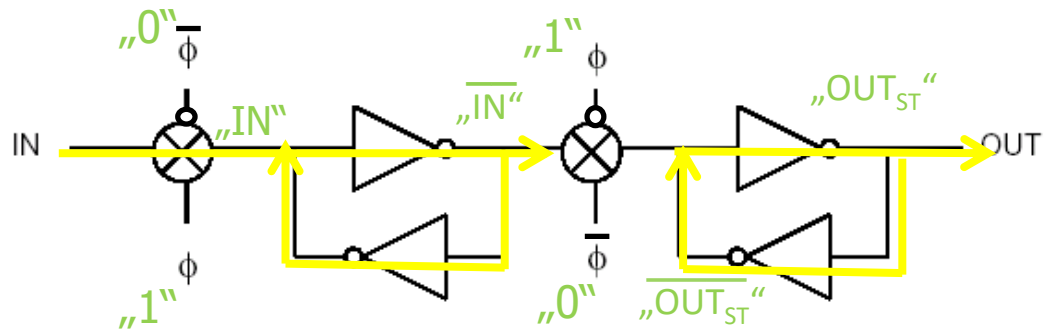
# Latch

- Speicherelement
- Einfachste Form aus zwei rückgekoppelten Invertern

- Hält den jeweiligen Zustand
- Schwache Inverter (kleine Transistoren)
- Kann durch starken Treiber überschrieben werden



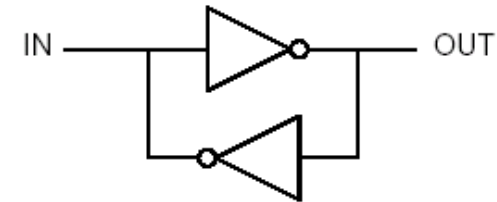
- Schieberegister
- Zwei Latches und zwei Transmission Gates
- Benötigt einen Takt
- Flankengesteuert



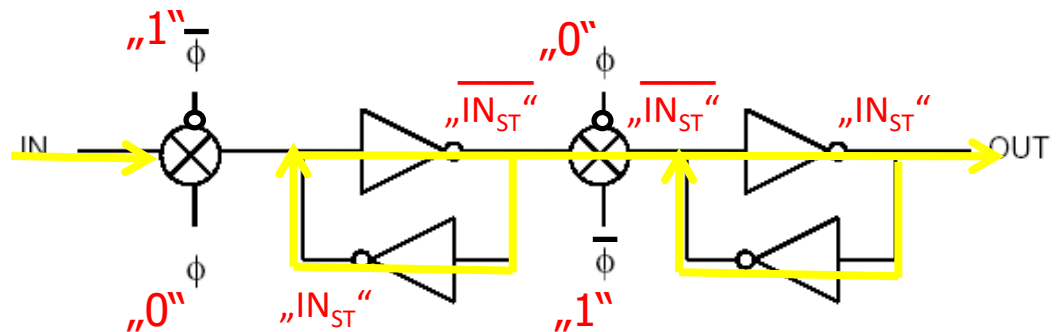
# Latch

- Speicherelement
- Einfachste Form aus zwei rückgekoppelten Invertern

- Hält den jeweiligen Zustand
- Schwache Inverter (kleine Transistoren)
- Kann durch starken Treiber überschrieben werden

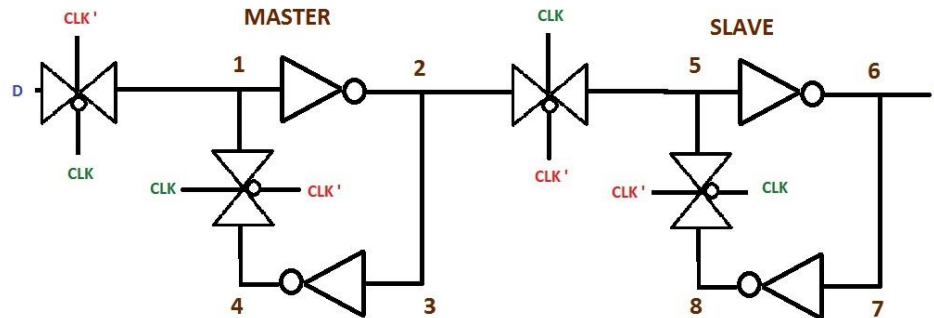


- Schieberegister
- Zwei Latches und zwei Transmission Gates
- Benötigt einen Takt
- Flankengesteuert

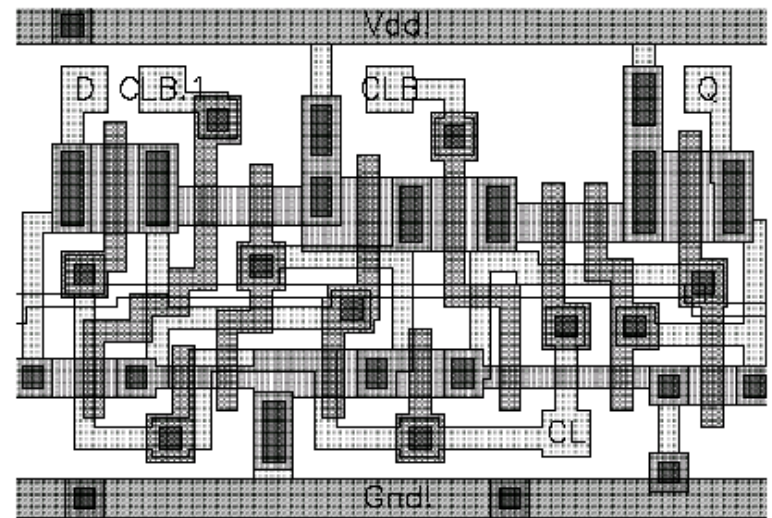


# D-Flip-Flop

- Transmission Gates in der Rückkopplung

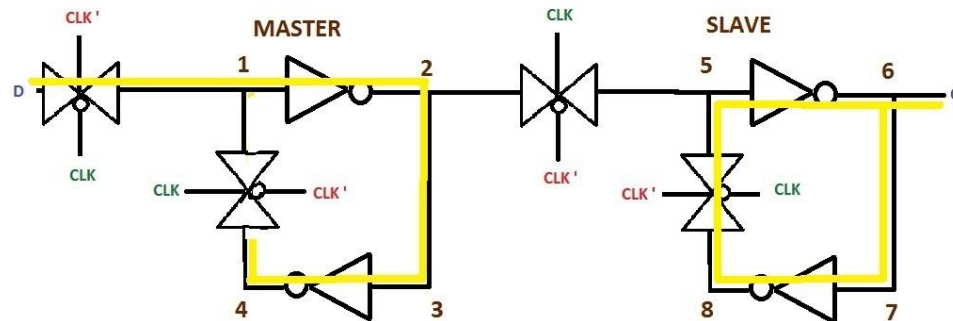


- Bei Takt = 0 werden Daten gehalten
- Bei Takt = 1 werden neue Daten übernommen
- Eine Möglichkeit von vielen

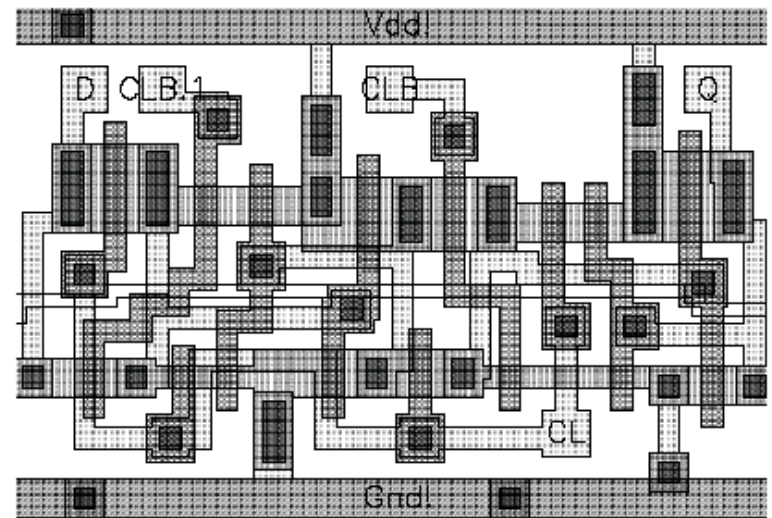


# D-Flip-Flop

- Transmission Gates in der Rückkopplung

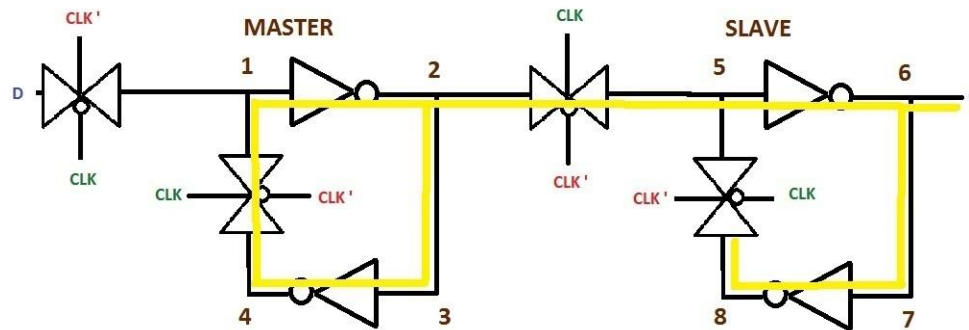


- Bei Takt = 0 werden Daten gehalten
- Bei Takt = 1 werden neue Daten übernommen
- Eine Möglichkeit von vielen

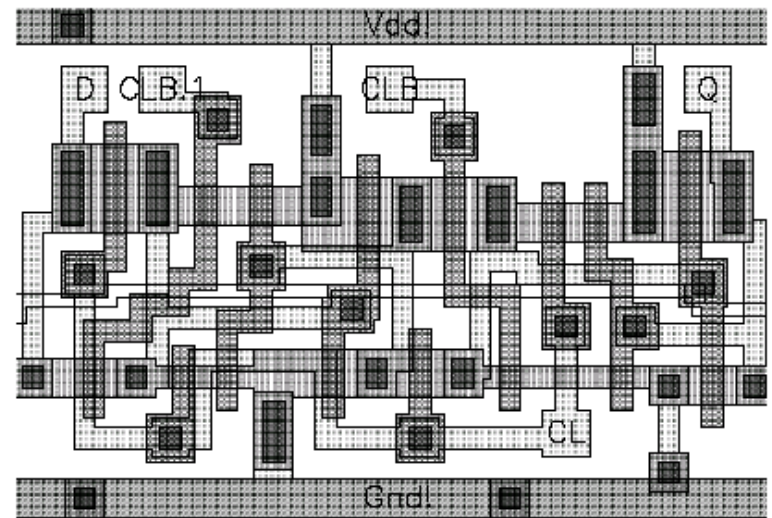


# D-Flip-Flop

- Transmission Gates in der Rückkopplung

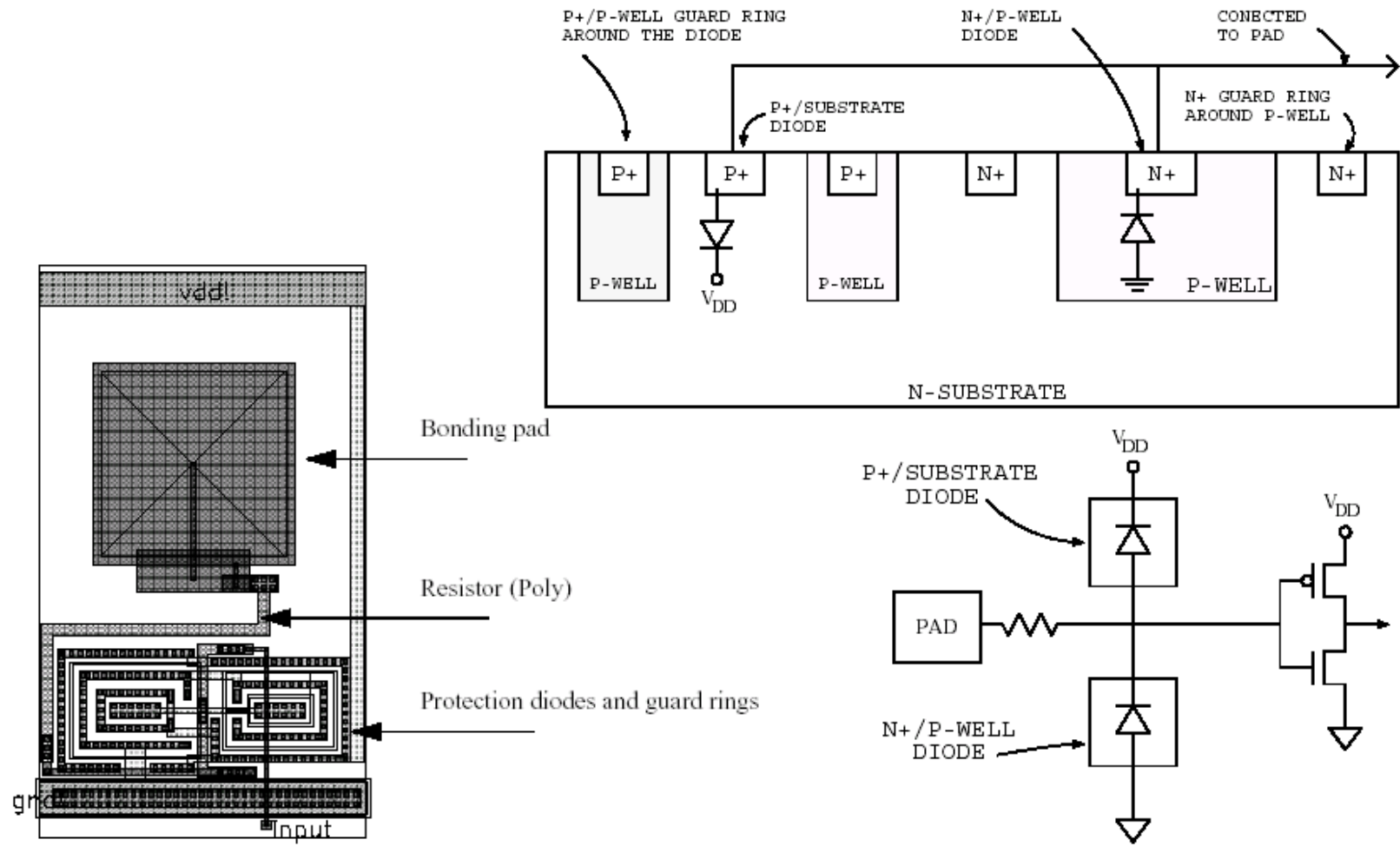


- Bei Takt = 0 werden Daten gehalten
- Bei Takt = 1 werden neue Daten übernommen
- Eine Möglichkeit von vielen

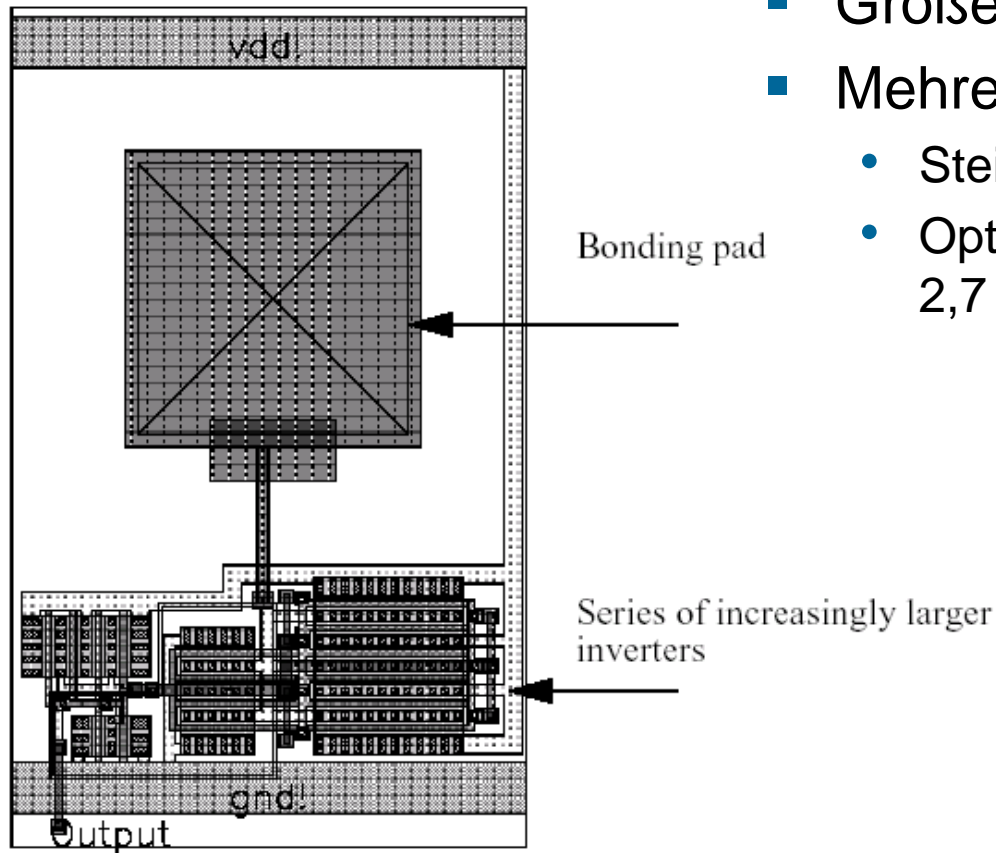




# Input-Pad mit Überspannungsschutz



# Output-Pad



- Große Treiberleistung nötig
- Mehrere Inverter in Serie
  - Steigende Transistorgrößen
  - Optimales Verhältnis etwa 2,7



TECHNISCHE  
UNIVERSITÄT  
WIEN  
Vienna University of Technology

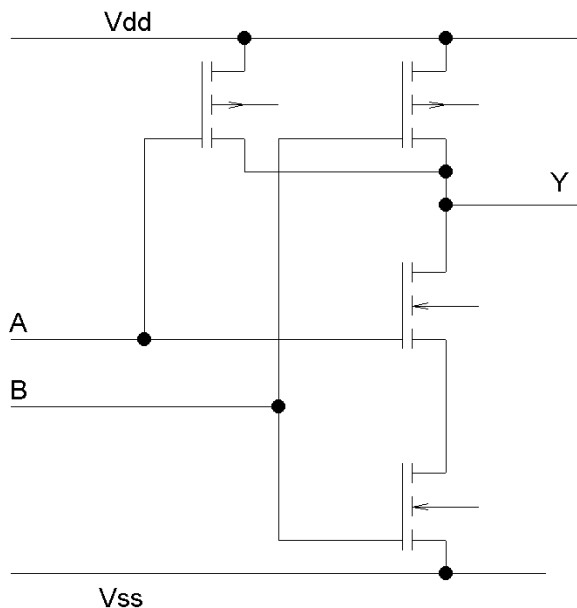


Institut für  
Computertechnik  
Institute of  
Computer Technology

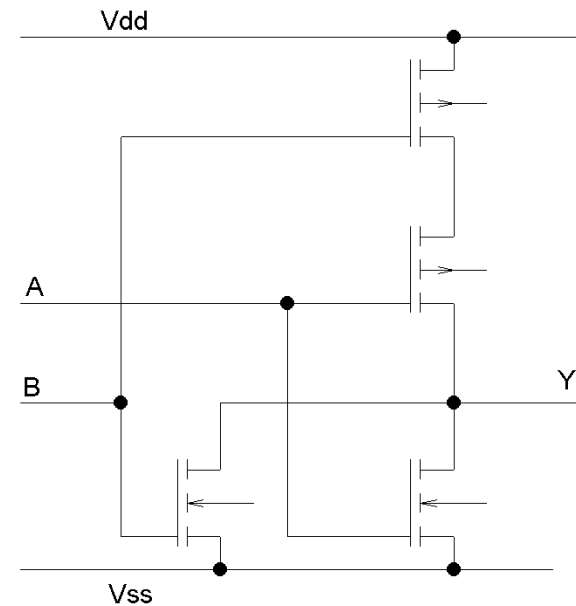
# Gatteraufbau & Ausgangsschaltungen

# Aufbau statischer CMOS-Gatter

- NMOS-Teil ist dual zum PMOS Teil
- Gegeben ist function  $F(a,b,...)$ 
  - Im PMOS Teil wird  $F$  mit invertierten Eingängen NOT A, NOT b, ... implementiert
  - Im NMOS Teil wird NOT F implementiert

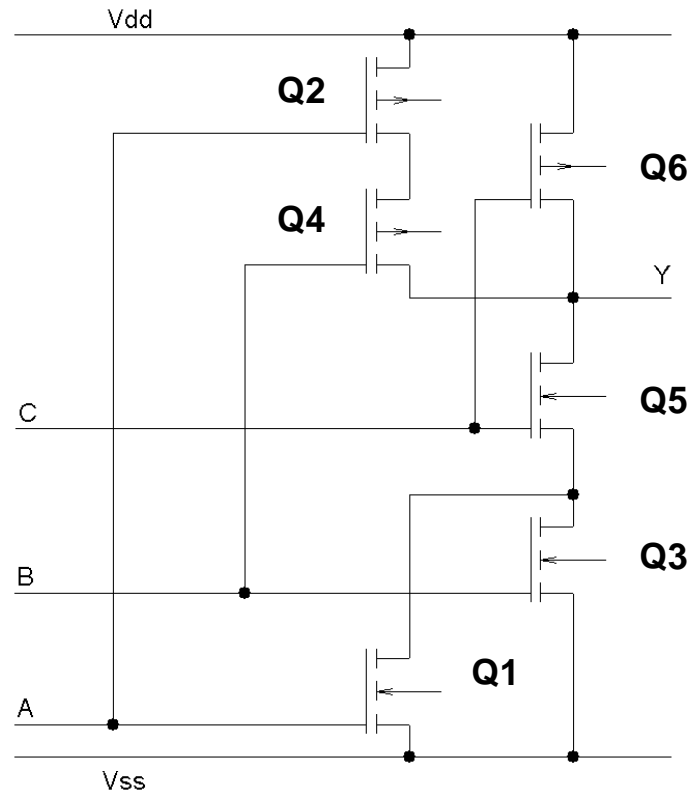


a) NAND



b) NOR

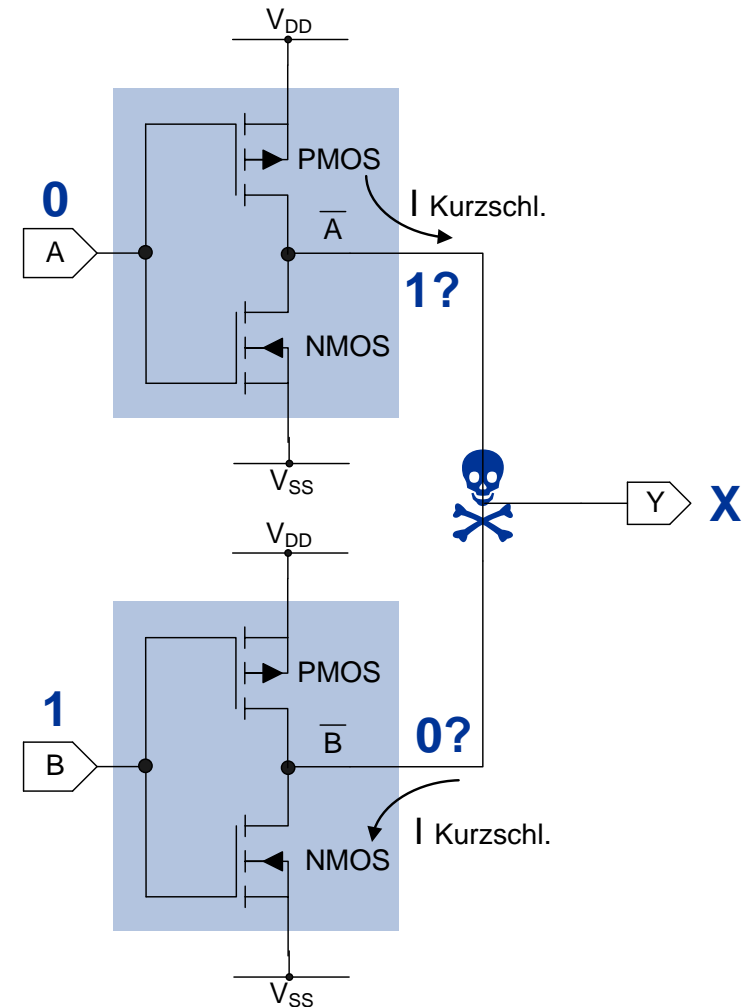
# Komplexere Funktion



# CMOS-Standardausgang

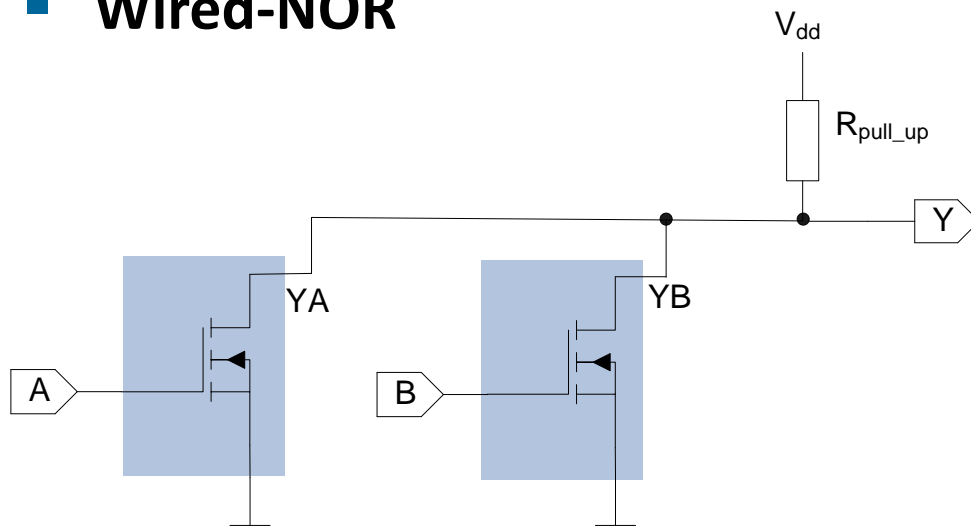
## ■ Push-Pull Prinzip

- Push  
bei H-Pegel am Ausgang bringen  
PMOS-Transistoren angeschlossene  
Eingänge auf H-Pegel
- Pull  
bei L-Pegel am Ausgang bringen  
NMOS-Transistoren angeschlossene  
Eingänge auf L-Pegel
- Problem beim direkten Verbinden



# Open-Drain- / Open-Collector-Ausgang

- obere (PMOS-) Transistor durch Widerstand ersetzt
- Drain-Anschluss des NMOS-Transistors nach außen geführt
- Pull-Up-Widerstand nach  $V_{dd}$
- x Open-Drain-Ausgänge / ein gemeinsamer Pull-Up-Widerstand
- **Wired-NOR**

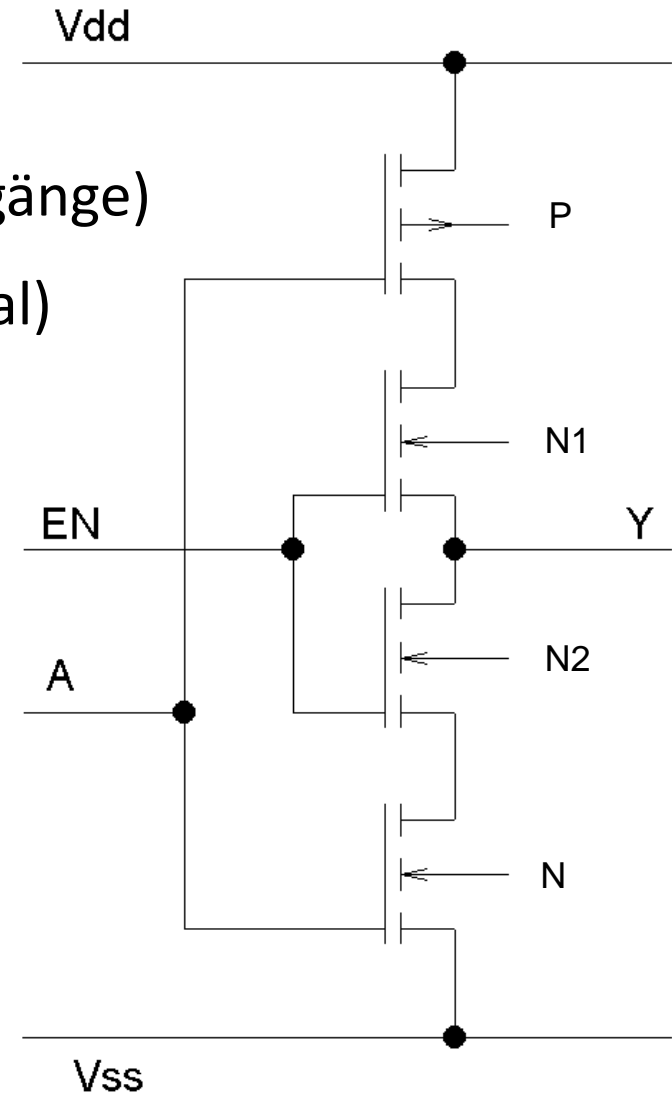


A	YA	B	YB	Y
H	L	H	L	L
H	L	L	H	L
L	H	H	L	L
L	H	L	H	H

# Three-State-Ausgang

- Three-State-Ausgänge (Freigabeeingänge)
- Pegel = neg. Dateneingang (EN-Signal)

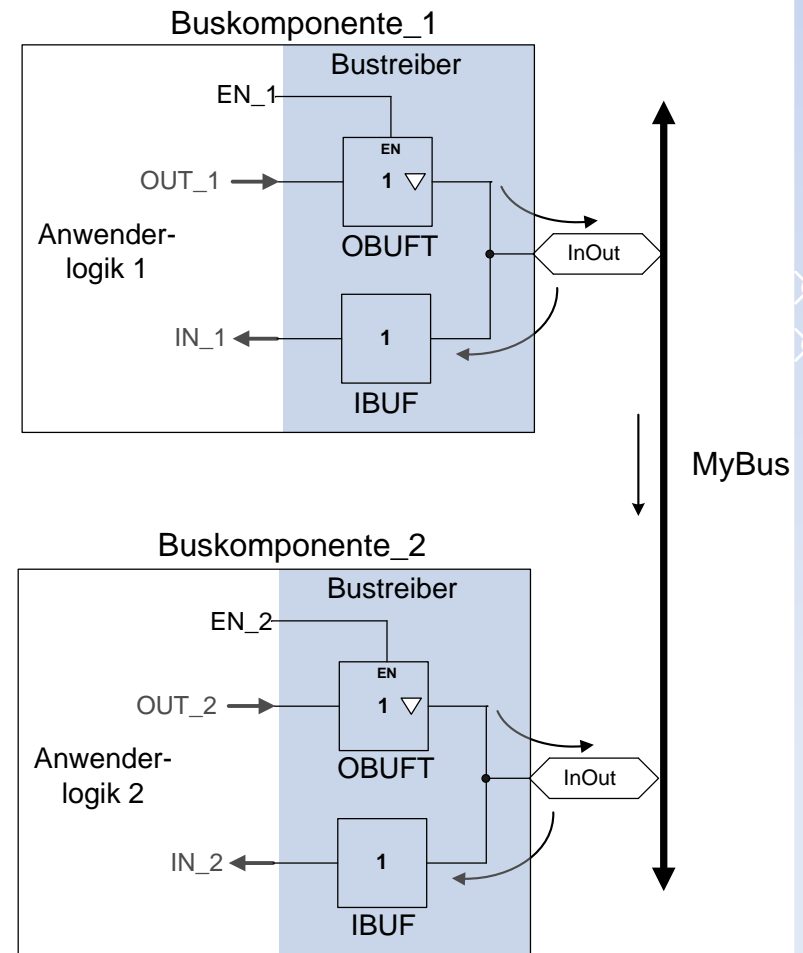
EN	A	Y
L	L	Z
L	H	Z
H	L	H
H	H	L





# Bidirektionale Busverbindung mit Three-State-Ausgängen

- Three-State-Ausgang (Bus)
  - Eingangsverstärker (IBUF),
  - Ausgangsverstärker (OBUFT),
  - bidirektionaler Portpin (InOut).
- $EN = 1$ : BK 1  $\rightarrow$  BUS
- $EN = 0$ : BUS  $\rightarrow$  BK 1





TECHNISCHE  
UNIVERSITÄT  
WIEN  
Vienna University of Technology



Institut für  
Computertechnik  
Institute of  
Computer Technology

# CMOS Technologie Transistoren Gatter