

**Skriptum und Unterlagen
zur Vorlesung aus**

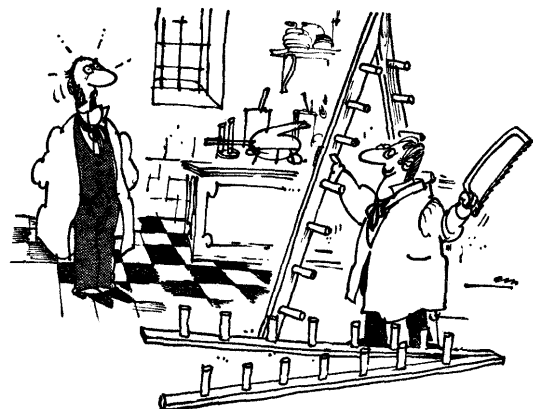
Integrierte Schaltungen 2

erstellt von

Peter Söser

Institut für Elektronik
Technische Universität Graz

Ausgabe: Winter 2000
Version 1.2



„Also ich versteh's nicht, wieso in der Halbleiterproduktion die ganz große Zukunft liegen soll . . .“

Inhaltsverzeichnis

INHALTSVERZEICHNIS	3
ABBILDUNGSVERZEICHNIS	7
TABELLENVERZEICHNIS.....	11
1 EINLEITUNG	12
1.1 Inhalt und Ziel der Lehrveranstaltung.....	12
2 FERTIGUNGSTECHNOLOGIEN	13
2.1 Silizium als Ausgangsmaterial	13
2.2 CMOS.....	13
2.3 BiCMOS.....	19
2.4 SOI (Silicon On Insulator)	20
3 BAUELEMENTE DER INTEGRIERTEN SCHALTUNGSTECHNIK.....	21
3.1 MOS-Transistoren (MOST)	21
3.2 Bipolartransistoren (BJT)	21
3.3 Widerstände	21
3.4 Kapazitäten	23
3.5 Induktivitäten.....	27
3.6 Verbindungsleitungen	27
3.7 Sensoren, Mikromechanik	27
3.8 Parasitäre Elemente.....	27
4 CMOS- UND BICMOS GRUNDLAGEN	29
4.1 Transistormodelle	29
4.1.1 N-Kanal-MOS Transistor	29
4.1.1.1 Arbeitsbereiche	31
4.1.1.2 Verhalten und Modellierung.....	33
4.1.1.3 Kapazitäten	40
4.1.1.4 Schwache Inversion.....	42
4.1.2 P-Kanal-MOS Transistor.....	44
4.1.3 NPN-Bipolartransistor	44
4.1.3.1 Verhalten und Modellierung.....	45
4.1.3.2 Kapazitäten	48

4.1.3.3	Transitfrequenz	48
4.1.4	PNP-Bipolar Transistor	49
4.1.5	Vergleich MOST - BJT	49
4.2	Digitalschaltungen.....	51
4.2.1	Logische Grundsaltungen	51
4.2.1.1	Inverter	54
4.2.1.2	NAND, NOR.....	58
4.2.1.3	komplexe Logikgatter.....	60
4.2.1.4	Multiplexer, Latch, Flip-Flop	61
4.2.2	Standardzellen.....	63
4.2.3	Peripheriezellen.....	65
4.2.4	Schaltungskenngrößen	69
4.2.4.1	Verzögerungszeit	70
4.2.4.2	Anstiegs- und Abfallzeit.....	72
4.2.4.3	Setup- und Hold-Zeit.....	72
4.2.4.4	Enable- und Disable-Zeit bei Tri-State-Ausgängen	73
4.2.5	Leistungsverbrauch	74
4.2.5.1	Statisch	74
4.2.5.2	Dynamisch	74
4.3	Analogschaltungen	75
4.3.1	Schalter	76
4.3.2	Aktive Last.....	80
4.3.3	Stromsenken, Stromquellen	83
4.3.4	Stromspiegel	87
4.3.5	Differenzverstärker.....	90
4.3.6	Ausgangstreiber	91
4.3.7	I/O Peripheriezellen	91
4.3.8	Spannungsreferenzen	92
4.3.9	Oszillatoren.....	92
4.3.10	Rauschen in integrierten Schaltungen	92
4.3.10.1	Thermisches Rauschen	93
4.3.10.2	Schrot-Rauschen	93
4.3.10.3	1/f-Rauschen	93
4.3.10.4	Popcorn Rauschen	94
4.3.10.5	Rauschen bei MOSTs	94
4.3.10.6	Rauschen in BJTs.....	95
4.4	Spezialzellen für integrierte Schaltungen.....	95
4.4.1	ZAP-Zellen	95
4.4.2	Teststrukturen	96
4.4.3	Fertigungsunterstützung und -charakterisierung	97
4.4.4	Scribe-Border	97
5	DER ASIC-ENTWURFSABLAUF	98
5.1	Überlegungen im Vorfeld.....	98
5.1.1	Infrastruktur	98
5.1.2	Technologie.....	98
5.1.3	Entwurfsstrategie.....	98
5.1.4	Stückzahlen, Kosten, Zeit.....	99
5.2	Einteilung der ASICs	100
5.2.1	Full-Custom	101
5.2.2	Standardzellen (Standard cell).....	101
5.2.3	Gate-Array	102
5.2.4	Vergleich Gate Array - Standardzellen	104

5.2.5	FPGA, LCA, CPLD.....	104
5.2.6	EPLD, GAL, PAL, PLA	105
5.3	Schaltungsentwicklung.....	106
5.3.1	Entwurfsschritte	106
5.3.2	Handrechnung.....	108
5.4	Schaltungseingabe.....	108
5.4.1	Schaltplaneingabe	109
5.4.1.1	Bauteilsymbole.....	109
5.4.1.2	Terminals.....	109
5.4.1.3	Properties	109
5.4.1.4	Signalnamen	109
5.4.2	Hardwarebeschreibungssprachen	109
5.4.2.1	VHDL	110
5.4.3	Schaltungssynthese.....	114
5.5	Simulation.....	115
5.5.1	Grundlagen	115
5.5.2	Parameterstreuungsabschätzung	115
5.5.3	Analogsimulation	116
5.5.3.1	Netzliste	116
5.5.3.2	Syntax	117
5.5.3.3	Analysen	117
5.5.3.4	MOS Berechnungsmodelle.....	117
5.5.4	Digitalsimulation.....	117
5.5.4.1	Signalrichtung, -stärke	118
5.5.4.2	Netzliste.....	118
5.5.4.3	Netzlistenelemente	118
5.5.4.3.1	Transistoren, Widerstände, Kapazitäten.....	119
5.5.4.3.2	Logikgatter	119
5.5.4.3.3	Schaltungsblöcke	119
5.5.5	Mixed-Mode Simulation.....	119
5.5.6	Testvektoren.....	120
5.5.6.1	Anwendungen	120
5.5.7	Fehlersimulation	121
5.6	Layout.....	121
5.6.1	Layerbezeichnungen	121
5.6.2	Schematic Driven Layout	121
5.6.3	Automatische Platzierung und Verdrahtung	122
5.6.4	Mixed-Mode Layoutregeln	122
5.6.5	Dummysstrukturen zur Nachkorrektur	123
5.6.6	Testpads	123
5.7	Entwurfsprüfung.....	123
5.7.1	ERC	124
5.7.2	DRC.....	124
5.7.3	LVS	125
5.8	Fertigung.....	125
5.8.1	Maskenerstellung	125
5.8.1.1	Single Run	126
5.8.1.2	MPW-Run.....	126
5.8.2	Backup-Wafer	126
5.9	Mechanischer Aufbau.....	126
5.9.1	Einflüsse auf das elektrische Verhalten.....	126
5.9.1.1	Bonddrähte.....	126

5.9.1.2	Mechanische Spannungen im Substrat	127
5.10	Test	127
5.10.1	Anforderungen und Fehlerarten	127
5.10.2	Teststrategie	128
5.10.3	Fehlermodelle	130
5.10.4	Prüfpfadtechnik	130
5.10.5	Boundary Scan (JTAG 1149.1)	131
5.10.6	Testarten.....	134
5.10.6.1	Pre-Test.....	134
5.10.7	Prototypentest	135
5.10.7.1	Fertigungstest.....	135
5.10.7.1.1	Ablauf.....	135
5.10.7.1.2	Burn In	135
5.10.8	Kenngrößen der Fertigung	136
6	LITERATUR	21
6.1	Verwendete.....	138
6.2	Weiterführende	139
7	INDEX.....	140

Abbildungsverzeichnis

Abbildung 2-1: Schichtendarstellung	14
Abbildung 2-2: Fertigungsschritte bei einem N-Wannen-CMOS-Prozess	15
Abbildung 2-3: Fertigungsschritte bei einem N-Wannen-CMOS-Prozess (fortgesetzt)	16
Abbildung 2-4: Querschnitt und Layout eines Inverters in N-Wannen-Technologie	17
Abbildung 2-5: Querschnittsdarstellung mit Feld-Transistor	18
Abbildung 2-6: Keine freie Wahl der Substratanschlüsse bei NMOST in einem N-Wannen-Prozess	18
Abbildung 2-7: Freie Wahl der Substratanschlüsse bei PMOST in einem N-Wannen-Prozess	18
Abbildung 2-8: Diodenersatzschaltung zu Abbildung 2-7	18
Abbildung 2-9: Querschnitt und Layoutdarstellung für einen Zwei-Wannen-Prozess	19
Abbildung 2-10: Querschnittsdarstellung für einen BiCMOS-Prozess	20
Abbildung 2-11: Querschnittsdarstellung eines SOI-Prozesses	20
Abbildung 3-1: Symbole für einen PMOST (links) und einen NMOST (rechts); Anreicherungstyp	21
Abbildung 3-2: Symbole für einen npn-BJT (links) und einen pnp-BJT (rechts)	21
Abbildung 3-3: Schichtendimensionen	21
Abbildung 3-4: Serien- und Parallelschaltung von Schichtenelementen	22
Abbildung 3-5: Schaltung und zeitlicher Signalverlauf für LCD-Backplaneansteuerung	23
Abbildung 3-6: Diffusionskapazitätsanteile	25
Abbildung 3-7: Kopplungskapazitäten zwischen Schichten in integrierten Schaltungen	26
Abbildung 3-8: Parasitärer Thyristor bei CMOS-Strukturen und Latch-Up	28
Abbildung 4-1: Symbole für NMOST (Anreicherungstyp)	29
Abbildung 4-2: Eingangskennlinien für verschiedene MOST-Typen	30
Abbildung 4-3: MOST Steuereffekt	31
Abbildung 4-4: MOST - Linearer Arbeitsbereich, kein Strom	32
Abbildung 4-5: MOST - Linearer Arbeitsbereich	32
Abbildung 4-6: MOST - Sättigungsbereich	33
Abbildung 4-7: Aufbau und Geometrie von MOS-Transistoren	33
Abbildung 4-8: Einfachste MOST-Großsignalersatzschaltung	35
Abbildung 4-9: MOST-Großsignalersatzschaltbild	35
Abbildung 4-10: Eingangskennlinie eines NMOST	36
Abbildung 4-11: Ausgangskennlinie eines NMOST	36
Abbildung 4-12: Substratsteuereffekt	37
Abbildung 4-13: Einfluss der Kanallängenmodulation und der effektiven Länge und Weite	38
Abbildung 4-14: Effektive Kanallänge und -weite	38
Abbildung 4-15: Einfachstes Kleinsignalersatzschaltbild	39
Abbildung 4-16: Kleinsignalersatzschaltbild eines MOST	40
Abbildung 4-17: Kapazitäten bei einem MOST	40
Abbildung 4-18: Gate-Substrat-Überlappungskapazität	41

Abbildung 4-19: MOST-Kapazitäten in den einzelnen Arbeitsbereichen	42
Abbildung 4-20: Kennlinien für schwache Inversion	43
Abbildung 4-21: Symbole für PMOST (Anreicherungstyp)	44
Abbildung 4-22: Symbol für einen npn-BJT	44
Abbildung 4-23: Querschnitt und Layout eines vertikalen npn-BJT	45
Abbildung 4-24: Ausgangskennlinie für einen vertikalen npn-BJT	46
Abbildung 4-25: Early-Spannung und Ausgangswiderstand	47
Abbildung 4-26: BJT-Ersatzschaltung für Normalbetrieb (links) und gesättigtem Zustand (rechts)	47
Abbildung 4-27: Kleinsignal Ersatzschaltbild für einen npn-BJT	48
Abbildung 4-28: Symbol für pnp-BJT	49
Abbildung 4-29: Vertikaler (a) und lateraler (b) pnp-BJT	49
Abbildung 4-30: Schalter mit N- und PMOST	52
Abbildung 4-31: Schalter mit komplementären MOST	52
Abbildung 4-32: Logische Grundfunktionen mit MOST	53
Abbildung 4-33: Inverter mit Schaltern	54
Abbildung 4-34: Inverter	54
Abbildung 4-35: Arbeitsbereiche der Transistoren bei einem Inverter	55
Abbildung 4-36: DC-Inverterkennlinie	56
Abbildung 4-37: DC-Inverterkennlinie in Abhängigkeit vom Transistorverstärkungsfaktor	57
Abbildung 4-38: Störabstand bei CMOS	58
Abbildung 4-39: Bestimmung des Störabstandes	58
Abbildung 4-40: NAND in CMOS-Technologie	59
Abbildung 4-41: NOR in CMOS-Technologie	60
Abbildung 4-42: Komplexe Logikfunktion mit MOST	61
Abbildung 4-43: Multiplexer mit Transmissions-Gattern	61
Abbildung 4-44: Latch in CMOS-Technologie	62
Abbildung 4-45: Flip-Flop in CMOS-Technologie	63
Abbildung 4-46: Eingangsschutzstruktur	66
Abbildung 4-47: Schmitt-Trigger in CMOS-Technologie	66
Abbildung 4-48: Tristate I/O-Pad	67
Abbildung 4-49: Schaltung eines 4 mA Ausgangspads	67
Abbildung 4-50: Schaltung eines 8 mA Ausgangspads	68
Abbildung 4-51: I/O-Padzelle eines Gate-Arrays	69
Abbildung 4-52: Spannungsverzögerungsfaktor	70
Abbildung 4-53: Temperaturverzögerungsfaktor	71
Abbildung 4-54: Verzögerungs-, Anstiegs- und Abfallzeit	72
Abbildung 4-55: Setup- und Holdzeit	73
Abbildung 4-56: Enable- und Disable-Zeiten bei Tri-State-Ausgängen	73
Abbildung 4-57: Operationsverstärker mit analogen Grundschalungsblöcken	75

Abbildung 4-58: Idealer Schalter	76
Abbildung 4-59: Realer Schalter	76
Abbildung 4-60: Grenzfrequenz einer Schalter-Kondensatoranordnung.....	77
Abbildung 4-61: Verlauf des R_{ON} eines MOST-Schalters	78
Abbildung 4-62: Störladung	79
Abbildung 4-63: Kompensation der Störladung mit Dummy-Transistor.....	79
Abbildung 4-64: R_{ON} bei einem Transmissions-Gatter.....	80
Abbildung 4-65: Schalter mit gleichmäßigem R_{ON} durch Substratspannungssteuerung.....	80
Abbildung 4-66: Arbeitspunkt und differentieller Widerstand.....	81
Abbildung 4-67: MOST als aktive Last	81
Abbildung 4-68: BJT als aktive Last.....	82
Abbildung 4-69: Widerstand nach der Schalter-Kondensator-Methode	83
Abbildung 4-70: Stromsenke (links), Stromquelle (rechts)	84
Abbildung 4-71: Kenngrößen von Stromsenken (links) und Stromquellen (rechts).....	84
Abbildung 4-72: Einfache Stromsenke mit BJT und MOST.....	84
Abbildung 4-73: Stromsenken mit Gegenkopplung.....	85
Abbildung 4-74: Stromsenke mit Mitkopplung ("Bootstrapping")	86
Abbildung 4-75: Geregelte Kaskode als Stromsenke.....	87
Abbildung 4-76: Einfacher Stromspiegel mit BJT und MOST	88
Abbildung 4-77: Kaskadierte Stromspiegel	88
Abbildung 4-78: Wilson Stromspiegel.....	89
Abbildung 4-79: Stromspiegel mit geregelter Kaskode	89
Abbildung 4-80: Differenzverstärker.....	90
Abbildung 4-81: Analoge I/O Padzelle.....	91
Abbildung 4-82: MOST-Kleinsignalersatzschaltbild mit Rauschquellen	94
Abbildung 4-83: BJT-Kleinsignalersatzschaltbild mit Rauschquellen	95
Abbildung 4-84: Aufbau einer Zener-ZAP Zelle	96
Abbildung 4-85: Teststruktur mit N- und PMOST und Testpads zum Kontaktieren.....	96
Abbildung 4-86: Justiermarken	97
Abbildung 4-87: Teststrukturen zur Bestimmung der Qualität von Lithographie und Ätzworgang.....	97
Abbildung 5-1: Designablauf.....	99
Abbildung 5-2: Einteilung der ASICs	100
Abbildung 5-3: Randbedingungen für die ASIC-Auswahl	101
Abbildung 5-4: Grundstruktur eines Gate Arrays	103
Abbildung 5-5: Mögliche Struktur einer Gate Array Grundzelle	103
Abbildung 5-6: NAND aus Gate Array Grundzelle.....	103
Abbildung 5-7: Schaltung einer LCA-Grundzelle	105
Abbildung 5-8: Y-Diagramm der Entwurfsphasen.....	107
Abbildung 5-9: Entwurfsablauf (links, "klassisch"), (rechts, "ideal")	108

Abbildung 5-10: Einstiegsebenen für ein VHDL-Design	110
Abbildung 5-11: Logiksynthese und Layout mit VHDL	111
Abbildung 5-12: Die Struktur von VHDL-Designs	112
Abbildung 5-13: Blockschaltbild des Volladdierers	112
Abbildung 5-14: Ersatzschaltung zur DATAFLOW Beschreibung	113
Abbildung 5-15: Blockschaltbild zur Strukturbeschreibung	114
Abbildung 5-16: Flußdiagramm der Layoutverifikation	124
Abbildung 5-17: Teststrategien	129
Abbildung 5-18: Prinzipschaltbild zur Scanfadentechnik	131
Abbildung 5-19: Blockschaltbild der chipinternen Boundary-Scan Architektur.....	132
Abbildung 5-20: State-Diagramm zum TAP-Controller.....	133
Abbildung 5-21: Blockschaltbild einer Boundary Scan Zelle	133
Abbildung 5-22: Baugruppentest	134

Tabellenverzeichnis

Tabelle 3-1: Schichtwiderstände für einen 1 μ m-CMOS-Prozess	22
Tabelle 3-2: Poly1-Poly2-Kapazität für einen 1 μ m-CMOS-Prozess	23
Tabelle 3-3: Typische Sperrschichtkapazitätsbeläge	25
Tabelle 3-4: Routingkapazitäten in einem 1 μ m-CMOS-Prozess	26
Tabelle 4-1: Standardzellen eines 1,2 μ m CMOS-Prozesses mit charakteristischen Kenngrößen	65
Tabelle 4-2: Spannungsverzögerungsfaktoren.....	71
Tabelle 4-3: Temperaturverzögerungsfaktoren.....	71
Tabelle 4-4: MOSTs als aktive Last.....	81
Tabelle 4-5: Kenngrößen für einfache Stromspiegel	88
Tabelle 4-6: Kenngrößen für kaskadierte Stromspiegel.....	88
Tabelle 4-7: Kenngrößen für Wilson Stromspiegel	89
Tabelle 4-8: Kenngrößen für Stromspiegel mit geregelter Kaskode.....	89
Tabelle 5-1: Eigenschaften von ASICs	100
Tabelle 5-2: Produktmodell zur Ausbeutebestimmung.....	136
Tabelle 5-3: Produktqualität in Abhängigkeit von Ausbeute und Fehlererfassung.....	136
Tabelle 5-4: Fehlerabdeckung, Aufwand	137

1 Einleitung

Das vorliegende Skriptum dient in erster Linie zur Begleitung der Vorlesung und Übung aus "Integrierte Schaltungen 2", die im Rahmen der Studien Elektrotechnik und Telematik an der Technischen Universität Graz angeboten werden. Es ist auch gedacht als Nachschlagewerk für die Grundlagen, die beim Entwurf von anwendungsspezifischen integrierten Schaltungen (Application Specific Integrated Circuit, ASIC) zu beachten sind. Als ASICs werden in diesem Zusammenhang sowohl die breite Gruppe der programmierbaren Logikbausteine als auch die Bausteine betrachtet, die auf Siliziumbasis in CMOS- und BiCMOS-Technologie von Grund auf neu entwickelt und entworfen werden. Die Entwurfsmethodik und die Entwurfswerkzeuge sind in beiden Fällen gleich bzw. ähnlich.

1.1 Inhalt und Ziel der Lehrveranstaltung

"Integrierte Schaltungen 2, Vorlesung"; Lehrinhalte:

Im Rahmen dieser Lehrveranstaltung wird vertiefend auf die siliziumbasierende Technologie (CMOS und BiCMOS) und den Entwurf von integrierten Schaltungen mit MOS- und Bipolartransistoren eingegangen. Ein Schwergewicht dieser Lehrveranstaltung liegt im Entwurf (Dimensionierung) und im Layout von analogen integrierten Schaltungen und auf dem Gebiet des CMOS Standardzellenentwurfs digitaler Schaltungen. Die behandelten Themen erstrecken sich über alle Teilaspekte eines ASIC Entwurfs (Randbedingungen, Ablauf, CAD-Werkzeuge, Testbarkeit etc.).

"Integrierte Schaltungen 2, Vorlesung"; Lehrziele:

Modelle für die Berechnung des Verhaltens von MOS- und Bipolartransistoren; Vertiefung des Technologieverständnisses im Bereich integrierter Schaltungen (Welche Bauelemente stehen mit welchen Eigenschaften zur Verfügung); Entwurf und Layout von integrierten Digitalschaltungen in CMOS; Dimensionierung von einfachen analogen integrierten Schaltungen.

"Integrierte Schaltungen 2, Übungen"; Lehrinhalte:

Die Lehrveranstaltung ist als Designkurs mit dem Ausbildungsziel des selbständigen Entwurfs von kundenspezifischen integrierten Schaltungen mit professioneller CAD-Software aufgebaut. Die Übungen umfassen im wesentlichen das Gebiet der analogen Schaltungssimulation mit SPICE und die Layouterstellung für eine digitale Standardzelle in CMOS-Technologie. Weiters wird ein hierarchischer Standardzellenentwurf von der Schaltplanerstellung über die Verifikation mit Hilfe eines Logiksimulators bis zur automatischen Erstellung eines Layouts durchgeführt.

"Integrierte Schaltungen 2, Übungen"; Lehrziele:

Einsatz von industrieller CAD-Software; Praktischer Umgang mit dem Analogsimulator HSPICE zur Charakterisierung von analogen und digitalen integrierten Schaltungen; Layouterstellung einer CMOS Standardzelle; Hierarchischer Standardzellenentwurf und Schaltungssimulation mit einem Logiksimulator.

2 Fertigungstechnologien

2.1 Silizium als Ausgangsmaterial

Die überwiegende Anzahl (ca. 98 %, [1]) von mikroelektronischen Systemen (integrierte Schaltungen, Mikrosysteme, Sensoren) werden heute in Technologien gefertigt, die Silizium als Ausgangsmaterial verwenden. Hochreines, monokristallines Silizium ist ein vierwertiger Halbleiter, dessen Leitfähigkeit durch Zugabe (Dotierung) von drei- oder fünfwertigen Materialien in bestimmter Konzentration in weiten Bereichen eingestellt werden kann. Je nach der Art der Dotierung stehen darüber hinaus Schichten zur Verfügung, in denen einmal die Elektronen den Hauptanteil zur Leitfähigkeit beitragen (**Elektronen** als Majoritätsladungsträger, Dotierung mit **fünfwertigem** Material, **n-dotierte** Schichten) bzw. in denen die Löcher (**Löcher** als Majoritätsladungsträger, Dotierung mit **dreiwertigem** Material, **p-dotierte** Schichten) überwiegen. Neben diesen halbleitenden Schichten gibt es auch noch niederohmige Verbindungsschichten und isolierende Schichten, sodass sich eine Vielzahl von Strukturen und Bauelementen auf einem gemeinsamen Trägermaterial (Substrat) realisieren lassen. Die Festlegung der Struktur erfolgt zum einen durch lithographische (Licht, Elektronenstrahlen) und zum anderen durch chemische (Oxidation, Diffusion, Implantation, Ätzen, epitaktisches Aufwachsen von Schichten etc.) Prozessschritte. Der dominierende Technologieparameter ist dabei die minimal mögliche Strukturbreite für die Elemente.

Neben reinem Silizium als Ausgangsmaterial gibt es auch noch Kombinationen (z.B. die sogenannten III-V-Halbleiter), die für spezielle Anwendungen (z.B. Gallium-Arsenid, GaAs, für Hochfrequenzschaltungen) eingesetzt werden. II-VI-Halbleiterverbindungen werden wegen der großen Energielücke z.B. in der Optoelektronik eingesetzt.

Im Rahmen der Lehrveranstaltung "Integrierte Schaltungen 2" wird ausschließlich auf siliziumbasierende Technologien eingegangen, deren Struktur und Aufbau nachfolgend dargestellt wird.

2.2 CMOS

Im Rahmen der hier betrachteten Fertigungstechnologien stellt die CMOS-Struktur (Complementary Metal Oxide Semiconductor) mit einem Anteil von 85 % ([2]) den dominierenden Anteil am Gesamtfertigungsvolumen dar. Daher wird diese Technologie auch in diesem Skriptum vorrangig behandelt.

Je nach der Dotierung des Wafer-Grundmaterials und der verwendeten Schichten werden unterschiedliche Fertigungsprozesse für CMOS angewendet. Die Anzahl der Polysilizium- und der Metallschichten ist ein Kennzeichen für den Prozess (z.B. Double-Poly, Double Metal). Darüberhinaus erfolgt die Bezeichnung nach der Art der Wannen, die in das Substrat eingebracht werden. Es gibt dabei folgende praxisrelevante Unterscheidungen:

- **N-Wanne:** p-dotiertes Substrat, das die N-Kanal-MOS-Feldeffekttransistoren (NMOST) enthält. P-Kanal-MOS-Feldeffekttransistoren (PMOST) werden in der N-Wanne (N-well) realisiert. Prozesse dieses Typs sind zur Zeit dominierend.
- **P-Wanne:** n-dotiertes Substrat, das die P-Kanal-Transistoren enthält. N-Kanal-Transistoren werden in der P-Wanne (P-well) realisiert. Prozesse dieses Typs werden heutzutage nur mehr selten eingesetzt.

- **Zwei-Wannen:** Auf ein Substrat werden in einer epitaktisch aufgewachsenen Schicht die N- und die P-Wannengebiete gebildet. Der Vorteil solcher Zwei-Wannen-Prozesse (twin-well, twin-tub) liegt in der Möglichkeit, die Wanneneigenschaften für beide Transistorarten separat zu optimieren.

Die wesentlichen Fertigungsschritte bei der Erstellung einer integrierten CMOS-Schaltung werden im folgenden anhand von Prozessquerschnittsdarstellungen für einen N-Wannen Prozess gezeigt. Die dabei verwendete Kennzeichnung der Schichten ist in Abbildung 2-1 dargestellt. Für genauere Informationen zu den einzelnen Fertigungsschritten sei auf Kapitel 5.8 und auf [3], [4] verwiesen.

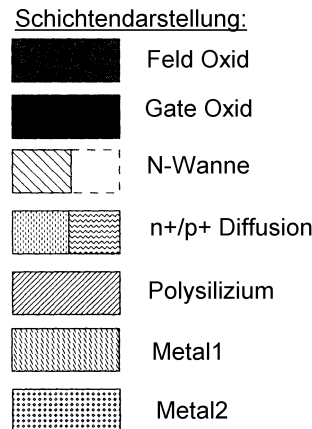


Abbildung 2-1: Schichtendarstellung

Durch Ionenimplantation werden zunächst die N-Wannengebiete erstellt (Abbildung 2-2,a). Dabei ist anzumerken, dass es bei diesem Prozessschritt in der Realität zu einer lateralen Unterdiffusion unter die Maske kommt. Dadurch wird der minimal mögliche Abstand zu benachbarten Diffusionsgebieten bestimmt.

Abbildung 2-2,b zeigt den Querschnitt nach der Strukturierung der sogenannten "Aktiven Gebiete" (active area, thinox, island, mesa). Das sind die Gebiete, in denen später beide Typen von MOS-Transistoren realisiert werden. Die Oxidschicht entspricht dem Gateoxid und wird für diesen Prozessschritt sehr genau in ihrer Dicke kontrolliert, da die Transistoreigenschaften wesentlich von dieser Größe abhängen. Silizium-Nitrid wird für nachfolgende Fertigungsschritte als Maske verwendet.

Zur Verringerung der gegenseitigen Beeinflussung von Schaltungsteilen im gemeinsamen Substrat wird manchmal eine p-Dotierung an allen Stellen mit Ausnahme der N-Wannen vorgenommen (Abbildung 2-2,c).

Die Oxidation des Wafers mit den bisher strukturierten Elementen dient der Erstellung einer dicken Isolierschicht. Diese Oxidschicht wird Feld-Oxid (field oxyd) genannt. Dabei ist zu beachten, dass diese Schicht (SiO_2) gegenüber dem reinen Silizium das doppelte Volumen aufweist. Näherungsweise kann gesagt werden, dass der Volumszuwachs jeweils zur Hälfte im Substrat und an der Oberfläche erfolgt. Auch die Maske der Aktiven Gebiete wird z.T. unterwandert. Das Resultat ist eine keilförmige Struktur (bird's beak), die die geometrischen Abmessungen der Aktiven Gebiete verkleinert (Abbildung 2-2,d; Abbildung 2-3,g).

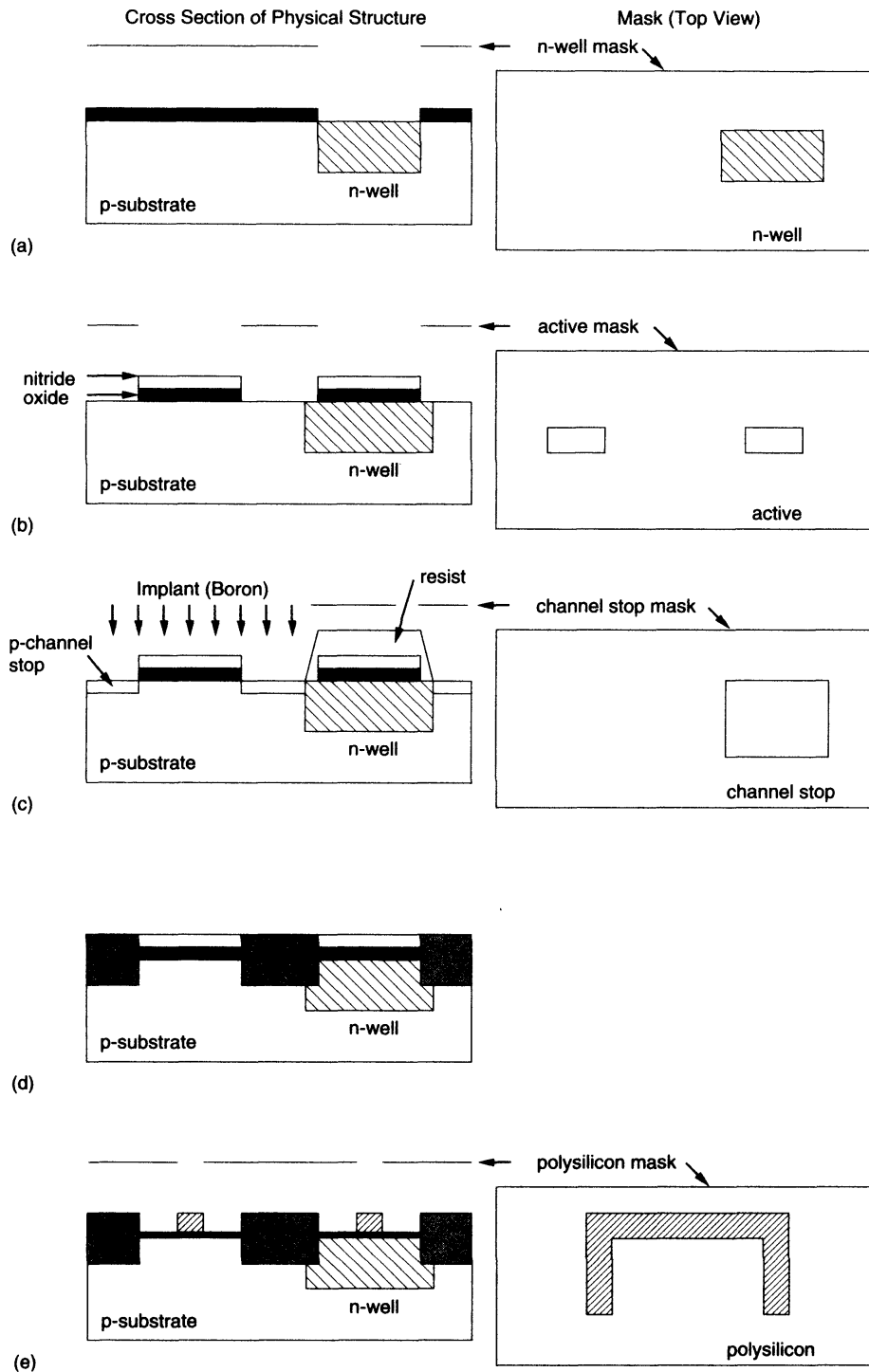


Abbildung 2-2: Fertigungsschritte bei einem N-Wannen-CMOS-Prozess

Die Methode der Oxidation an allen Stellen mit Ausnahme der Aktiven Gebiete wird als LOCOS (local oxidation of silicon) bezeichnet. Die nach diesem Fertigungsschritt plane Oberfläche ist ein weiterer Vorteil dieser Methode.

Nach dem Entfernen der Silizium-Nitrid-Schicht wird Polysilizium abgeschieden und strukturiert. In dieser Schicht werden häufig die Verbindungen von zusammengehörigen Gate-Anschlüssen durchgeführt (Abbildung 2-2,e).

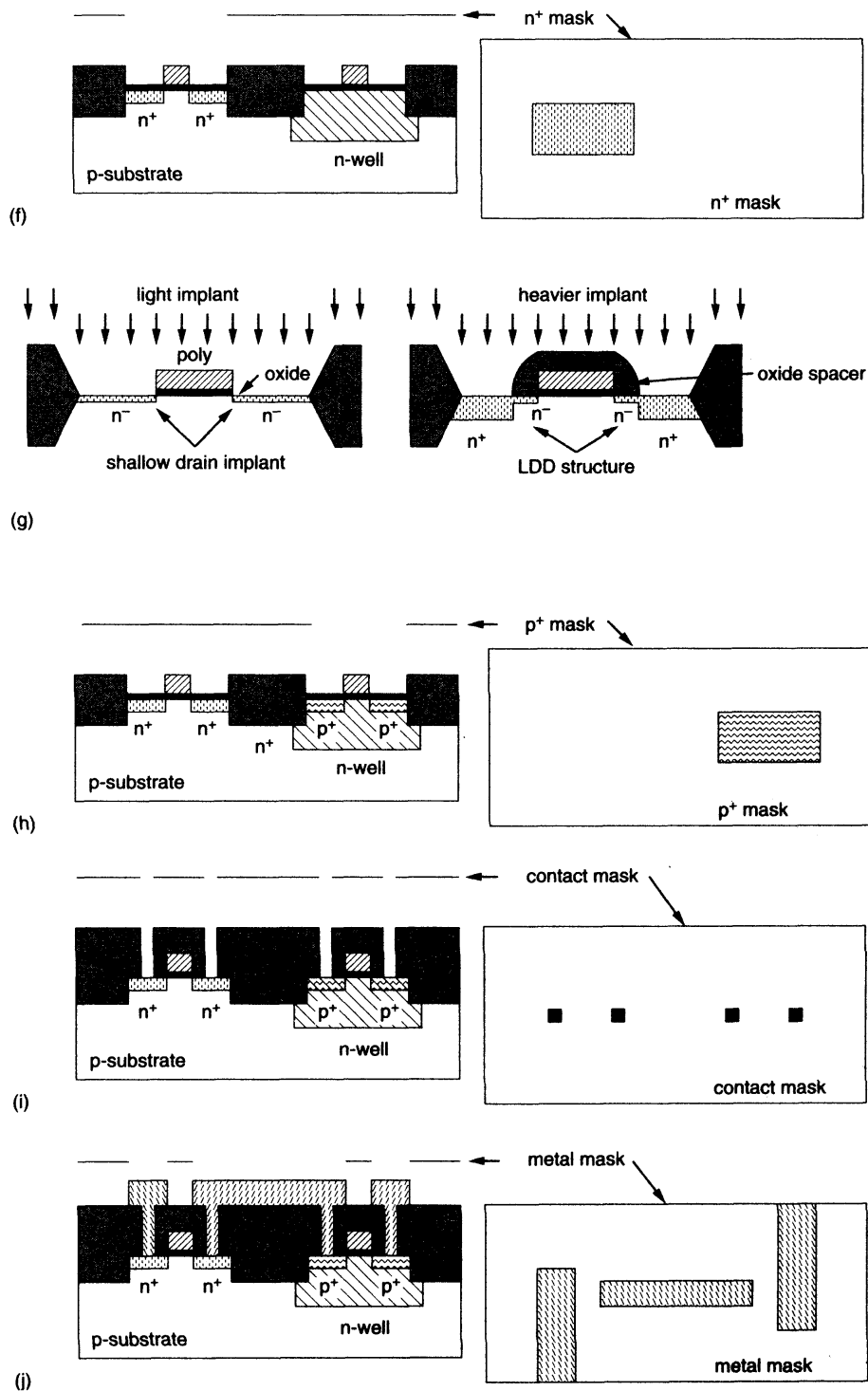


Abbildung 2-3: Fertigungsschritte bei einem N-Wannen-CMOS-Prozess (fortgesetzt)

Abbildung 2-3,f-h zeigen die Dotierung an den Drain- und Source-Anschlüssen der MOS-Transistoren. Der schon vorhandene Gate-Anschluss in Polysilizium dient in diesem Fall als Maske, wodurch eine exakte Bildung des Transistorkanals unter dem Gate gegeben ist. Diese Methode wird als selbstjustierend (self aligned) bezeichnet. Wie auch bei der Dotierung der N-Wanne kommt es bei diesen Ionenimplantationen zu einer Unterdiffusion (LD, lateral diffusion) unter die Gate-Elektrode, sodass die Länge des Transistorkanals verkleinert wird. Gegebenenfalls erfolgt die Dotierung auch in mehreren Schritten, um auf diese Weise z.B. eine

LDD-Struktur (lightly doped drain) zu erzeugen, die die Drain-Source-Spannungsfestigkeit erhöht.

Die Ionenimplantation erfolgt auch an den Stellen, an denen die Substrat- bzw. Wannenkontakte erstellt werden. Dabei handelt es sich um rein ohm'sche Kontakte ohne Sperrschichtbildung.

Den Abschluss der Fertigung bildet eine weitere Oxidation zur Isolierung der metallischen Verbindungsleitungen untereinander bzw. zur Polysiliziumschicht, in der die Gateanschlüsse erstellt wurden (Abbildung 2-3,i,j). Der Kontakt zwischen den einzelnen Schichten wird über Kontaktlöcher (via, contact) hergestellt. Bei Prozessen mit geringen Strukturbreiten ($< 0,8 \mu\text{m}$) werden die Kontaktlöcher mit einer Wolframverbindung aufgefüllt und plangeätzt. Bei größeren Strukturen ist das Kontaktmaterial ident mit den Verbindungsleitungen (i.A. Aluminium).

Eine abschliessend auf den Wafer aufgebraute Passivierungsschicht aus Silizium-Nitrid dient als Schutz vor mechanischen Beeinträchtigungen.

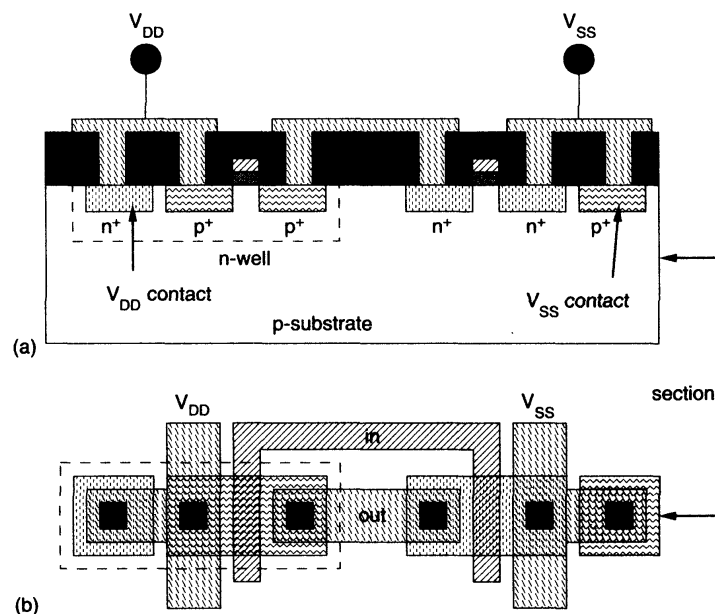


Abbildung 2-4: Querschnitt und Layout eines Inverters in N-Wannen-Technologie

Eine idealisierte Darstellung eines CMOS-Inverters ist in obenstehender Abbildung zu sehen. Die V_{DD} - und V_{SS} -Anschlüsse für die Transistoren und die Substrat- bzw. Wannenanschlüsse sind dabei auch eingezeichnet.

In der CMOS-Struktur ist neben den erwünschten Transistoren u.U. auch noch ein sogenannter Feld-Transistor (field transistor) vorhanden. In Abbildung 2-5 ist dieser Transistor schematisch dargestellt. In diesem Fall ist der Steueranschluss eine Verdrahtung auf Metallebene, der Drain- und der Sourceanschluss stammen von zwei benachbarten MOS-Transistoren. Durch die große Feld-Oxid-Dicke und evt. durchgeführte Prozessschritte (channel stop implantation) wird das Entstehen dieser parasitären Transistoren weitgehend verhindert.

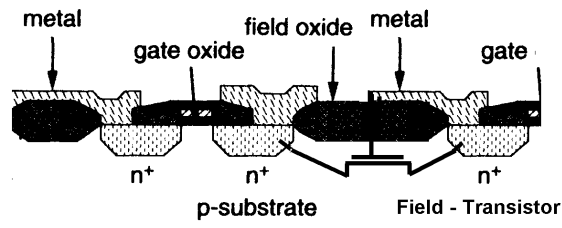


Abbildung 2-5: Querschnittsdarstellung mit Feld-Transistor

Die Wahl des Fertigungsprozesses bringt einige Einschränkungen für die Schaltungsentwicklung mit sich. Exemplarisch wird das für einen N-Wannen-Prozess an Hand eines Spannungsteilers gezeigt, der zum einen (Abbildung 2-6) mit N-Kanal-MOS-Transistoren und zum anderen (Abbildung 2-7) mit P-Kanal-MOS-Transistoren realisiert ist. In beiden Fällen sind jeweils die Source- und Substratanschlüsse miteinander verbunden. Es ist aus der Querschnittsdarstellung sofort ersichtlich, dass eine Realisierung wie in Abbildung 2-6 **nicht** möglich ist, weil eine Diode (strichliert gezeichnet) in diesem Fall in Durchlassrichtung betrieben würde.

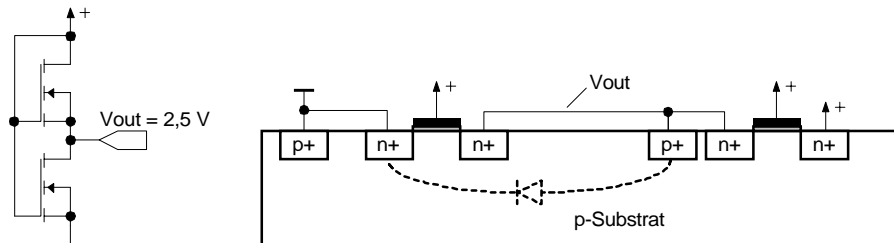


Abbildung 2-6: Keine freie Wahl der Substratanschlüsse bei NMOST in einem N-Wannen-Prozess

Kein Problem mit Dioden in Durchlassrichtung gibt es dagegen bei der Realisierung wie in Abbildung 2-7. Die zugehörige Diodenersatzschaltung ist in Abbildung 2-8 dargestellt.

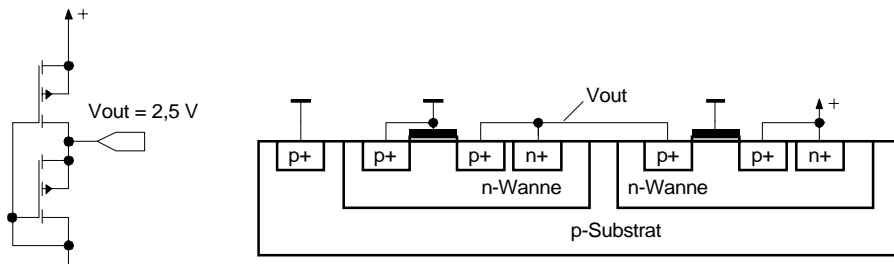


Abbildung 2-7: Freie Wahl der Substratanschlüsse bei PMOST in einem N-Wannen-Prozess

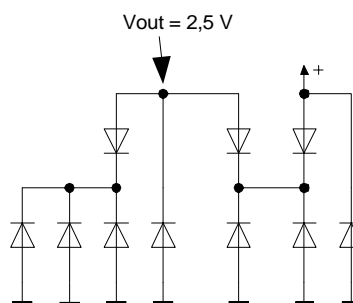


Abbildung 2-8: Diodenersatzschaltung zu Abbildung 2-7

Vor allem bei analogen integrierten Schaltungen kann es aus schaltungstechnischen Gründen notwendig sein, den Substratanschluss eines Transistors auf ein Potential zu legen, das nicht mit den Versorgungsspannungen ident ist. In diesem Fall kann man als Merkregel für die Prozessauswahl angeben: Beim **N-Wannen-Prozess** kann man über das Substratpotential des **P-Kanal-Transistors** frei verfügen und umgekehrt. Will man über das Substratpotential des N-Kanal-Transistors frei verfügen so bedingt das die Wahl eines P-Wannen-Prozesses.

Ein weiteres Kriterium für die Prozessauswahl kann darin liegen, dass grundsätzlich der Transistortyp, der im Substrat realisiert ist, die relativ gesehen besseren Eigenschaften aufweist.

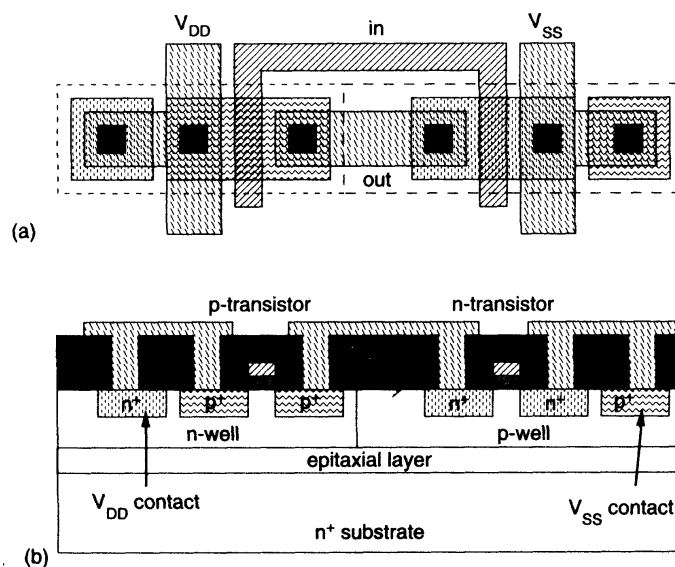


Abbildung 2-9: Querschnitt und Layoutdarstellung für einen Zwei-Wannen-Prozess

Eine Abhilfe für das Problem der freien Wahl des Substratpotentials können die Zwei-Wannen-Prozesse sein. Eine Querschnittsdarstellung und ein Layout eines Inverters in dieser Technologie sieht man in Abbildung 2-9. Auf das Substrat wird epitaktisch monokristallines Silizium aufgewachsen. In diese Schicht, die der Entkopplung der Wannen dient, werden durch Diffusion bzw. Implantation die beiden Wannentypen gebildet. Es besteht dabei die Möglichkeit der Optimierung der elektrischen Parameter für beide Transistortypen. Nachteilig ist in diesem Fall naturgemäß der höhere Fertigungsaufwand.

2.3 BiCMOS

Einen steigenden Einsatz finden siliziumbasierte Fertigungsprozesse, die neben den MOS-Transistoren auch die Realisierung von Bipolartransistoren erlauben. Bipolartransistoren werden wegen des weiten Steuerbereichs, der exponentiellen Kennlinie, der hohen Steilheit, der hohen internen Verstärkung, der hohen Transitfrequenz und den guten Rauscheigenschaften in Analogschaltungen oft den MOS-Transistoren vorgezogen. Die Kombination dieser Eigenschaften mit den Vorteilen der CMOS-Technologie im Bereich der Digitalschaltungen (hoher Störabstand, keine statische Verlustleistung etc.) wird vor allem im Bereich der gemischt analog-digitalen Schaltungsentwicklung interessant.

In Abbildung 2-10 ist die Querschnittsdarstellung für einen BiCMOS-Prozess gezeigt. Es sind dabei die vier möglichen Transistorrealisierungen nebeneinander dargestellt. Aus dieser Darstellung lässt sich der deutlich höhere Fertigungsaufwand erahnen, der hauptsächlich darin

begründet ist, dass mehr Masken benötigt werden und dass es bei diesen Prozessen notwendig ist, nach bestimmten Fertigungsschritten eigene Prozessschritte zur "Planierung" der Waferoberfläche durchzuführen.

Die Kosten für die Fertigung liegen z.T. doppelt so hoch wie bei vergleichbaren CMOS-Prozessen.

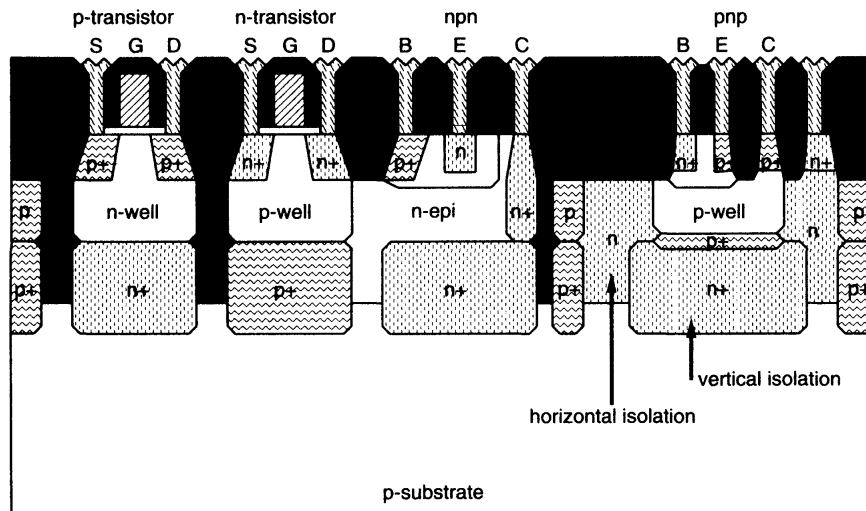


Abbildung 2-10: Querschnittsdarstellung für einen BiCMOS-Prozess

2.4 SOI (Silicon On Insulator)

Bei dieser Technologie erfolgt der Aufbau der MOS-Transistoren nicht in einem Substrat bzw. in Wannen sondern in epitaktisch auf einen Isolator aufgetragenen Siliziumschichten. Abbildung 2-11 zeigt den Querschnitt durch eine SOI-Struktur. Es gibt keine Beeinflussung der Transistoren über das gemeinsame Substrat. Einige parasitäre Erscheinungen und daraus resultierende Nebeneffekte (Latch-Up etc.) sind in dieser Technologie nicht vorhanden. Ein überaus gewichtiger Vorteil liegt in der Tatsache, dass Schaltungen in SOI-Technologie weitgehend unempfindlich in Hinblick auf hochenergetische Strahlung sind. Der bevorzugte Einsatzbereich liegt daher in der Raumfahrt und der Kernenergie. Die hohen Kosten für die Fertigung spielen in diesen Bereichen meist eine untergeordnete Rolle.

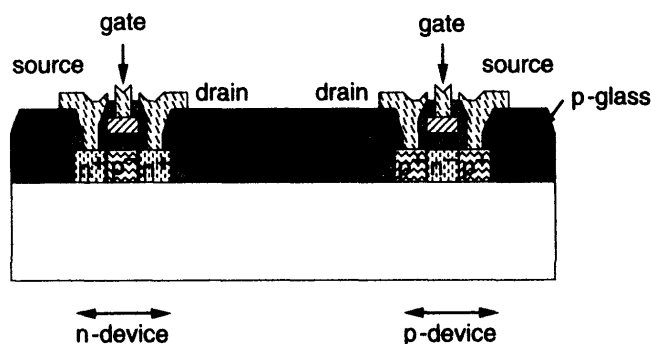


Abbildung 2-11: Querschnittsdarstellung eines SOI-Prozesses

3 Bauelemente der integrierten Schaltungstechnik

3.1 MOS-Transistoren (MOST)

MOS-Feldeffekttransistoren (Metal Oxid Semiconductor, MOS) können in verschiedenen Typen (N-, P-Kanal; Anreicherung, Verarmung) auf einer integrierten Schaltung hergestellt werden. Die Anreicherungstypen (Enhancement-Transistoren) sind dabei die bedeutendsten. Sie werden in ihrem Verhalten und in der mathematischen Modellierung im Kapitel 4 "**CMOS- und BiCMOS Grundlagen**" eingehend betrachtet.



Abbildung 3-1: Symbole für einen PMOST (links) und einen NMOST (rechts); Anreicherungstyp

Die Anschlüsse werden mit Drain (D), Gate (G), Source (S) und Bulk (B; = Substrat) bezeichnet.

3.2 Bipolartransistoren (BJT)

Bipolartransistoren (Bipolar Junction Transistor, BJT) gewinnen wegen der hohen Schaltgeschwindigkeiten und der großen Steilheit zunehmend an Bedeutung. Auch sie werden im Kapitel 4 "**CMOS- und BiCMOS Grundlagen**" genauer betrachtet. Die Unterscheidung der beiden möglichen Transistortypen erfolgt durch die Schichtenabfolge der Dotierung vom Kollektor zum Emitter (n-p-n bzw. p-n-p).

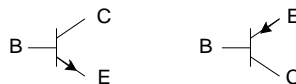


Abbildung 3-2: Symbole für einen npn-BJT (links) und einen pnp-BJT (rechts)

Die Anschlüsse werden mit Kollektor bzw. Collector (C), Emitter (E) und Basis bzw. Base (B) bezeichnet.

3.3 Widerstände

Bei den Widerständen in integrierten Schaltungen werden Schicht- und Übergangswiderstände (Kontaktlöcher bzw. Vias zwischen zwei Schichten) unterschieden.

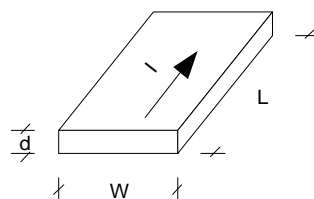


Abbildung 3-3: Schichtendimensionen

Der Widerstandswert eines Schichtenelements wird neben der Dicke d von der Stromflussrichtung und den geometrischen Abmessungen L und W bestimmt. R_s ist dabei der Schichtwiderstand, der in der Einheit Ω/Y (sprich: Ohm pro square) definiert ist. D.h. es wird der Widerstand für ein Element definiert, das gleiche Länge und Weite aufweist und damit keine Abhängigkeit von der Stromflussrichtung enthält. Der Gesamtwiderstand ergibt sich aus der Geometrie und der Stromflussrichtung zu

$$R_{ges} = R_s \cdot \frac{L}{W} \quad (3-1)$$

Abbildung 3-4 illustriert den Zusammenhang für zwei quadratische Schichtenelemente.

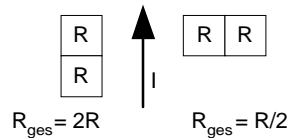


Abbildung 3-4: Serien- und Parallelschaltung von Schichtenelementen

Typische Größen für die Schichtwiderstände einer integrierten Schaltung ($1\mu\text{m}$ - CMOS-Prozess) sind in Tabelle 3-1 zusammengefasst.

Material	Schichtwiderstand [Ω/Y]		
	Min.	Typ.	Max.
Metall	0,05	0,07	0,1
Polysilizium	15	20	30
Silizid	2	3	6
Diffusion (n+,p+)	10	25	100
n-Wanne	1k	2k	5k

Tabelle 3-1: Schichtwiderstände für einen $1\mu\text{m}$ -CMOS-Prozess

Auffällig sind bei den Werten in Tabelle 3-1 die großen Toleranzen der Absolutwerte. Das Verhältnis der Widerstandswerte für gleiche Bauelemente auf einem Chip (Matching) liegt bei einem deutlich geringeren Wert (ca. $\pm 2\%$). Der Temperaturkoeffizient des Widerstandswertes liegt bei ca. $1500\text{ ppm}/^\circ\text{C}$. Polysiliziumwiderstände weisen gute Linearität auf. Diffusions- und Wannenzwiderständen zeigen ein nichtlineares Verhalten (Spannungsabhängigkeit des Widerstandswertes).

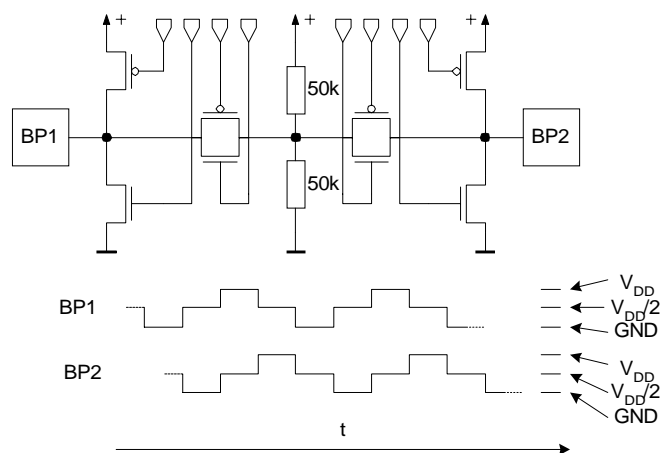


Abbildung 3-5: Schaltung und zeitlicher Signalverlauf für LCD-Backplaneansteuerung

Abbildung 3-5 zeigt ein Beispiel für den Einsatz von N-Wannen-Widerständen in einer Schaltung, die zur Backplaneansteuerung eines zweifach gemultiplexten LCDs dient. Die Signale des Pegels $V_{DD}/2$ werden über einen Spannungsteiler erzeugt und über Transmissions-Gatter an die Ausgangspads (BP1, BP2) angelegt.

Bei Abmessungen von $L = 125 \mu\text{m}$ und $W = 5 \mu\text{m}$ ergibt sich mit $R_S = 2 \text{ k}\Omega/\text{Y}$ ein Gesamtwiderstand R_{ges} von $50 \text{ k}\Omega$, was einen brauchbaren Wert für diesen Zweck darstellt. Die absoluten Werte sind in diesem Fall nicht sehr wichtig. Die Übereinstimmung der beiden Widerstandswerte zueinander ist dagegen bedeutend, da es sonst zu einem Gleichanteil am LCD kommen könnte, der die Anzeige unbrauchbar macht.

3.4 Kapazitäten

Gute Kapazitäten als passive Bauelemente erfordern einen Herstellungsprozess mit zwei Polysiliziumschichten (Poly1, Poly2), die durch eine dünne Oxidschicht ähnlich dem Gateoxid gegeneinander isoliert sind. Die Größe der Kapazität wird durch die Fläche und den prozesstypischen Kapazitätsbelag angegeben.

Material	Kapazitätsbelag [fF/ μm^2]		
	Min.	Typ.	Max.
Poly1-Poly2	1,65	1,77	1,92

Tabelle 3-2: Poly1-Poly2-Kapazität für einen $1\mu\text{m}$ -CMOS-Prozess

Auffällig sind bei den Werten in Tabelle 3-2 die großen Toleranzen der Absolutwerte. Auf einem Chip liegt das Matching für gleiche Kapazitäten zueinander bei einem deutlich geringeren Wert (ca. $\pm 0,06 \%$).

Wenn man im Herstellungsprozess keine zweite Polysiliziumebene zur Verfügung hat, kann auf folgende Kapazitäten zurückgegriffen werden, die in der Standard-CMOS-Struktur vorhanden sind, und die gleichzeitig auch parasitäre Kapazitäten darstellen.

a) Gatekapazität

Die Gatekapazität ist die dominierende Kapazität, da die Schichtdicke des Gateoxids nur einige nm beträgt. Die Kapazität wirkt zwischen dem Gate und dem Kanal bzw. den Anschlüssen Source und Drain.

$$C_g \approx C_{ox} \cdot A$$

$$\text{z.B.: } C_{ox} = 3,5 \frac{\text{fF}}{\mu\text{m}^2}; \text{ (bei } t_{ox} = 10 \text{ nm)}$$

C_{ox}	...	Oxidkapazität pro Fläche	(3-2)
C_g	...	Gatekapazität	
A	...	Gatefläche	
t_{ox}	...	Oxidschichtdicke	

$$\text{z.B.: } W = 10 \mu\text{m}; L = 2 \mu\text{m}; \rightarrow C_g = 70 \text{ fF}$$

b) Diffusionskapazität

Bei in Sperrrichtung angesteuerten pn-Übergängen, wie sie an der Grenze zwischen den Diffusionsgebieten und dem Substrat bzw. der Wanne auftreten, bilden die räumlich eng beisammenliegenden Raumladungen die Platten des Kondensators. Die Größe der Sperrspannung bestimmt den Abstand der Raumladungen. Damit ist ersichtlich, dass diese Kapazitäten eine starke Spannungsabhängigkeit aufweisen und daher nur in Fällen eingesetzt werden können, bei denen diese Abhängigkeit keine Rolle spielt, und der Absolutwert und die Linearität ebenfalls keine Rolle spielen. Die Diffusionskapazität (Sperrschichtkapazität, junction capacitance) C_j setzt sich aus zwei Komponenten zusammen: Zum einen aus einem Flächenanteil C_{ja} (capacitance junction-area) und zum zweiten aus einem Umfangsanteil C_{jp} (capacitance junction-perimeter). Die geometrischen Zusammenhänge sind in Abbildung 3-6 verdeutlicht.

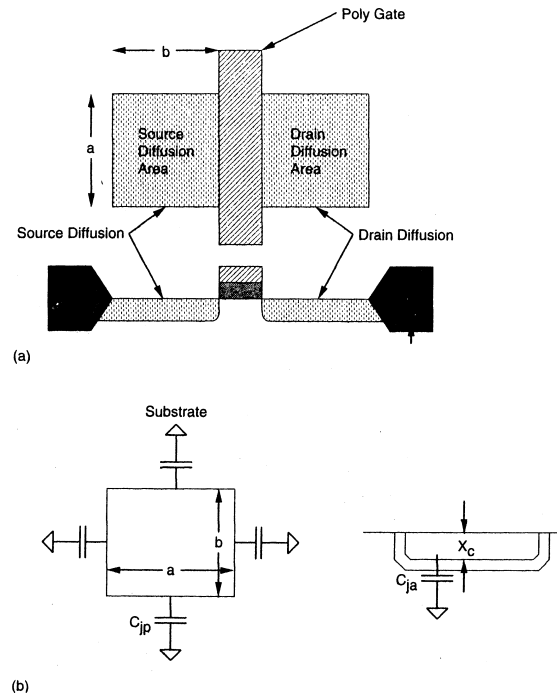


Abbildung 3-6: Diffusionskapazitätsanteile

$$C_j = C_{j0} \cdot \left(1 - \frac{V_j}{V_b}\right)^{-m}$$

m	...	0,3 ; konstanter Faktor	(3-3)
C_{j0}	...	Diffusionskapazität ohne angelegte Spannung	
V_j	...	Spannung an der Sperrschicht (negativ für Sperrbetrieb)	
V_b	...	0,6 V ; \approx Durchlaßspannung der Diode	

$$C_{j0} = C_{ja} \cdot a \cdot b + C_{jp} \cdot (2a + 2b) \quad (3-4)$$

Für die rechnerische Bestimmung der Spannungsabhängigkeit kann die Gleichung 3-3 herangezogen werden. Typische Werte für die Kapazitätsbeläge C_{ja} und C_{jp} sind in der Tabelle 3-3 zusammengefasst.

	N-Diffusion	P-Diffusion
C_{ja} [fF/ μm^2]	0,2	0,5
C_{jp} [fF/ μm]	0,4	0,4

Tabelle 3-3: Typische Sperrschichtkapazitätsbeläge

z.B.: $a = 10 \mu\text{m}$; $b = 10 \mu\text{m}$; N-Diffusion $\rightarrow C_{j0} = 36 \text{ fF}$

c) Routingkapazität

Durch die geringen räumlichen Abmessungen spielen die kapazitiven Verkopplungen zwischen den einzelnen Schichten eine zunehmend bedeutende Rolle, da mit dem Übergang zu kleineren Gateabmessungen (kleine Kapazität C_g kann schon durch geringe Störladung bis zur Schwellspannung aufgeladen werden) und den höheren Taktraten bzw. den steilen Signalfanken die Störungen signifikant werden können. Auch in Hinblick auf den Leistungsverbrauch rücken die Routingkapazitäten mit kleiner werdenden Strukturen ins Blickfeld des Interesses. Abbildung 3-7 und Tabelle 3-4 veranschaulichen einen Teil der möglichen Verkopplungen und geben die relevanten Kapazitätsbeläge größenordnungsmäßig an. Typische Schichtdicken sind im Bereich E in Angström angegeben.

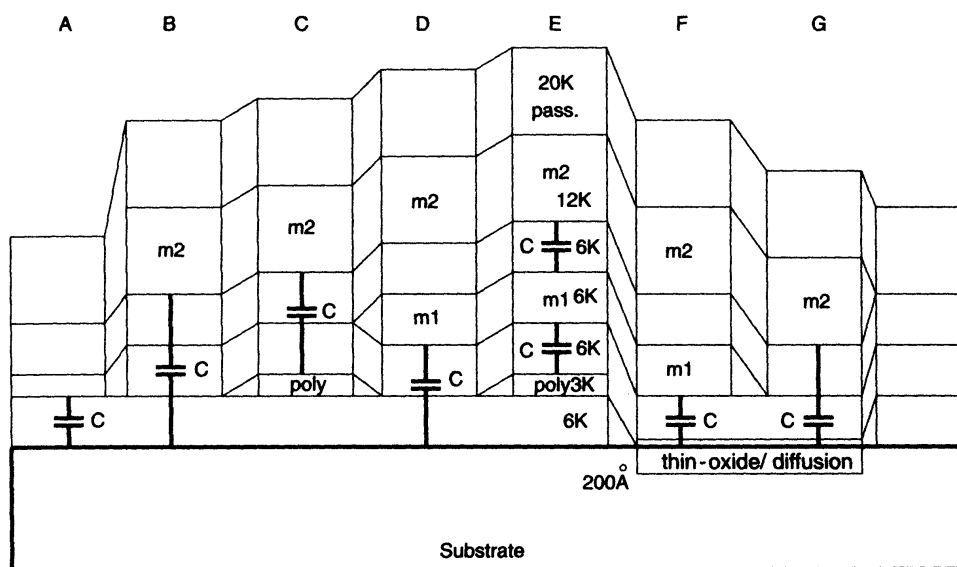


Abbildung 3-7: Kopplungskapazitäten zwischen Schichten in integrierten Schaltungen

Parameter	Kapazität [fF/ μm^2]	Anmerkung (Bereich aus Abbildung 3-7)
C_p	0,05	Poly-Feldoxid (A)
C_{m1}	0,03	Metal1-Feldoxid (D)
C_{m1p}	0,06	Metal1-Poly (E)
C_{m1d}	0,06	Metal1-Diffusion (F)
C_{m2}	0,02	Metal2-Feldoxid (B)
C_{m2m1}	0,05	Metal2-Metal1 (E)
C_{m2p}	0,03	Metal2-Poly (C)
C_{m2d}	0,03	Metal2-Diffusion (G)

Tabelle 3-4: Routingkapazitäten in einem 1 μm -CMOS-Prozess

3.5 Induktivitäten

In letzter Zeit werden vor allem im Bereich der integrierten Hochfrequenzschaltungen (GHz-Bereich; mobile Kommunikationssysteme wie z.B. GSM-Telefone) auch Induktivitäten auf dem Chip integriert. Die Größenordnungen bewegen sich dabei im nH-Bereich. Vor allem die deutlich besseren Rauscheigenschaften gegenüber herkömmlichen Widerständen machen den Einsatz von Induktivitäten als Emitterwiderstände in Differenzverstärkerstufen sinnvoll. Realisiert werden die Induktivitäten durch Schleifen in einer der Metallisierungsebenen. Ein Hauptproblem beim Einsatz dieser Bauelemente liegt in der starken Substratkopplung. Durch einen geeigneten "Unterbau" kann dieser parasitäre Effekt vermindert werden.

3.6 Verbindungsleitungen

Niederohmige Schichten aus Aluminium oder neuerdings - wegen des geringeren Schichtwiderstandes - aus Kupfer (erster seriengefertigter Baustein wurde kürzlich vorgestellt) dienen neben den höherohmigen Schichten (Polysilizium) als Verbindungsleitungen. Polysilizium sollte allerdings nur zur Verbindung von mehreren Gateanschlüssen verwendet werden. Übergänge zwischen den Schichten einer integrierten Schaltung werden als Vias bzw. contacts bezeichnet. Die Größe des Widerstandes hängt davon ab, welche Schichten miteinander verbunden werden. Typische Werte liegen bei:

$R_{\text{via}} \dots 0,5 \, \Omega \text{ bis } 70 \, \Omega$

Niederohmige Schichtübergänge können durch Parallelschaltung mehrerer Vias erreicht werden.

Bei den Herstellungsprozessen im Submikrometerbereich (z.B.: $0,25 \, \mu\text{m}$) wird nach dem Ätzen der Kontaktlöcher der gesamte Chip mit einer Wolframschicht überzogen, die eine bessere Fülleigenschaft für die Kontaktlöcher aufweist als Aluminium. In einem nachfolgenden Prozessschritt wird das Wolfram bis auf die ursprüngliche Chipoberfläche zurückgeätzt. Der Vorteil bei dieser Kontaktherstellung liegt in den geringeren Abmessungen und dem planaren Aufbau der Struktur, was nachfolgende Prozessschritte wesentlich erleichtert. Außerdem können auf diese Weise Kontaktübergänge auch über mehrere Schichten an ein und derselben Stelle erfolgen.

3.7 Sensoren, Mikromechanik

Zunehmend werden auf Silizium auch Sensoren und mikromechanische Komponenten mitintegriert. Die elektrische Abbildungsgröße ist dabei in vielen Fällen die Kapazitätsänderung. Mechanisch werden vorwiegend Masse-Feder-Systeme realisiert. Die mikromechanischen Anwendungen sind vorwiegend im Bereich von Beschleunigungssensoren und dergleichen angesiedelt. Temperatur-, Druck- und Magnetfeldmessung auf Siliziumbasis sind schon seit einiger Zeit im Einsatz.

3.8 Parasitäre Elemente

CMOS-Strukturen beinhalten wegen der Substrat- und Wannenkontakte eine zwischen V_{DD} und GND liegende - im Normalbetrieb gesperrte - Diode (Siehe Abbildung 3-8). Eine Verpolung der Versorgungsanschlüsse hat einen Betrieb der Diode in Durchlassrichtung zur Folge, was meist zu einer thermischen Zerstörung des Bausteins führt.

Ein weiteres parasitäres Element ist ein Thyristor, der ebenfalls durch den schichtweisen Aufbau entsteht. In Abbildung 3-8 ist dieser Thyristor durch zwei Bipolar-Transistoren nachgebildet. Darüber hinaus sind noch die Wannen- bzw. Substratbahnwiderstände

eingezeichnet. Durch kapazitive Kopplung auf eine der beiden Transistorbasen kann es vorkommen, dass an den Widerständen eine Spannung abfällt, die den Transistor einschalten kann. Dadurch wird auch der zweite Transistor eingeschaltet. Auf diese Weise wird der erste Transistor weiter voll eingeschaltet und die Struktur in diesem Zustand "verriegelt" (= Latch). Damit ist ein niederohmiger Strompfad zwischen den Versorgungsanschlüssen vorhanden. Durch thermische Überlastung kann es in diesem Fall zur Zerstörung des Bauelementes kommen.

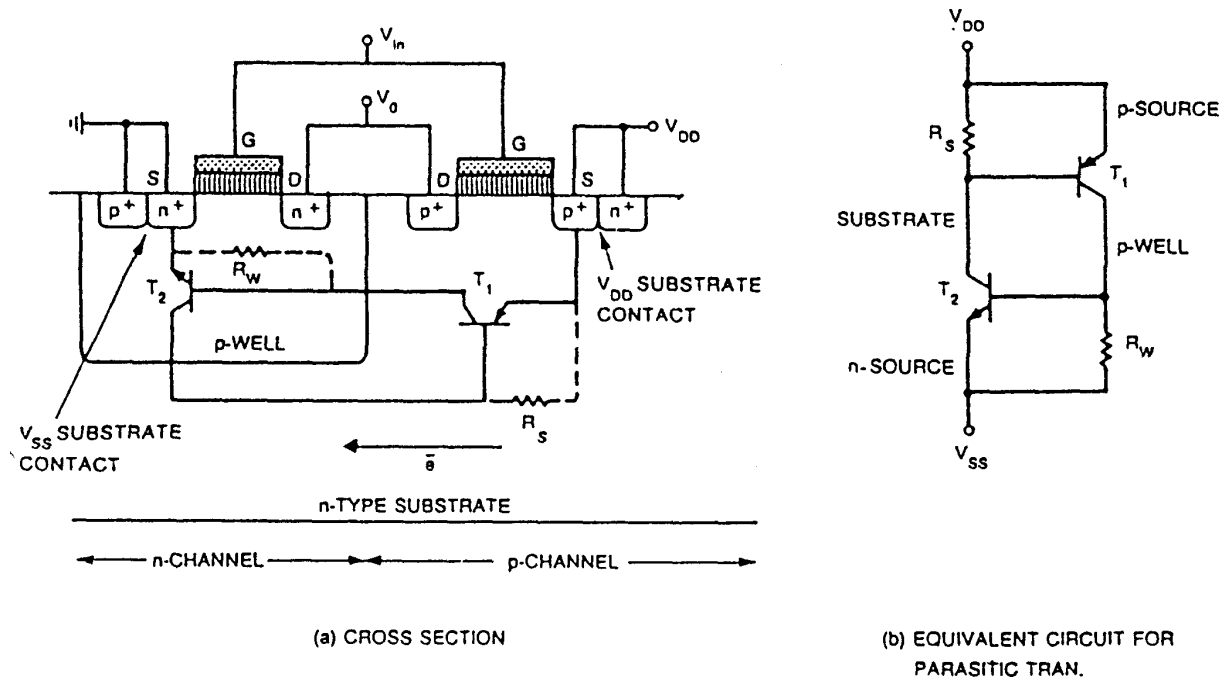


Abbildung 3-8: Parasitärer Thyristor bei CMOS-Strukturen und Latch-Up

4 CMOS- und BiCMOS Grundlagen

In diesem Kapitel wird vertiefend auf die Modellierung und die Verhaltensbeschreibung der MOS- (MOST, Metal Oxid Semiconductor Transistor) und der Bipolar-Transistoren (BJT, Bipolar Junction Transistor) eingegangen, die die wichtigsten Bauelemente in diesen beiden Technologien darstellen. Es werden die Arbeitsbereiche und die gebräuchlichsten einfachen Ersatzschaltungen mitsamt den formelmäßigen Beschreibungen für das Groß- und Kleinsignalverhalten angegeben. Ein Vergleich der charakteristischen Eigenschaften von MOST und BJT und der dadurch bedingten bevorzugten Einsetzbarkeit für verschiedene Aufgaben bildet den Abschluß der Ausführungen über diese Bauelemente.

Weiters wird auf die einfachsten Grundstrukturen von Digitalschaltungen eingegangen und wichtige Funktionsblöcke werden auf Transistorebene gezeigt. Beispielhaft wird eine Standardzellenbibliothek vorgestellt. Diese Vorstellung umfaßt neben der Aufzählung der möglichen Grundzellen auch die Definition der charakteristischen und in den Datenblättern angegebenen Kenngrößen. Dies sind in erster Linie Zeitangaben (Verzögerungs-, Anstiegs-, Abfallzeit etc.) und Faktoren, die den Einfluß der Prozessparameterschwankungen und der Betriebsbedingungen (Temperatur, Versorgungsspannung) angeben. Überlegungen zum Leistungsverbrauch sollen die Betrachtungen über die digitalen Grundzellen abrunden. Als Verbindungsglieder zur Außenwelt werden darüber hinaus Eingangs- und Ausgangspadschaltungen gezeigt.

Neben den Digitalschaltungen werden die wichtigsten analogen Grundschaftungsblöcke (Schalter, Aktive Last, Differenzverstärker, Stromspiegel, Stromquellen bzw. -senken) mit den jeweils charakteristischen Eigenschaften vorgestellt.

In einem abschließenden Unterkapitel werden einige Spezialzellen erwähnt, die zur Fertigung bzw. zum Test und für Abgleichszwecke nach der Fertigung benötigt werden.

4.1 Transistormodelle

4.1.1 N-Kanal-MOS Transistor

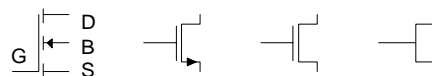


Abbildung 4-1: Symbole für NMOST (Anreicherungstyp)

Prinzipiell ist eine Symmetrie bezüglich Drain und Source gegeben. Der Source-Anschluss liegt definitionsgemäß am negativeren Potential. Üblicherweise ist der Source-Anschluss mit dem Substratanschluss verbunden. Beide liegen dann in der Regel auf GND-Potential. Für diesen Fall entfällt häufig in den Symboldarstellungen der Substratanschluss.

Spannungen und Ströme zwischen den Anschlüssen werden durch entsprechende Indizes gekennzeichnet. Z.B. V_{GS} steht für die Spannung zwischen Gate und Source. Die Ströme in den Anschluss hinein werden positiv gezählt.

Der Index N kennzeichnet den NMOST.

Der Index P kennzeichnet den PMOST.

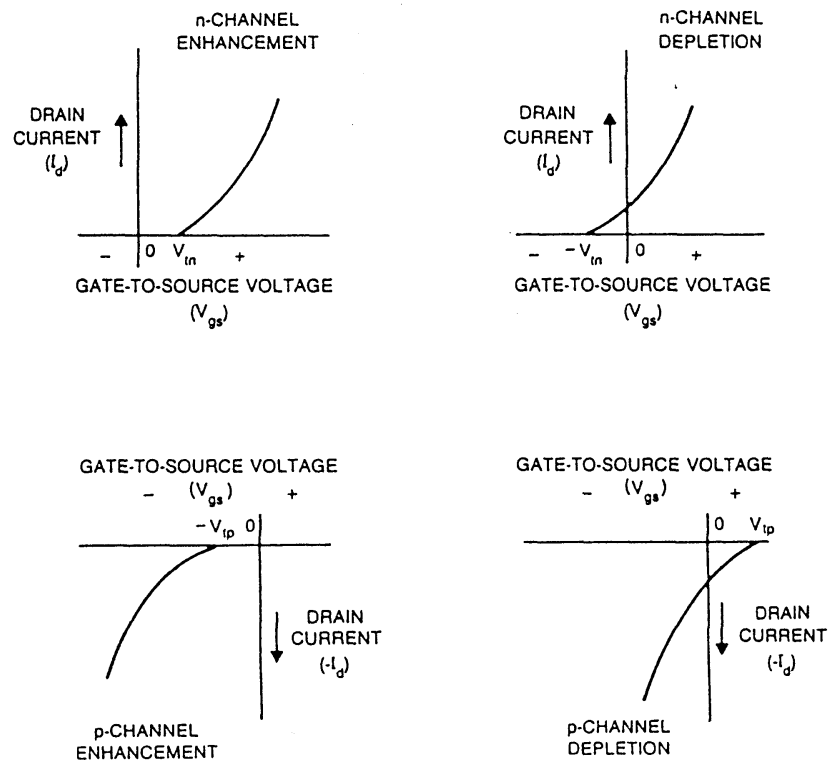


Abbildung 4-2: Eingangskennlinien für verschiedene MOST-Typen

Die vier möglichen MOST-Typen lassen sich am einfachsten an Hand der Eingangskennlinie unterscheiden und klassifizieren. In Abbildung 4-2 sind diese Fälle zu sehen. Die Anreicherungstransistoren (Enhancement) sind die dominierenden Transistortypen. Im Falle des NMOSTs bedarf es einer positiven Spannung V_{GS} , um einen Strom zwischen Drain und Source zu ermöglichen. Der Stromfluss setzt erst mit dem Überschreiten einer bestimmten Schwellspannung (V_T , Threshold Voltage) ein. Bei den Verarmungstypen (Depletion) muss eine negative Spannung V_{GS} angelegt werden, um den Stromfluss zwischen Drain und Source zu unterbinden. Bei einem PMOST verhält es sich ganz ähnlich. Es ist dabei zu bedenken, dass die Strom- und Spannungsrichtungen gegenüber dem NMOST umgedreht werden müssen.

Die Steuerung des Verhaltens erfolgt über das elektrische Feld im Transistor. Eine etwas detailliertere Betrachtung der Vorgänge für den NMOST-Anreicherungstyp kann mit Abbildung 4-3 durchgeführt werden. Für den Fall, dass V_{GS} kleiner als V_T ist, gibt es in der Transistorstruktur zwei Dioden, von denen eine in Sperrichtung betrieben ist. Es gibt also keinen Stromfluss zwischen Drain und Source. Wird die Spannung am Gate-Anschluss erhöht, so wird durch die Wirkung des elektrischen Feldes im Substrat eine Ladungsträgerverschiebung eingeleitet. Die im Substrat vorhandenen Majoritätsladungsträger (hier Löcher, holes) werden aus dem Bereich des Kanals unter dem Gate verdrängt. Die im Substrat vorhandenen Minoritätsladungsträger (hier Elektronen, electrons) werden in den Bereich unter dem Gate zwischen Drain und Source hineingezogen. Dieser Vorgang wird Ladungsträgeranreicherung genannt. Wenn V_{GS} größenordnungsmäßig in den Bereich von V_T kommt, bildet sich unter dem Gate eine Inversionsschicht aus d.h. es gibt keine Löcher mehr in dieser Zone und es kommt zu einem durchgängigen Kanal zwischen Drain und Source. Im Substrat ist eine feldinduzierte Sperrschicht mit einer Verarmungszone (Depletion Layer) entstanden. In Abhängigkeit von den an den Transistoranschlüssen tatsächlich anliegenden Spannungen kann eine weiterführende Beschreibung des Transistorverhaltens gemacht werden.

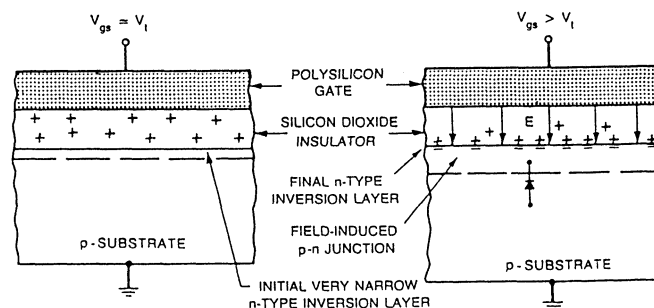
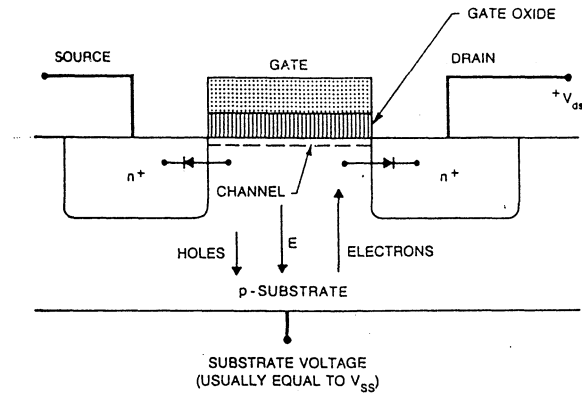


Abbildung 4-3: MOST Steuereffekt

4.1.1.1 Arbeitsbereiche

Liegt die Gate-Source-Spannung betragsmäßig unter der Schwellspannung, so ist kein Stromfluss zwischen Drain und Source möglich. Der Transistor befindet sich im Sperrbereich (cut-off).

Wenn die Inversionsschicht im Kanal Drain und Source des Transistors miteinander leitend verbindet aber keine Spannung V_{DS} anliegt und somit auch kein Stromfluss stattfindet, so spricht man vom linearen Betriebszustand des Transistors. In erster Näherung verhält sich die Inversionsschicht in diesem Zustand wie ein Widerstand. Daher ist auch die Bezeichnung Widerstandsbereich gebräuchlich. Eine Verarmungszone bildet die Grenze zum Substrat. Abbildung 4-4 verdeutlicht die Schichten für diesen Betriebszustand. Die Inversionsschicht ist gleichmäßig über den Kanal ausgebildet, da an allen Punkten dieselbe Steuerspannung zwischen Substrat und Gate vorhanden ist.

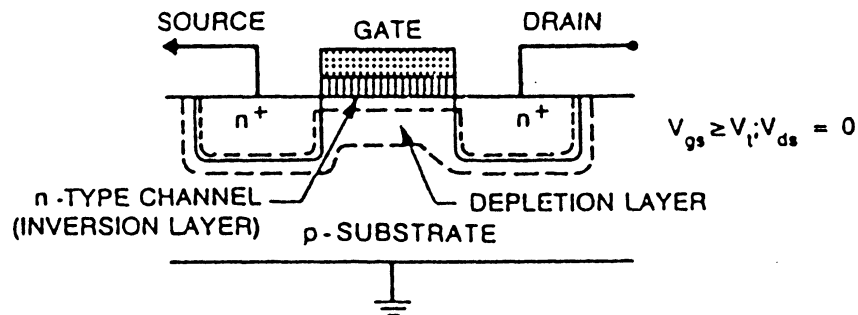


Abbildung 4-4: MOST - Linearer Arbeitsbereich, kein Strom

Mit dem Anlegen einer positiven Spannung V_{DS} kommt es zu einem Stromfluss zwischen Drain und Source. Darüber hinaus baut sich diese Spannung natürlich über die Länge des Kanals ab. Dieser Spannungsabfall bewirkt eine keilförmige Ausbildung der Inversionsschicht. Da der Source-Anschluss definitionsgemäß am negativeren Potential liegt, kommt es dort auf Grund der höheren Spannung zwischen dem Gate und dem Kanal zu einer vermehrten Ansammlung von Elektronen. Wenn die Spannung am Drain-Anschluss bis zu einer Spannung gestiegen ist, die der um die Schwellspannung verminderten Gatespannung entspricht, ist die Grenze des linearen Betriebszustandes erreicht. Es gibt gerade noch eine durchgängige Inversionsschicht zwischen Drain und Source. Wegen der höheren Drainspannung wird auch die Verarmungszone im Drainbereich breiter werden. Abbildung 4-5 zeigt diesen Grenzbereich in der Querschnittsdarstellung.

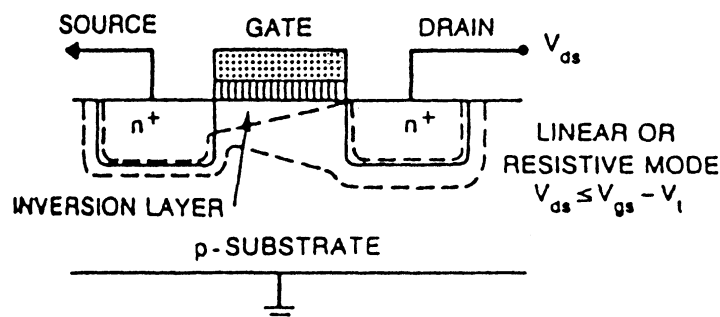


Abbildung 4-5: MOST - Linearer Arbeitsbereich

Eine weitere Erhöhung der Drainspannung bewirkt, dass es keine durchgängige Inversionsschicht zwischen Drain und Source mehr gibt. Die Inversionsschicht wird abgeschnürt (pinch off). Auf Grund der großen Feldstärke kommt es aber trotzdem zu einem Stromfluss zwischen Drain und Source, der allerdings ein Sättigungsverhalten aufweist, da der Strom ein reiner Driftstrom ist, der nahezu von der Drainspannung unabhängig ist. Dieser Betriebszustand wird für den Transistor als Sättigungsbereich definiert (Abbildung 4-6).

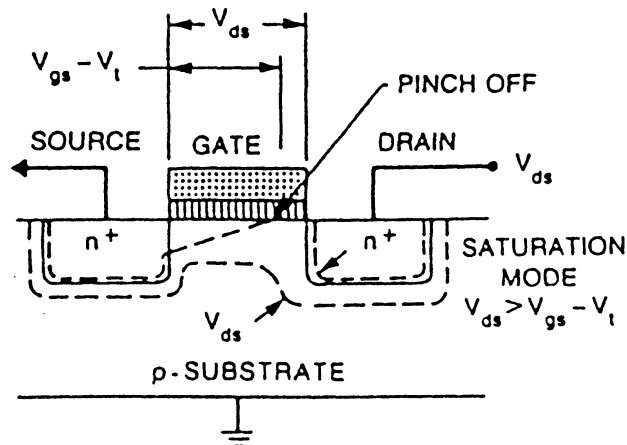


Abbildung 4-6: MOST - Sättigungsbereich

4.1.1.2 Verhalten und Modellierung

Für die mathematische Verhaltensbeschreibung sind neben einigen Kenngrößen, die die physikalischen Eigenschaften der verwendeten Materialien betreffen, in erster Linie die geometrischen Abmessungen L (Kanallänge, Länge) und W (Kanalweite, Weite) ausschlaggebend. Die Definition von Länge und Weite eines MOSTs kann aus Abbildung 4-7 entnommen werden.

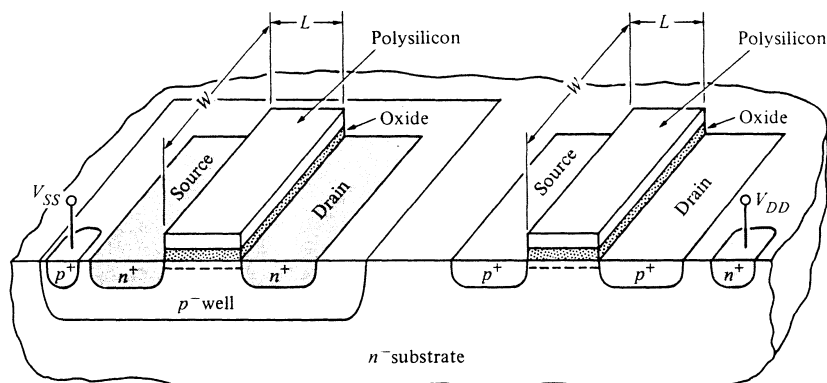


Abbildung 4-7: Aufbau und Geometrie von MOS-Transistoren

Die Verhaltensbeschreibung wird für zwei mögliche Betrachtungen durchgeführt. Zum einen wird das Großsignalverhalten des Bauelementes bestimmt und zum anderen das Kleinsignalverhalten um einen bestimmten Arbeitspunkt betrachtet. Die hier vorgestellten Grundgleichungen stellen die einfachste Form der Verhaltensbeschreibung dar. Die Erweiterung der Modellierung kann mit einigem Aufwand natürlich durchgeführt werden. Für Handrechnungen und erste Dimensionierungen sind die Grundgleichungen zur Verhaltensbeschreibung ausreichend.

Für die nachfolgenden Ausführungen gilt als Voraussetzung, dass die Spannung zwischen Substrat (Bulk) und Source (V_{BS}) gleich 0 V ist.

Großsignal:

$$\begin{aligned}
 I_{DS} &= 0 & ; V_{GS} - V_T &\leq 0 & \text{Sperrbereich (cut – off)} \\
 I_{DS} &= \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] & ; 0 < V_{DS} < V_{GS} - V_T & \text{Widerstandsbereich (linear)} \\
 I_{DS} &= \frac{\beta}{2} (V_{GS} - V_T)^2 & ; 0 < V_{GS} - V_T < V_{DS} & \text{Sättigungsbereich (saturation)}
 \end{aligned}$$

$$\beta = \kappa \frac{W}{L} = \frac{\mu \epsilon}{t_{ox}} \frac{W}{L}$$

β	...	Transistorverstärkungsfaktor [$\mu\text{A}/\text{V}^2$]
κ	...	Prozeßverstärkungsfaktor [$\mu\text{A}/\text{V}^2$]
W	...	Transistorkanalweite [μm]
L	...	Transistorkanallänge [μm]
μ	...	Mobilität der Ladungsträger [m^2/Vs]
ϵ	...	Dielektrizitätskonstante des Gateoxids [As/Vm]
t_{ox}	...	Dicke der Gateoxidschicht [m]

(4-5)

Der Strom zwischen Drain und Source bei einem NMOST ist demnach sowohl im Widerstands- als auch im Sättigungsbereich proportional zur Transistorweite und verkehrt proportional zur Transistorlänge. Die minimal mögliche Transistorlänge ist der bestimmende Faktor für die Prozesscharakterisierung. Typische Transistorlängen bewegen sich zur Zeit zwischen $0,15 \mu\text{m}$ und $1 \mu\text{m}$. Typische Schwellspannungen bei NMOST liegen bei $0,5 \text{ V}$ bis $0,8 \text{ V}$. Die Temperaturabhängigkeit der Schwellspannung liegt je nach Dotierung zwischen $-2 \text{ mV}/^\circ\text{C}$ und $-4 \text{ mV}/^\circ\text{C}$.

Da V_{DS} im linearen Betriebsbereich üblicherweise klein ist, fällt der quadratische Term nicht sehr stark ins Gewicht.

Im Sättigungsbereich ist in diesem idealisierten Fall keinerlei Abhängigkeit des Stromes von der Drain-Source-Spannung gegeben.

$$\begin{aligned}
 \mu_N &\approx (2 \div 3) \mu_P \\
 \beta_N &\approx (2 \div 3) \beta_P
 \end{aligned}
 \tag{4-6}$$

Die Mobilität ist von der Konzentration der Ladungsträger abhängig. Die Mobilität der Elektronen liegt um den Faktor 2 bis 3 über der der Löcher (Gleichung 4-6). Die Mobilität μ ist in einer komplexen Weise [5] temperaturabhängig. Wegen der Reduktion der mittleren freien Weglänge mit steigender Temperatur nimmt die Mobilität der Ladungsträger in diesem Fall ab. Die Temperaturabhängigkeit hängt auch mit der Konzentration der Ladungsträger zusammen. Es kann daher nur näherungsweise eine Größenordnung für den Temperaturkoeffizienten angegeben werden. Für einen typischen CMOS-Prozess kann der Wert bei ca. $-3 \text{ cm}^2/\text{Vs}^\circ\text{C}$ bzw. bei $-0,3 \text{ }^\circ\text{C}$ liegen.

Werte für κ_N in einem 1 μm CMOS-Prozess: $85 \text{ (min.)} < 100 \text{ (typ.)} < 115 \text{ (max.) } \mu\text{A/V}^2$

Die einfachste Ersatzschaltung für die Beschreibung des Großsignalverhaltens eines NMOSTs ist in Abbildung 4-8 dargestellt. Der Strom in der Stromquelle wird dabei gemäß den Gleichungen 4-5 für den jeweiligen Arbeitspunkt berechnet.

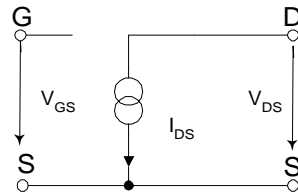


Abbildung 4-8: Einfachste MOST-Großsignalersatzschaltung

Die Erweiterung um parasitäre Elemente (Bahnwiderstände R_D und R_S , Kapazitäten, Dioden) führt zum nachstehend gezeigten detaillierteren Großsignalersatzschaltbild. Der Strom I_{DS} wird wiederum gemäß den Gleichungen 4-5 berechnet.

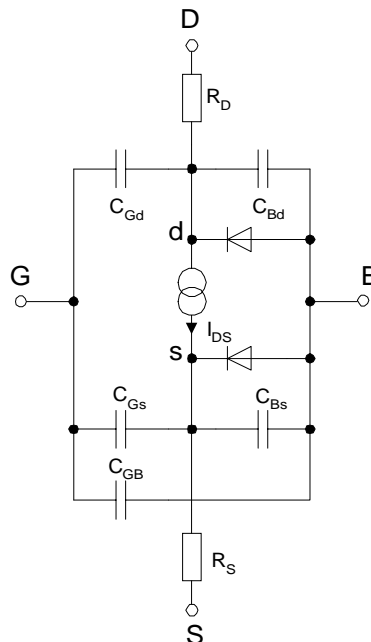


Abbildung 4-9: MOST-Großsignalersatzschaltbild

Eine anschauliche Darstellung des Transistorverhaltens ermöglichen die Eingangs- und die Ausgangskennlinie. Abbildung 4-10 zeigt eine simulierte Eingangskennlinie für einen Transistor mit den im Diagramm angegebenen Abmessungen für Weite und Länge. Für unterschiedliche Drain-Source-Spannungen ergeben sich Kurvenscharen. Mit kleiner werdender Spannung V_{DS} wird der Strom ebenfalls kleiner. Der Ursprung der Kurven auf der X-Achse bleibt in allen Fällen bei der Schwellspannung.

In Abbildung 4-11 ist das Ausgangskennlinienfeld für den selben Transistor dargestellt. Eingezeichnet ist auch ungefähr die Lage der Bereiche (Widerstand = lin.; Sättigung = sat.). Der Sperrbereich ist nicht erwähnt. Er deckt sich naturgemäß mit der X-Achse.

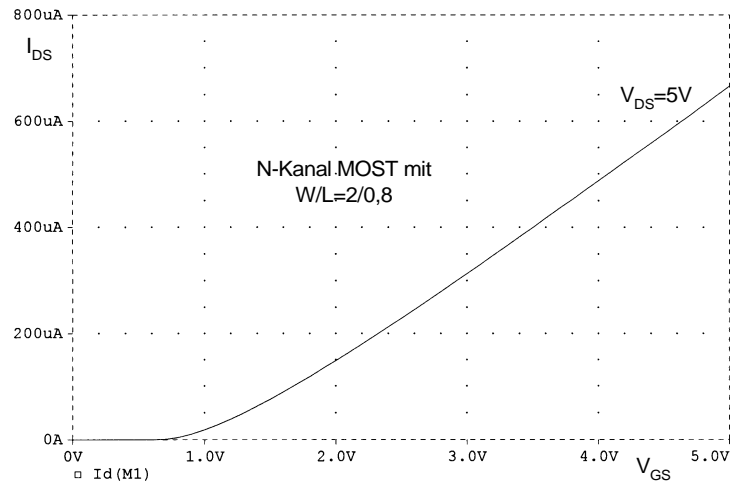


Abbildung 4-10: Eingangskennlinie eines NMOST

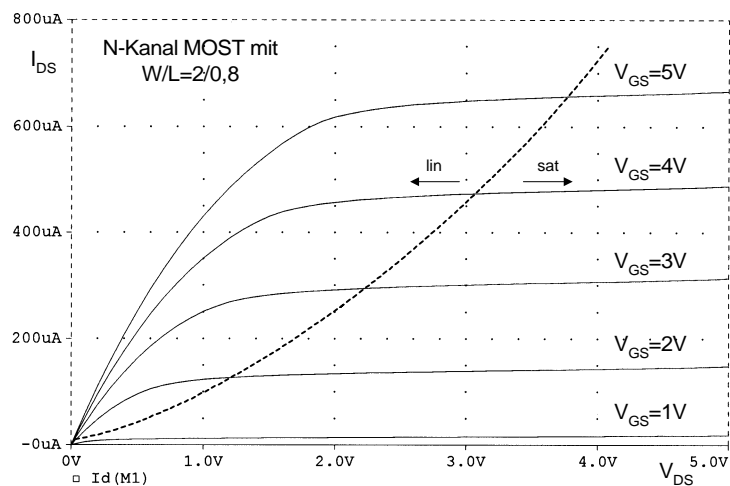


Abbildung 4-11: Ausgangskennlinie eines NMOST

Die bisher behandelten Kenngrößen und Formeln stellen eine einfache Näherung dar. Es gibt darüberhinaus noch einige Effekte, die einen Einfluss auf das Verhalten haben. Die wichtigsten zwei werden nachfolgend behandelt, und es wird eine Möglichkeit gezeigt, durch verfeinerte Modellierung von Parametern der Grundgleichung diese Effekte mitzubersichtigen.

Substratsteuereffekt:

Der Substratsteuereffekt (body effect) tritt dann auf, wenn zwischen Source- und Substratanschluss eine Spannung anliegt, die ungleich Null ist. In Abbildung 4-12 ist eine Schaltung gezeigt, bei der dieser Effekt auftritt (unter der Voraussetzung eines Stromflusses durch die Transistoren). Da der Drain-Anschluss des Transistors MN1 in diesem Fall nicht auf GND liegt, kommt beim Transistor MN2 der Substratsteuereffekt zum Tragen. Die mathematische Modellierung erfolgt über eine Modifikation der Schwellspannung. Es kommt durch den Substratsteuereffekt zu einer Erhöhung der Schwellspannung gemäß Gleichung 4-7.

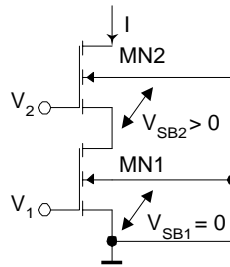


Abbildung 4-12: Substratsteuereffekt

$$V_T = V_{T0} \pm \gamma \sqrt{V_{SB}}$$

+	...	NMOST	(4-7)
-	...	PMOST	
γ	...	Substratsteuerfaktor (0,4 ÷ 1,2)	
V_{T0}	...	Threshold Spannung bei $V_{SB} = 0V$	
V_{SB}	...	Source - Bulk - Spannung	

Kanallängenmodulation:

Die Modellierung des Stromverlaufs im Sättigungszustand in den Gleichungen 4-5 entspricht nicht genau der Realität. Tatsächlich ist die Steigung der Kennlinien in diesem Fall nicht Null. Es gibt wegen der Beeinflussung der Form der Inversionsschicht durch die Drain-Source-Spannung eine Steigung, die von Null verschieden ist. Die Modellierung dieses Verhaltens erfolgt mittels eines Kanallängenmodulationsfaktors entsprechend der nachfolgenden Formel. Die signifikanteste Wirkung der Kanallängenmodulation ist im Bereich der Sättigung. Tatsächlich tritt sie aber auch im Widerstandsbereich auf. Die Modellierung erfolgt in beiden Fällen gleich. Wegen der Kleinheit des Faktors und der typischerweise kleinen Drain-Source-Spannungen im Widerstandsbereich wird dort meist auf eine Berücksichtigung verzichtet.

Eine bemerkenswerte Eigenheit des Kanallängenmodulationsfaktors ist die Tatsache, dass er mit größer werdender Kanallänge abnimmt. Die Konsequenz daraus ist in Abbildung 4-13 in einer Transistorsimulation dargestellt. Man sieht darin, dass die Steilheit der Kennlinie zwischen $V_{DS} = 3V$ und $V_{DS} = 5V$ mit zunehmender Kanallänge abnimmt.

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS})$$

$$\lambda \propto \frac{1}{L}$$
(4-8)

λ	...	Kanallängenmodulationsfaktor ($\approx 0,02 V^{-1}$)
-----------	-----	--

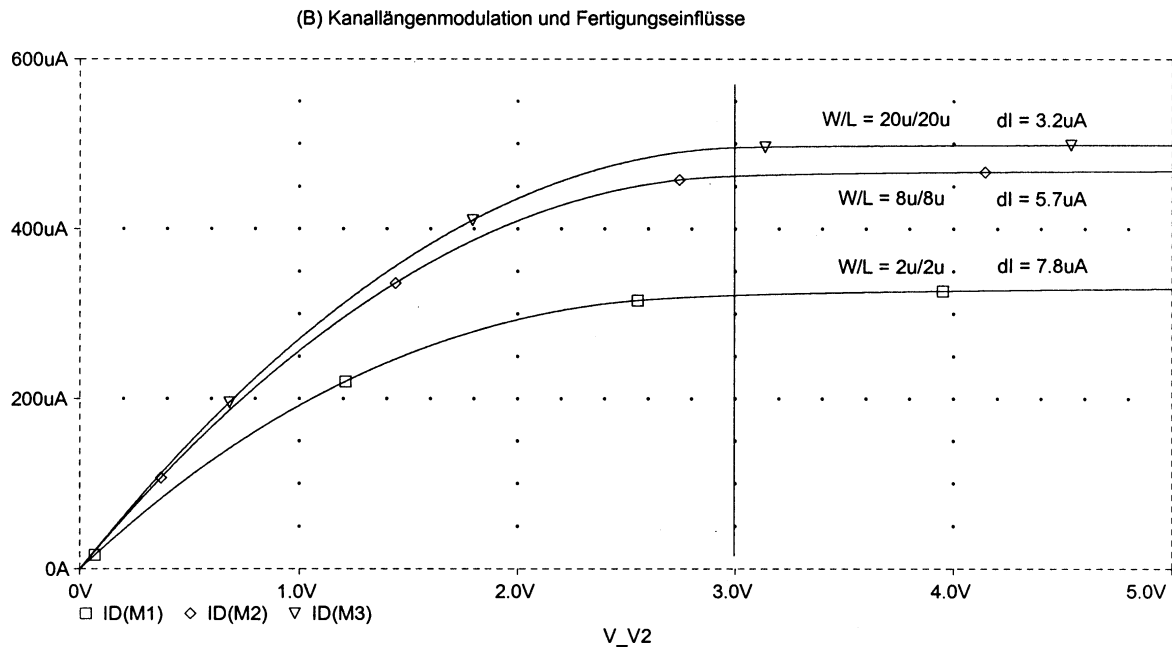


Abbildung 4-13: Einfluss der Kanallängenmodulation und der effektiven Länge und Weite

Das Ausgangskennlinienbild in Abbildung 4-13 zeigt auch den Einfluss der effektiven Kanallänge und -weite (Absolutwertschwankung von I_{DS} obwohl W/L in allen Fällen eins ist!). Wie schon im einleitenden Kapitel über die Fertigungstechnologien behandelt, kommt es wegen der Unterdiffusion zu einer Verkleinerung der Kanallänge. Ebenso wird durch das Oxidwachstum unter das Gate ("bird's beak") die Kanalweite reduziert. Da diese Größen absolut sind, fallen sie je nach tatsächlicher Abmessung mehr oder weniger ins Gewicht. Die geometrischen Zusammenhänge sind in nachstehender Abbildung dargestellt.

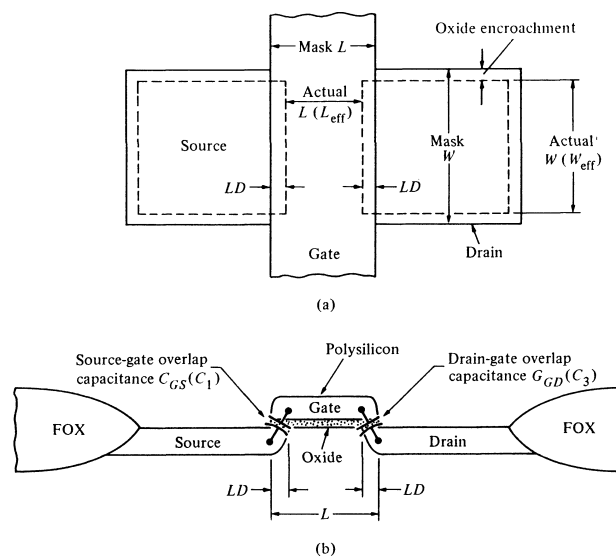


Abbildung 4-14: Effektive Kanallänge und -weite

Neben der Beschreibung des Großsignalverhaltens eines MOSTs werden zur Charakterisierung des Transistorverhaltens in einem fixen Arbeitspunkt folgende Kleinsignalkenngrößen herangezogen:

Steilheit (Transkonduktanz, transconductance): $g_m = \left. \frac{\partial I_{DS}}{\partial V_{GS}} \right| @ V_{DS} = const.$

Die Steilheit gibt die Änderung des Drain-Source-Stromes in Abhängigkeit von der Änderung der Gate-Source-Spannung an. Zu beachten ist, dass dies für konstante Drain-Source-Spannung gilt.

Ausgangsleitwert: $g_{DS} = g_0 = \left. \frac{\partial I_{DS}}{\partial V_{DS}} \right| @ V_{GS} = const.$

Der Ausgangsleitwert gibt die Änderung des Drain-Source-Stromes in Abhängigkeit von der Änderung der Drain-Source-Spannung an. Zu beachten ist, dass dies für konstante Gate-Source-Spannung gilt. Häufig wird auch der Kehrwert von g_0 verwendet und als Ausgangswiderstand r_0 bezeichnet.

Nachstehend sind die formelmäßigen Zusammenhänge für die beiden Kleinsignalkenngrößen in Abhängigkeit vom jeweiligen Arbeitsbereich des Transistors angegeben. Der Vollständigkeit halber ist der Einfluss der Kanallängenmodulation in allen Fällen berücksichtigt. Im linearen Arbeitsbereich könnte für Überslagsberechnungen durchaus darauf verzichtet werden.

Linearer Arbeitsbereich:

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda \cdot V_{DS})$$

$$g_m = \beta \cdot V_{DS} \cdot (1 + \lambda \cdot V_{DS}) \approx \beta \cdot V_{DS} \quad (4-9)$$

$$g_0 = \beta \cdot (V_{GS} - V_T - V_{DS}) \cdot (1 + \lambda \cdot V_{DS}) + \frac{I_{DS} \cdot \lambda}{(1 + \lambda \cdot V_{DS})}$$

Sättigungsbereich:

$$I_{DS} = \frac{\beta}{2} (V_{GS} - V_T)^2 \cdot (1 + \lambda \cdot V_{DS})$$

$$g_m = \sqrt{2 \cdot \beta \cdot I_{DS} \cdot (1 + \lambda \cdot V_{DS})} \approx \sqrt{2 \cdot \beta \cdot I_{DS}} \quad (4-10)$$

$$g_0 = \frac{I_{DS} \cdot \lambda}{(1 + \lambda \cdot V_{DS})} \approx I_{DS} \cdot \lambda$$

In Abbildung 4-15 ist das einfachste Kleinsignalersatzschaltbild zur Modellierung eines MOSTs angegeben. Die darin eingetragenen Spannungen sind ebenfalls kleinsignalmäßig zu interpretieren.

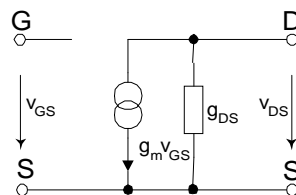


Abbildung 4-15: Einfachstes Kleinsignalersatzschaltbild

Für eine etwas tiefergehende Betrachtung des Kleinsignalverhaltens sollten natürlich zusätzliche Elemente in das Modell eingebracht werden. Vor allem die Kapazitäten, die die Transistoranschlüsse miteinander verkoppeln, werden hier von Bedeutung sein, da über sie erst die Frequenzabhängigkeit im MOST-Verhalten beschreibbar wird. Ein komplexeres Ersatzschaltbild ist demnach in Abbildung 4-16 zu sehen. Drain- bzw. Source-Anschluss des internen Transistors werden mit d bzw. s bezeichnet. R_D und R_S stellen die Bahnwiderstände des Drain- und des Source-Gebietes dar. Weiters ist auch noch der Einfluss des Substratpotentials über die Kenngrößen g_{mb} , v_{Bs} , g_{Bd} und g_{Bs} in die Ersatzschaltung aufgenommen.

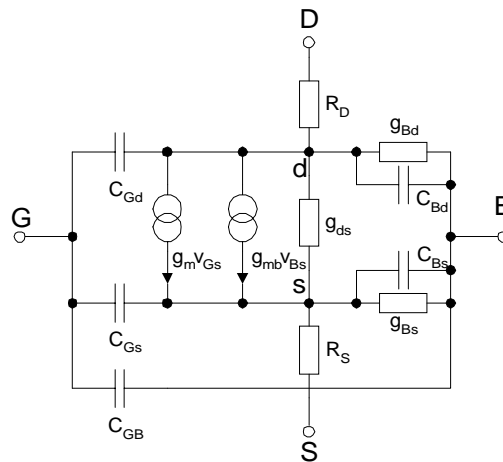


Abbildung 4-16: Kleinsignalersatzschaltbild eines MOST

Die im obenstehenden Ersatzschaltbild eingezeichneten Kapazitäten sind vom Arbeitspunkt, in dem sich der Transistor befindet, abhängig. Die Größenordnungen und die räumliche Anordnung dieser Kapazitäten ist im folgenden Kapitel näher erläutert.

Die Kapazitäten können in gleicher Weise auch in das Großsignalersatzschaltbild (Abbildung 4-9) übertragen werden.

4.1.1.3 Kapazitäten

Anhand der Darstellungen in Abbildung 4-17 und Abbildung 4-18 können die in den Gleichungen 4-11 bis 4-16 referenzierten Kapazitäten bei einem MOST lokalisiert werden.

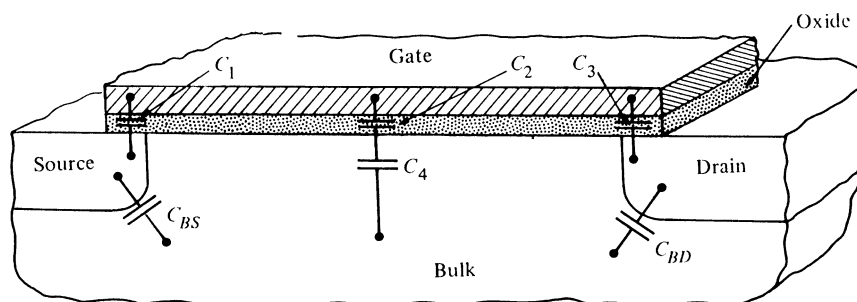


Abbildung 4-17: Kapazitäten bei einem MOST

Überlappungen von Schichten werden durch den Index $_{ov}$ (overlap) gekennzeichnet. C_{OX} entspricht dem Kapazitätsbelag der Gate-Elektrode. Die Indizierung der Kapazitäten zwischen den Transistoranschlüssen Drain, Gate, Source und Bulk wird in der üblichen Weise durchgeführt. Kapazitäten, die sich auf den Kanal des Transistors beziehen, werden mit dem Index C (channel) gekennzeichnet.

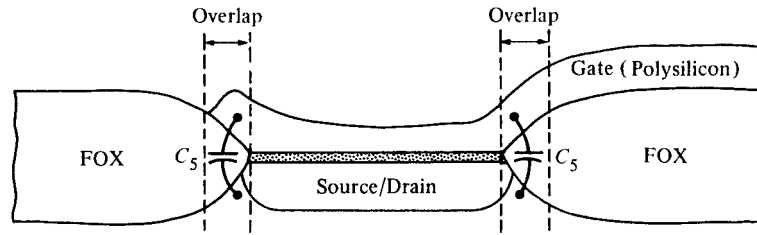


Abbildung 4-18: Gate-Substrat-Überlappungskapazität

$$C_{GB} = \left(\frac{1}{C_2 + 2C_5} + \frac{1}{C_4} \right)^{-1} \quad (4-11)$$

$$C_5 = C_{GBov} = L_{GBov} \cdot L \cdot C_{ox} \quad (4-12)$$

$$C_2 = C_{GC} = W \cdot L \cdot C_{ox} \quad (4-13)$$

$$C_4 = C_{BC} \quad (4-14)$$

$$C_{GS} = C_1 = C_{GSov} = L_{GSov} \cdot W \cdot C_{ox} \quad (4-15)$$

$$C_{GD} = C_3 = C_{GDov} = L_{GDov} \cdot W \cdot C_{ox} \quad (4-16)$$

Abbildung 4-19 zeigt die Abhängigkeit der Transistorkapazitäten vom jeweiligen Arbeitspunkt. Im Sperrbereich ist die Kapazität zwischen Gate und Substrat die dominierende Größe. Im Sättigungsbereich dominiert die Kapazität zwischen Gate und Source. Im linearen Arbeitsbereich (im Bild mit Active bzw. triode bezeichnet) sind die Kapazitäten vom Gate sowohl zu Source als auch zu Drain gleich groß.

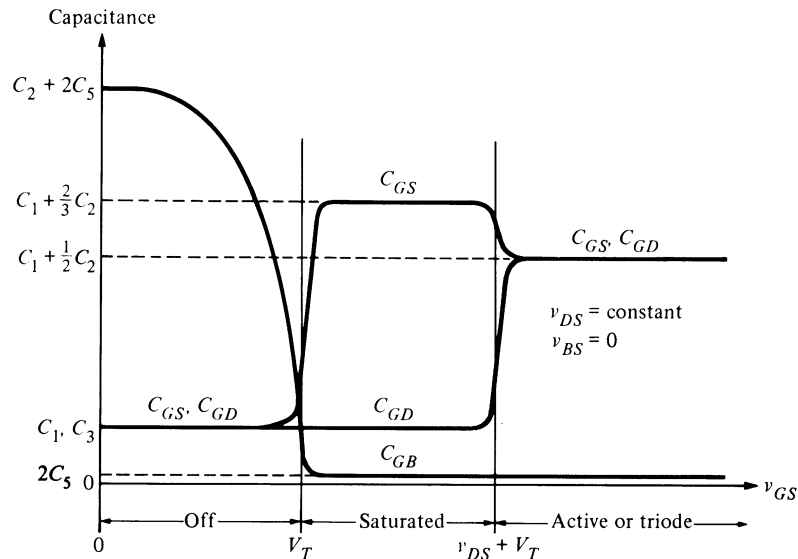


Abbildung 4-19: MOST-Kapazitäten in den einzelnen Arbeitsbereichen

4.1.1.4 Schwache Inversion

In der Realität findet beim NMOST der Übergang vom gesperrten in den leitenden Zustand (linear oder gesättigt) nicht schlagartig bei der Schwellspannung statt. Vielmehr sind auch schon bei niedrigeren Gate-Source-Spannungen Ladungsträger im Transistorkanal vorhanden. Da in diesem Fall die Inversionsschicht noch nicht stark ausgeprägt ist, wird dieser Zustand auch als der Zustand der schwachen Inversion (weak inversion) bezeichnet. Eine weitere Bezeichnung dafür lautet Sub-Threshold-Bereich. Die Eingangskennlinie für einen MOST, der in der schwachen Inversion betrieben wird, ist in Abbildung 4-20 für zwei Skalierungen der Y-Achse dargestellt. Das obere Bild zeigt den Zusammenhang zwischen V_{GS} und der Wurzel aus I_{DS} . Im Bereich der starken Inversion ($V_{GS} > V_{ON}$) ergibt sich eine Gerade, die den quadratischen Zusammenhang von I_{DS} und V_{GS} in diesem Zustand zeigt. Der Schnittpunkt der gedachten Verlängerung dieser Geraden mit der X-Achse entspricht der Schwellspannung.

In der unteren Darstellung ist der Drain-Source-Strom in einer logarithmischen Skalierung aufgetragen. Dabei wird der exponentielle Zusammenhang deutlich. Dieser exponentielle Zusammenhang bei den in diesem Zustand vorherrschenden kleinen Stromwerten und den dafür notwendigen kleinen Gate-Source-Spannungen ist der Grund für den Einsatz von MOSTs in diesem Betriebszustand bei Schaltungen, die mit niedrigen Spannungen und geringen Verlustleistungen betrieben werden müssen (low power - low voltage; batteriebetriebene Geräte, Uhren etc.).

Die Grenze der Gate-Source-Spannung V_{ON} , bis zu der man den Bereich der schwachen Inversion definiert, ist in Gleichung 4-17 definiert.

Die mathematische Beschreibung des Drain-Source-Stromes und der Kleinsignalkenngrößen für den Sättigungsbereich bei schwacher Inversion sind in Gleichung 4-18 beschrieben.

Die Modellierung des Transistorverhaltens für diesen Arbeitsbereich ist in vielen Simulationsprogrammen bzw. vielen Simulationsmodellen **nicht** implementiert. Eine Modellierung, die zunehmend in Simulationsprogrammen implementiert wird, bezieht sich auf das sogenannte EKV-Modell (Enz-Krummenacher-Vittoz), [6].

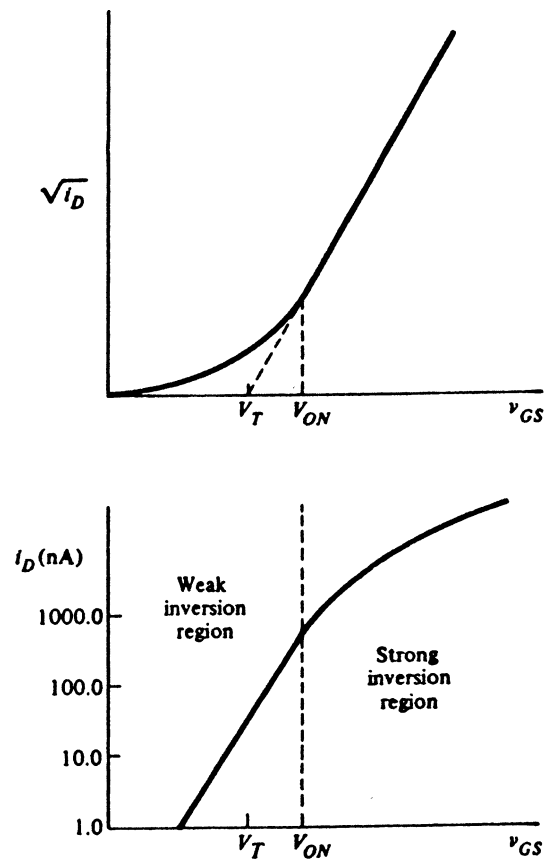


Abbildung 4-20: Kennlinien für schwache Inversion

$$V_{ON} = V_T + \frac{n \cdot k \cdot T}{q} = V_T + n \cdot U_T \quad (4-17)$$

n ... Steigungsfaktor (1,3...2)
 U_T ... Temperaturspannung (ca. 26mV @ 25°C)

Sättigungsbereich, schwache Inversion:

$$I_{DS} = K \cdot \beta \cdot U_T^2 \cdot \exp\left(\frac{V_{GB} - V_{T0} - n \cdot V_{SB}}{n \cdot U_T}\right)$$

$$g_m = \frac{I_{DS}}{n \cdot U_T} \quad (4-18)$$

$$g_0 \approx I_{DS} \cdot \lambda$$

K ... Faktor, der die Bereiche der starken und der schwachen Inversion verbindet

4.1.2 P-Kanal-MOS Transistor

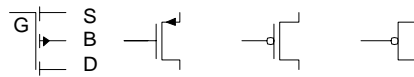


Abbildung 4-21: Symbole für PMOST (Anreicherungstyp)

Es gelten dieselben Formeln und dieselben Verhaltensbeschreibungen und Modellierungen wie für den NMOST wenn alle Spannungen und Ströme invertiert werden. Der Source-Anschluss liegt beim PMOST definitionsgemäß am positiveren Potential. Wird der Substratanschluss auf das positivste Potential der Schaltung (typ. V_{DD}) gelegt, so kann in der symbolischen Transistordarstellung auf diesen Anschluss verzichtet werden.

Die Schwellspannung beim PMOST liegt betragsmäßig typischerweise über dem Wert beim NMOST: Der Temperaturkoeffizient der Schwellspannung führt zu einer betragsmäßigen Verkleinerung bei steigender Temperatur.

Bei der Berücksichtigung des Substratsteuereffektes ist in Gleichung 4-7 das entsprechende Vorzeichen zu verwenden.

Der gravierendste Unterschied in den Transistoreigenschaften liegt in der unterschiedlichen Mobilität der Ladungsträger, die für den Stromfluss maßgeblich sind. Der Faktor beträgt ca. 2 bis 3. D.h. dass durch einen PMOST mit einem etwa 2 - 3 mal so hohen Verhältnis von Transistorweite zu Transistorlänge bei betragsmäßig gleichen Spannungen an seinen Anschlüssen der gleiche Strom fließt wie durch einen NMOST. Durch die größeren Abmessungen sind natürlich die Transistorkapazitäten gegenüber dem NMOST in diesem Fall größer, was das Frequenzverhalten negativ beeinflusst.

$$\begin{aligned}\mu_N &\approx (2 \div 3)\mu_P \\ \beta_N &\approx (2 \div 3)\beta_P\end{aligned}\tag{4-19}$$

Werte für κ_p in einem 1 μm CMOS-Prozess: $31 \text{ (min.)} < 36 \text{ (typ.)} < 41 \text{ (max.) } \mu\text{A/V}^2$

4.1.3 NPN-Bipolartransistor

Abbildung 4-22 zeigt das Schaltsymbol für einen npn-BJT. Neben den beiden MOST-Anreicherungstypen ist dieser Transistor der meistverwendete bei der integrierten Schaltungsentwicklung.

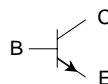


Abbildung 4-22: Symbol für einen npn-BJT

Die Anschlüsse werden mit Kollektor bzw. Collector (C), Emitter (E) und Basis bzw. Base (B) bezeichnet. Spannungen und Ströme zwischen den Anschlüssen werden durch entsprechende Indizes gekennzeichnet. Z.B. steht V_{BE} für die Spannung zwischen Basis und Emitter. Die Ströme in den Anschluss hinein werden positiv gezählt.

Grundsätzlich gibt es je nach Fertigung zwei Typen von npn-BJT: laterale und vertikale.

Laterale npn-BJT's mit relativ schlechten Eigenschaften sind in einem P-Wannen CMOS-Prozess möglich und werden an dieser Stelle nicht weiter behandelt.

Vertikale npn-BJT's sind in BiCMOS oder reinen Bipolarprozessen möglich. Sie weisen unter anderem ausgezeichnete Eigenschaften in Hinblick auf die Transistfrequenz, die Stromverstärkung und das Rauschen bei niedrigen Frequenzen auf. Der Flächenbedarf ist aber im Vergleich zu MOSTs um einiges höher, sodass sie nur dort eingesetzt werden, wo die besseren Eigenschaften tatsächlich gebraucht werden.

Der Aufbau eines vertikalen npn-BJT's ist in Abbildung 4-23 dargestellt. Der Aufbau ist komplizierter als bei MOSTs. Die elektrische Einschränkung besteht vor allem darin, dass das Substrat immer am negativsten Potential der Schaltung liegen muss, da sonst die Diode zwischen Kollektor und Substrat leitend werden kann.

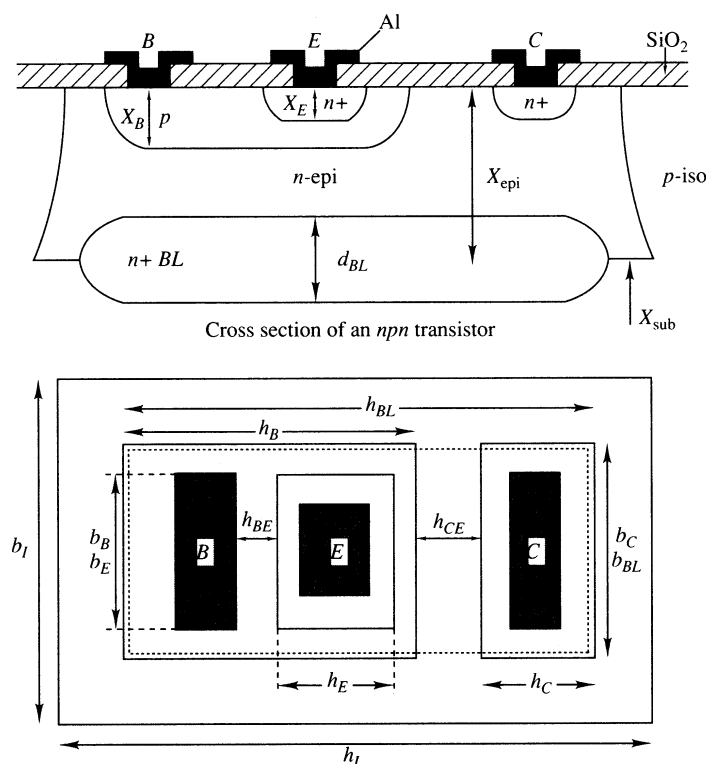


Abbildung 4-23: Querschnitt und Layout eines vertikalen npn-BJT

4.1.3.1 Verhalten und Modellierung

Die Verhaltensbeschreibung für den npn-BJT erfolgt wiederum für zwei Betrachtungsweisen. Zum einen wird das Großsignalverhalten beschrieben und zum anderen das Kleinsignalverhalten des Transistors in einem bestimmten Arbeitspunkt. Die gängigste Darstellung des Großsignalverhaltens erfolgt - wie in Abbildung 4-24 zu sehen - in Form der Ausgangskennlinie. Dabei ist die Bezeichnung der Arbeitsbereiche linear und gesättigt unterschiedlich zu der bei den MOSTs.

Die mathematische Beschreibung des Transistorverhaltens erfolgt gemäß Gleichung 4-20 (Ebers-Moll-Modell). Dabei wird davon ausgegangen, dass sich der Transistor im aktiven Vorwärtsbetrieb (forward active) befindet. D.h. dass die Spannung V_{BE} bei ca. 0,6 V liegt.

Prinzipiell funktioniert der BJT auch im Inversbetrieb, da auch in diesem Fall die Schichtenfolge npn beibehalten ist. Die Eigenschaften unterscheiden sich naturgemäß in beiden Fällen voneinander. Der dritte Betriebszustand, in dem sich ein BJT befinden kann ist der Sättigungszustand. Darunter versteht man den Zustand, dass ein weiteres Ansteigen des Basisstroms keinen Anstieg des Kollektorstroms bewirkt. In der Sättigung ist der Transistor also voll durchgeschaltet und die Kollektor-Emitter-Spannung liegt unter 1 V. Streng genommen muss auch beim BJT noch der Sperrbetrieb (cut-off) erwähnt werden, bei dem der Transistor voll ausgeschaltet ist und nur noch geringe Leckströme fließen.

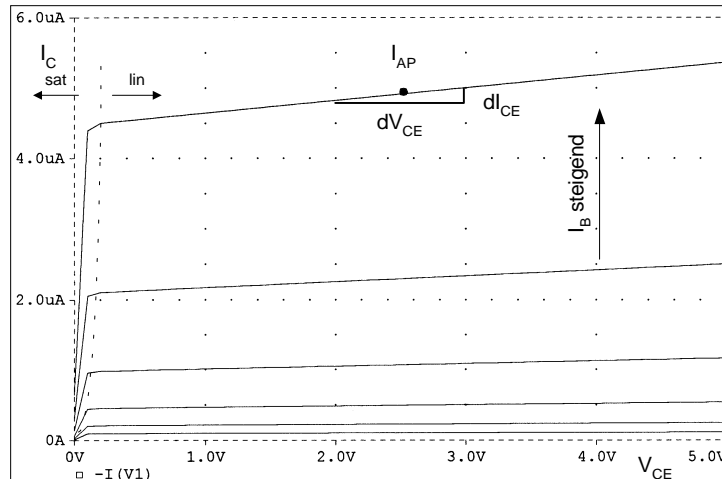


Abbildung 4-24: Ausgangskennlinie für einen vertikalen npn-BJT

$$I_C = I_S \left(\exp \frac{V_{BE}}{U_T} - 1 \right) \approx I_S \exp \frac{V_{BE}}{U_T}$$

$$I_B = \frac{I_S}{B_F} \left(\exp \frac{V_{BE}}{U_T} - 1 \right)$$

$$I_C = J_S A_E \exp \frac{V_{BE}}{U_T} \left(1 + \frac{V_{CE}}{V_A} \right)$$

I_C	...	Kollektorstrom [A]
I_B	...	Basisstrom [A]
I_S	...	Transportsättigungsstrom [A]
J_S	...	Transportsättigungsstromdichte [A/m ²]
A_E	...	Emitterfläche [m ²]
B_F	...	statische Stromverstärkung in Emitterschaltung
V_{BE}	...	Basis – Emitter – Spannung [V]
V_{CE}	...	Kollektor – Emitter – Spannung [V]
V_A	...	Early – Spannung [V]
U_T	...	Temperaturspannung [V]; 26mV @ 25°C

(4-20)

Der Einfluss der endlichen Steigung der Ausgangskennlinie im linearen Betrieb wird über die Early-Spannung V_A modelliert. Abbildung 4-25 zeigt den Zusammenhang. Die Verlängerung der Ausgangskennlinien im aktiven Vorwärtsbereich führt zu einem gemeinsamen Schnittpunkt

auf der negativen X-Achse. Der Spannungswert bei diesem Schnittpunkt entspricht betragsmäßig V_A . Leicht lässt sich aus dieser Kennlinie der Ausgangswiderstand ablesen. Er ist proportional der Spannung V_A und verkehrt proportional dem Kollektorstrom I_C .

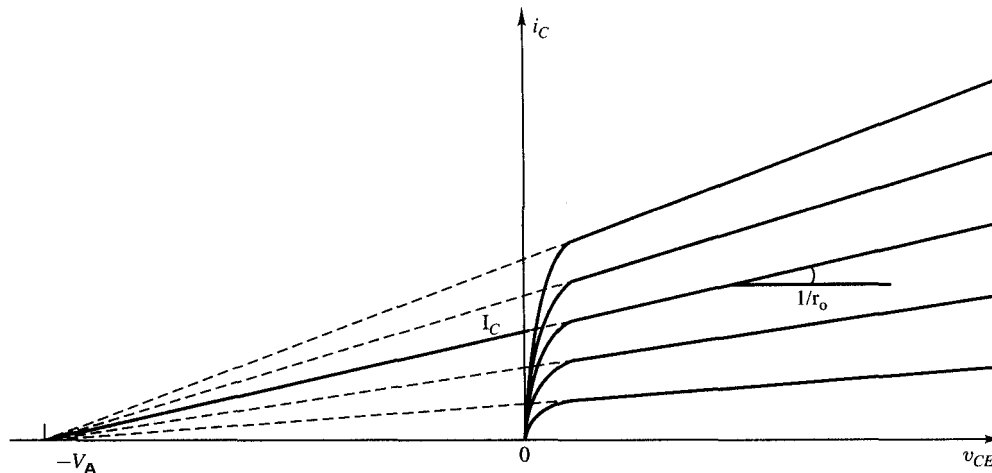


Abbildung 4-25: Early-Spannung und Ausgangswiderstand

Das Großsignalverhalten des BJTs lässt sich für die zwei wichtigsten Betriebszustände (linear und gesättigt) am einfachsten mit den folgenden Ersatzschaltungen nachbilden.

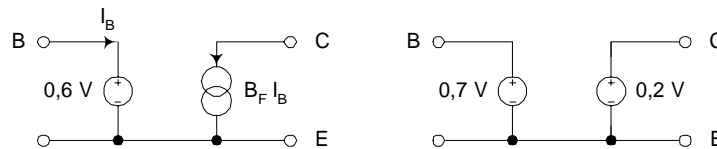


Abbildung 4-26: BJT-Ersatzschaltung für Normalbetrieb (links) und gesättigtem Zustand (rechts)

Die Kleinsignalkenngrößen für den BJT sind ähnlich denen beim MOST definiert. Eine Erweiterung gibt es in Bezug auf den Eingangswiderstand an der Basis des Transistors, da der BJT im Gegensatz zum MOST im statischen Betrieb einen Eingangsstrom an der Basis braucht. Die formelmäßigen Zusammenhänge sind nachstehend beschrieben.

$$\begin{aligned}
 g_m &= \frac{\partial I_C}{\partial V_{BE}} = \frac{I_C}{U_T} \\
 g_{BE} &= \frac{1}{r_{BE}} = \frac{\partial I_B}{\partial V_{BE}} = \frac{I_B}{U_T} = \frac{g_m}{\beta_F} \\
 g_{CE} &= \frac{1}{r_{CE}} = \frac{\partial I_C}{\partial V_{CE}} = \frac{I_C}{V_A}
 \end{aligned} \tag{4-21}$$

g_m	...	Transkonduktanz, Steilheit
g_{BE}	...	Basis – Emitter – Leitwert
g_{CE}	...	Kollektor – Emitter – Leitwert
β_F	...	Kleinsignal – Stromverstärkungsfaktor in Emitterschaltung

Ein Kleinsignalersatzschaltbild für den npn-BJT ist in Abbildung 4-27 zu sehen. Das eigentliche Transistormodell (intrinsic transistor) wird über die jeweiligen Bahnwiderstände $r_{bb'}$, $r_{cc'}$ und $r_{ee'}$ mit den äußeren Anschlüssen des Transistors B', C' und E' verbunden.

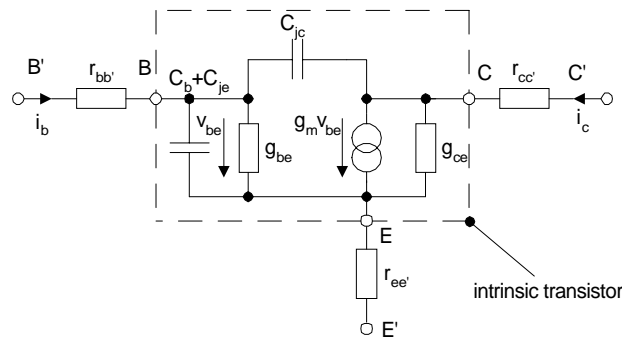


Abbildung 4-27: Kleinsignal Ersatzschaltbild für einen npn-BJT

4.1.3.2 Kapazitäten

Da im BJT Sperrschichten (Junction, j) vorhanden sind gibt es auch Sperrschichtkapazitäten in dieser Struktur. Es sind dies C_{je} (Basis-Emitter-Sperrschicht) und C_{jc} (Basis-Collector-Sperrschicht). Im Normalbetrieb sind diese Kapazitäten aber um einiges kleiner als die dominierende Basisladungskapazität C_b (base-charging capacitance). Diese Kapazität kann für den Transistor, der sich im aktiven Vorwärtsbetrieb befindet, mit nachstehender Formel bestimmt werden. τ ist darin die mittlere Zeit, die ein Ladungsträger braucht, um das Basisgebiet zu durchlaufen. Typische Werte für diese Zeit liegen bei npn-BJT's in der Größenordnung von 10 ps bis 500 ps [7].

$$C_b = -\frac{\partial Q_B}{\partial V_{BE}} = g_m \tau = \frac{I_C \tau}{U_T}$$

C_b	...	Basisladungskapazität	
Q_B	...	in der Basiszone gespeicherte Ladung	(4-22)
V_{BE}	...	Basis – Emitter – Spannung	
U_T	...	Temperaturspannung	
τ	...	Transitzeit der Minoritäts - Ladungsträger	

4.1.3.3 Transitfrequenz

Die Transitfrequenz f_T ist eine wesentliche Kenngröße für die maximal mögliche Signalfrequenz, bei der Transistor noch als Verstärker arbeitet. Sie ist definiert als die Frequenz, bei der die Stromverstärkung i_C/i_B gleich eins wird. Kollektor und Emitter des Transistors sind dabei kurzgeschlossen. Die formelmäßige Herleitung kann für diese Schaltung aus dem Kleinsignalersatzschaltbild nach Abbildung 4-27 erfolgen. Für eine genauere Ableitung sei auf [7] verwiesen. Das Ergebnis ist in Gleichung 4-23 für die Annahme dargestellt, dass $C_b \gg C_{je}, C_{jc}$ ist.

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_b} \quad (4-23)$$

Typische Transitfrequenzen für vertikale npn-BJT's liegen bei heutigen BiCMOS-Prozessen im Bereich von > 10 GHz.

4.1.4 PNP-Bipolar Transistor

Abbildung 4-28 zeigt das Schaltsymbol für einen pnp-BJT. Der Einsatz dieser Transistortype ist wegen der relativ schlechten Eigenschaften selten.

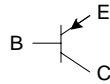


Abbildung 4-28: Symbol für pnp-BJT

Die Anschlüsse werden mit Kollektor bzw. Collector (C), Emitter (E) und Basis bzw. Base (B) bezeichnet. Spannungen und Ströme zwischen den Anschlüssen werden durch entsprechende Indizes gekennzeichnet. Z.B. steht V_{BE} für die Spannung zwischen Basis und Emitter. Die Ströme in den Anschluss hinein werden positiv gezählt.

Grundsätzlich gibt es je nach Fertigung zwei Typen von pnp-BJT: In Abbildung 4-29(a) ist der Aufbau eines vertikalen pnp-BJT dargestellt. Dieser Typ hat die besseren Eigenschaften gegenüber dem in Abbildung 4-29(b) dargestellten lateralen Typ.

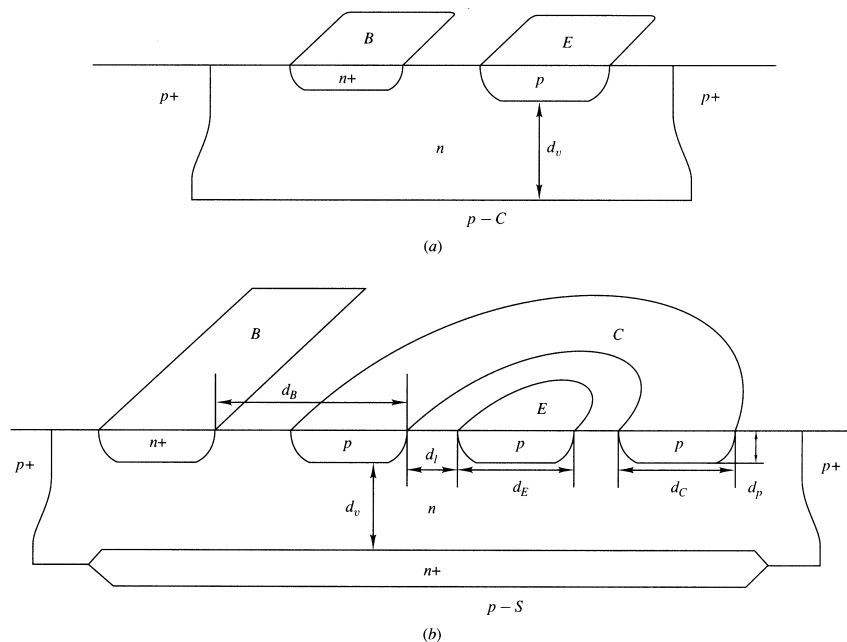


Abbildung 4-29: Vertikaler (a) und lateraler (b) pnp-BJT

Bezüglich der Verhaltensbeschreibung und der Modellierung verhält sich der pnp-BJT gleich wie der npn-BJT, wenn die Ströme und Spannungen invertiert werden. Die Transitfrequenz liegt typischer Weise um eine Zehnerpotenz unter der der npn-BJT.

4.1.5 Vergleich MOST - BJT

Bezüglich eines Einsatzes von entweder MOSTs oder BJTs in der integrierten Schaltungstechnik ist es sinnvoll, die jeweiligen Vor- und Nachteile in Hinblick auf einige

wesentliche Kenngrößen zu untersuchen. Der Vergleich erfolgt hier in erster Linie in qualitativer Hinsicht.

Interne Spannungsverstärkung:

Die interne Spannungsverstärkung ist definiert als die mit einem Bauelement maximal mögliche Verstärkung. Sie wird ermittelt, indem der Transistor in Emitter- (BJT) bzw. Source-Schaltung (MOST) mit einer idealen Stromquelle als Last betrieben wird.

Interne Spannungsverstärkung bei einem BJT:

$$a_0 = g_m r_{CE} = \frac{V_A}{U_T} \quad (4-24)$$

Nur von der Early-Spannung und der Temperatur abhängig. Typische Werte sind ca. 2000.

Interne Spannungsverstärkung bei einem MOST in starker Inversion:

$$a_0 = \frac{g_m}{g_{DS}} = \frac{1}{\lambda} \sqrt{\frac{2\beta}{I_{DS}}} \quad (4-25)$$

Die interne Spannungsverstärkung steigt mit sinkendem Drain-Strom und mit steigender Kanallänge. Typische Werte sind ca. 100.

Interne Spannungsverstärkung bei einem MOST in schwacher Inversion:

$$a_0 = \frac{g_m}{g_{DS}} = \frac{1}{nV_T \lambda} \quad (4-26)$$

Unabhängig vom Drain-Strom. Sie steigt mit steigender Kanallänge. Typische Werte sind ca. 1000.

Transitfrequenz:

$$f_T = \frac{1}{2\pi} \frac{g_m}{C_L} \quad (4-27)$$

Die Transitfrequenz ist proportional dem Drain-Strom bzw. dem Kollektorstrom und verkehrt proportional der Lastkapazität. Bei MOST steht das im Widerspruch zur internen Spannungsverstärkung.

Rauschen:

Generell gute Rauscheigenschaften erhält man, wenn man die Eingangstristoren großflächig und mit hoher Steilheit betreibt.

Für Stromspiegel empfiehlt sich der Betrieb mit geringer Steilheit.

Tendenz: Sehr gutes Verhalten → Sehr schlechtes Verhalten
 BJT → MOST schwache Inversion → MOST starke Inversion

Matching:

Es wird dabei das Matching hinsichtlich zweier kritischer Kenngrößen (Offsetspannung, Strommismatch) unterschieden.

Offsetspannung bei Differenzeingangsstufen:

Tendenz: Sehr gutes Verhalten → Sehr schlechtes Verhalten
 BJT → MOST schwache Inversion → MOST starke Inversion

Strommismatch bei Stromspiegeln:

BJT: konstant über den Arbeitsbereich.

MOST: Arbeitspunktabhängig; bessere Eigenschaften im Bereich der starken Inversion.

4.2 Digitalschaltungen

4.2.1 Logische Grundsaltungen

Bei der Betrachtung der logischen Grundsaltungen wird bezüglich der Spannungspegel folgende Konvention eingehalten:

High, H, h, 1 (eins), V_{DD} stellen den jeweils **höchsten** Spannungspegel dar.

Low, L, l, 0 (null), GND, V_{SS} stellen den jeweils **niedrigsten** Spannungspegel dar.

Diese Pegel erstrecken sich über einen Bereich. Mit dieser Angabe der Pegel spricht man auch von Schaltungen mit positiver Logik. V_{DD} entspricht üblicherweise 5 V oder 3 V.

Die CMOS-Technologie ist dominierend im Bereich der integrierten Digitalschaltungen. Es werden dabei die beiden Typen NMOST und PMOST verwendet. In diesem Bereich kann man das Verhalten der Transistoren zur Vereinfachung der Überlegungen auf zwei Betriebszustände reduzieren. Die Transistoren werden als Schalter (switch) betrachtet, die im geschlossenen (= eingeschalteten) Zustand einen sogenannten On-Widerstand (R_{ON}) aufweisen. Im offenen (= ausgeschalteten) Zustand fließt kein Strom durch den Schalter. Die Substratanschlüsse liegen für die NMOSTs generell auf GND und für die PMOSTs generell auf V_{DD} .

Die beiden Transistortypen stellen dabei unterschiedlich gute Schalter für die beiden Logikpegel dar. Der Grund liegt im Steuerungsmechanismus für die Transistoren (Siehe im Detail in Kapitel 4.1.1 und 4.1.2).

Der NMOST (n-switch) wird mit einem Logikpegel H an seinem Steuereingang eingeschaltet und ist in diesem Zustand ein guter Schalter für eine logische Null und ein schlechter Schalter für eine logische Eins.

Der PMOST (p-switch) wird mit einem Logikpegel L an seinem Steuereingang eingeschaltet und ist in diesem Zustand ein guter Schalter für eine logische Eins und ein schlechter Schalter für eine logische Null.

Abbildung 4-30 veranschaulicht diese Zusammenhänge.

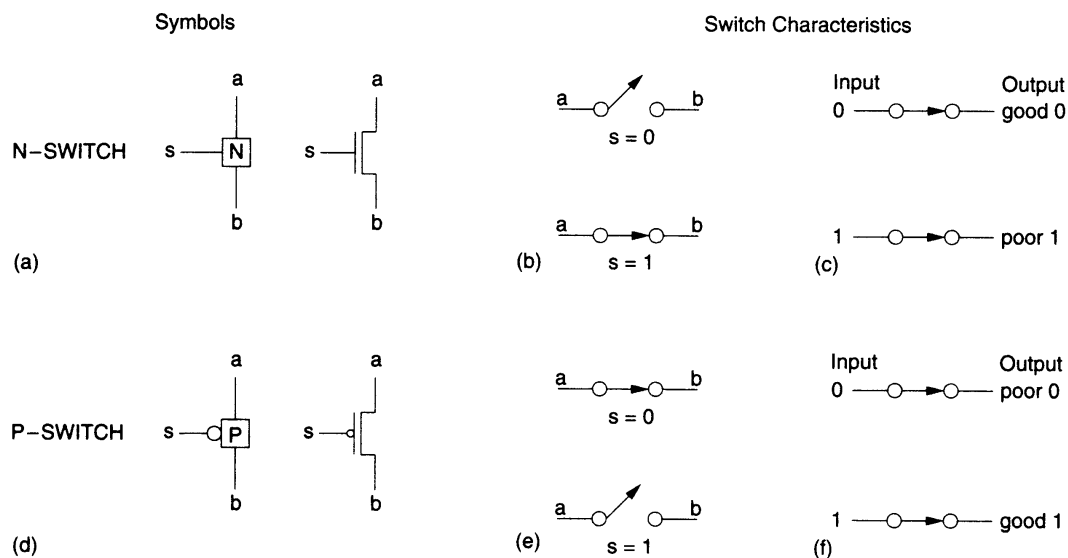


Abbildung 4-30: Schalter mit N- und PMOST

Braucht man gute Schalter für beide Logikpegel zugleich so kann eine Transistoranordnung wie in nachstehender Abbildung verwendet werden. Die Ansteuerung der beiden Transistortypen muss in diesem Fall komplementär erfolgen. Eine Schalteranordnung in dieser Form wird auch als Transmissions-Gatter (transmission gate) bezeichnet.

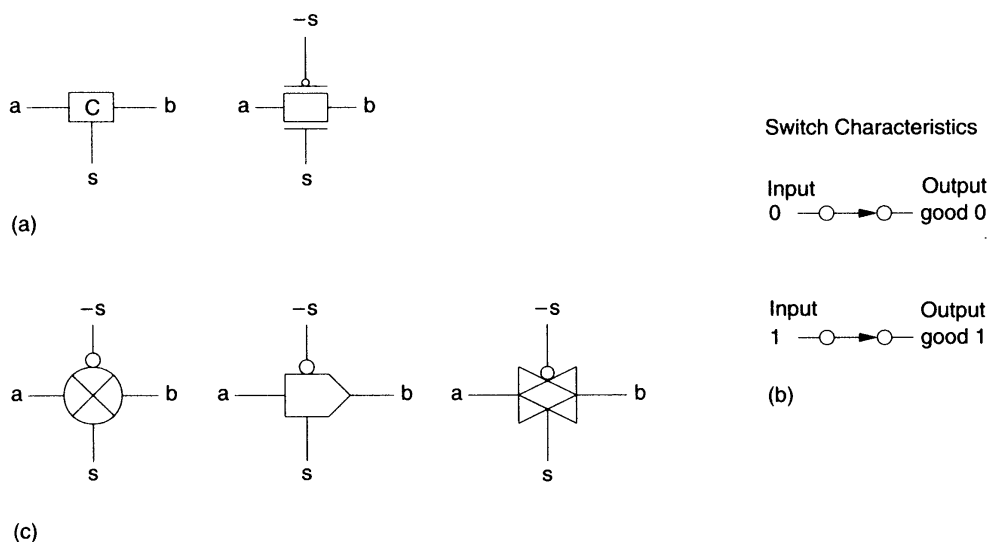


Abbildung 4-31: Schalter mit komplementären MOST

Die Realisierung der logischen Grundfunktionen UND und ODER für zwei Signale S1 und S2 ist in Abbildung 4-32 dargestellt. In (a) ist gezeigt, dass durch die Serienschaltung von zwei NMOSTs eine logische UND-Verknüpfung von S1 und S2 (beide in positiver Logik) erfolgt. Nur wenn beide Steuereingänge auf Eins liegen, ist die Gesamtanordnung der zwei Schalter eingeschaltet. Dementsprechend allerdings für negative Logik verhält es sich mit den PMOSTs. Nur wenn beide Steuersignale Null sind, ist die Gesamtanordnung der zwei Schalter eingeschaltet (Darstellung (b)).

Auch für die Serienschaltung gilt: NMOSTs sind gute Schalter für logisch Null und umgekehrt.

Bei CMOS-Logikschaltungen werden die NMOSTs immer als Schalter für den L-Pegel und die PMOSTs immer als Schalter für den H-Pegel eingesetzt.

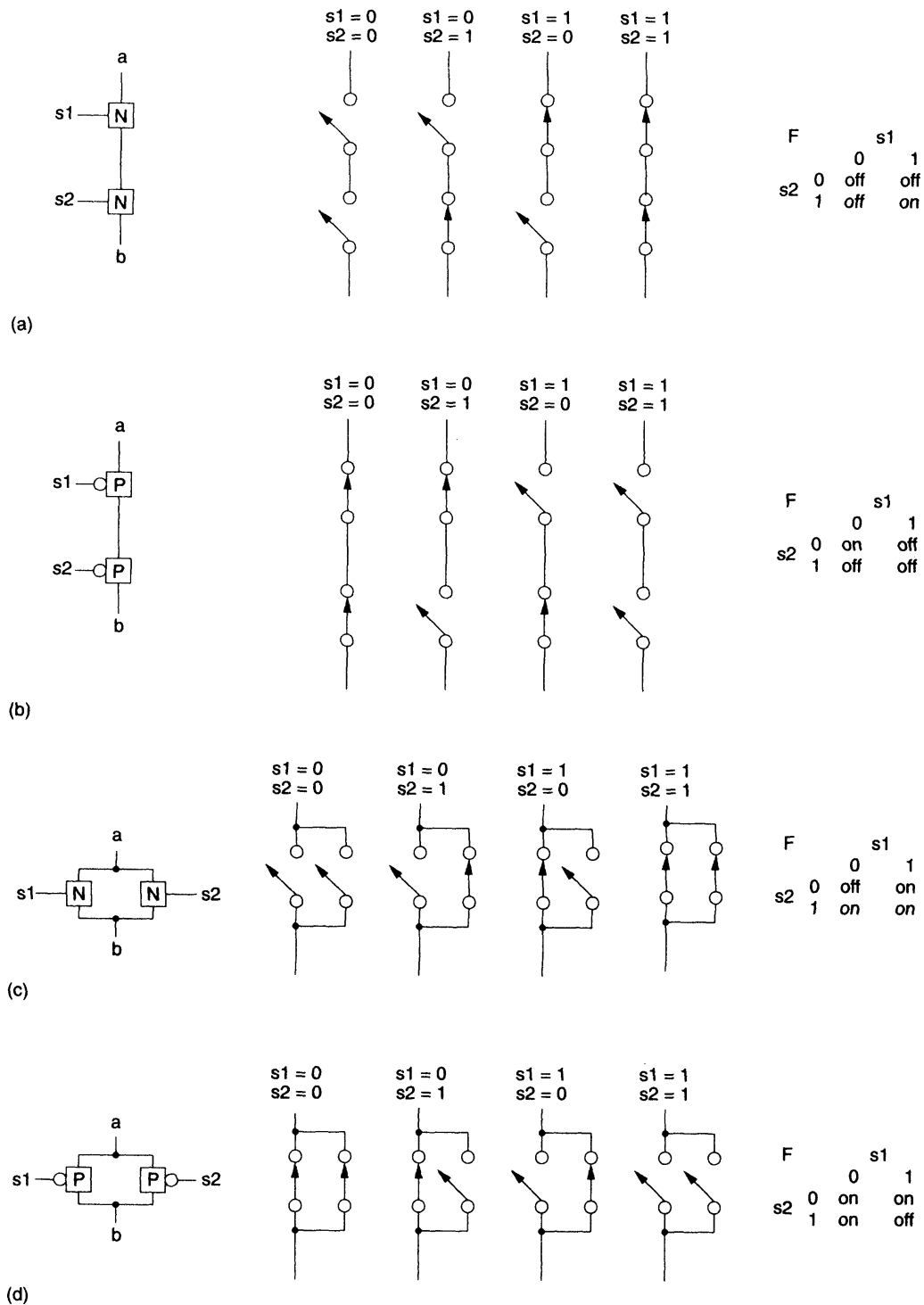


Abbildung 4-32: Logische Grundfunktionen mit MOST

4.2.1.1 Inverter

Das einfachste logische Grundelement der CMOS-Technologie ist der Inverter. In Abbildung 4-33 ist dargestellt, wie aus den beiden Schaltelementen NMOST und PMOST die Inverterfunktion realisiert wird. Charakteristisch ist, dass in beiden möglichen Logikzuständen ein guter Pegel am Ausgang vorhanden ist. In den beiden Zuständen fließt kein Strom durch die Inverterstruktur, da jeweils ein Schalter geöffnet ist.

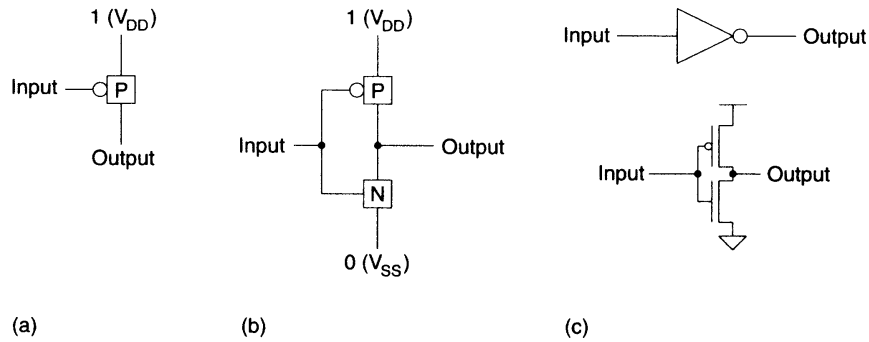


Abbildung 4-33: Inverter mit Schaltern

Will man die Inverterfunktion und das genaue Verhalten in Hinblick auf Stromverlauf, Symmetrie, Störabstand etc. bestimmen, so geht man weg von der vereinfachten Darstellung der Transistoren als Schalter und definiert statt dessen für alle Betriebszustände, in denen sich der Inverter bei Großsignalbetrachtung befinden kann, die Arbeitsbereiche der Transistoren. Anschließend kann mit den Gleichungen 4-5 der Arbeitspunkt für den Inverter berechnet werden. Mit den in Abbildung 4-34 angegebenen Spannungen lassen sich die Transistorbetriebszustände ermitteln (Abbildung 4-35).

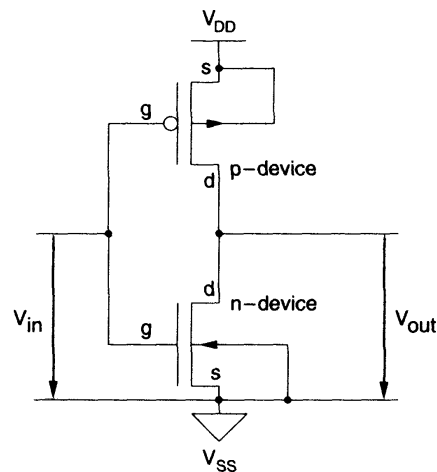


Abbildung 4-34: Inverter

	CUTOFF	NONSATURATED	SATURATED
p-device	$V_{gsp} > V_{tp}$	$V_{gsp} < V_{tp}$ $V_{in} < V_{tp} + V_{DD}$	$V_{gsp} < V_{tp}$ $V_{in} < V_{tp} + V_{DD}$
	$V_{in} > V_{tp} + V_{DD}$	$V_{dsp} > V_{gsp} - V_{tp}$ $V_{out} > V_{in} - V_{tp}$	$V_{dsp} < V_{gsp} - V_{tp}$ $V_{out} < V_{in} - V_{tp}$
n-device	$V_{gsn} < V_{tn}$	$V_{gsn} > V_{tn}$ $V_{in} > V_{tn}$	$V_{gsn} > V_{tn}$ $V_{in} > V_{tn}$
	$V_{in} < V_{tn}$	$V_{dsn} < V_{gs} - V_{tn}$ $V_{out} < V_{in} - V_{tn}$	$V_{dsn} > V_{gs} - V_{tn}$ $V_{out} > V_{in} - V_{tn}$

Abbildung 4-35: Arbeitsbereiche der Transistoren bei einem Inverter

Bei einer Erhöhung der Invertereingangsspannung von GND weg bis V_{DD} können die Bereiche A bis E unterschieden werden. In Abbildung 4-36 sind die Bereichsgrenzen und die Transistorbetriebszustände eingetragen. "ON" bedeutet dabei, dass der Transistor eingeschaltet ist. Es ist keine Angabe über den Arbeitsbereich damit verbunden. Der Inverterausgang ist unbelastet.

- Bereich A: Da die Eingangsspannung noch kleiner ist als die Schwellspannung des NMOSTs ist dieser gesperrt. Der PMOST ist eingeschaltet und stellt den Logikpegel High am Ausgang zur Verfügung. Er ist dabei im **linearen** Betrieb. Durch die Inverterstruktur fließt **kein** Strom.
- Bereich B: Da die Drain-Source-Spannung des NMOSTs noch sehr groß, die Gate-Source-Spannung aber sehr klein ist, befindet sich dieser Transistor in diesem Bereich in der Sättigung. Er wirkt als Stromsenke, deren Strom von der Eingangsspannung gesteuert wird. Dieser Strom bewirkt am PMOST, der sich im linearen Betrieb befindet, einen Spannungsabfall. Der Strom durch beide Transistoren ist ident. Es ist leicht einsichtig, dass der genaue Spannungsverlauf von den beiden Transistorverstärkungsfaktoren β_N und β_P abhängt. Die Berechnung kann für jeden Betriebspunkt durch Verwendung der Gleichungen 4-5 mit den Randbedingungen für die Spannungen an den Transistoren und der Randbedingung der Stromgleichheit in beiden Transistoren erfolgen.

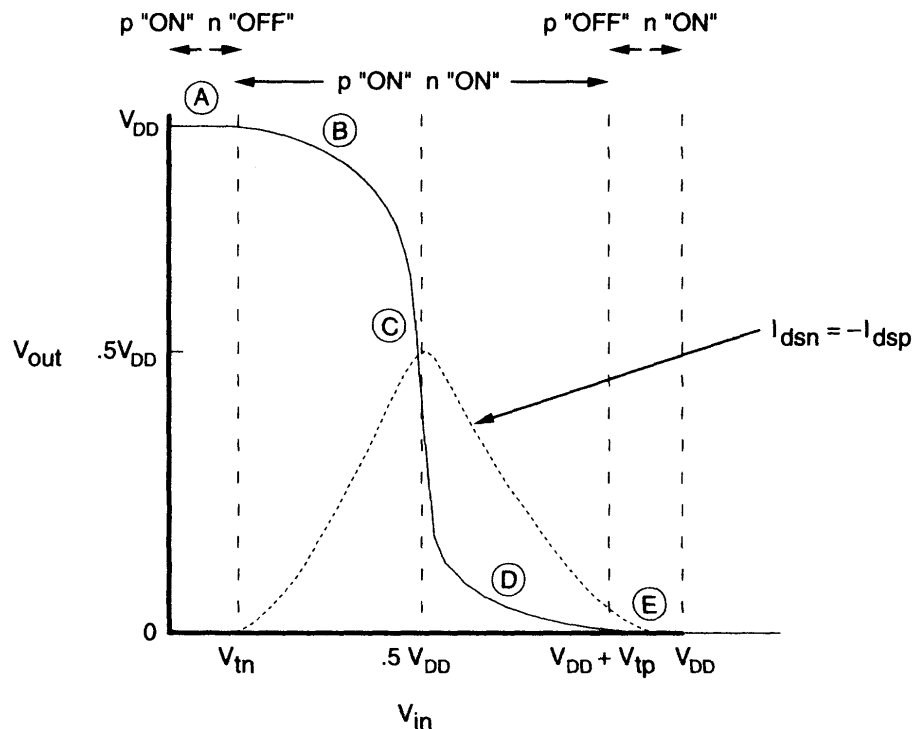


Abbildung 4-36: DC-Inverterkennlinie

Bereich C: Beide Transistoren befinden sich in Sättigung. Unter der Voraussetzung, dass $\beta_N = \beta_P$ ist, gilt in diesem Bereich $V_{in} = V_{out} = V_{DD}/2$. Der Strom durch die Inverterstruktur ist maximal. Um diesen Arbeitspunkt kann der Inverter auch als invertierender Verstärker mit sehr hoher Verstärkung betrachtet werden.

Bereiche D und E sind mit den Bereichen A und B vergleichbar, wenn die Zustände für NMOST und PMOST vertauscht werden.

Durch die Verkopplung der beiden Transistoren über die gemeinsamen Spannungen und den identen Querstrom ist klar, dass der einzig "freie" Parameter für den tatsächlichen Verlauf der Ausgangsspannung als Funktion der Eingangsspannung die Transistorverstärkungsfaktoren sind. Augenscheinlich lässt sich das wie in Abbildung 4-37 darstellen, wenn man das Verhältnis von β_N/β_P als Parameter verwendet. Ist dieses Verhältnis gleich eins, dann herrscht symmetrisches Verhalten. Wird der NMOST relativ zum PMOST "stärker" d.h. mit höherem β realisiert, so kommt es zu einer Verschiebung der Kennlinie nach links. Der Übergang von High auf Low am Ausgang des Inverters findet bei Eingangsspannungen statt, die kleiner als $V_{DD}/2$ sind. Umgekehrt (d.h. β_P wird größer als β_N) zeigt die Tendenz eine Verschiebung nach rechts.

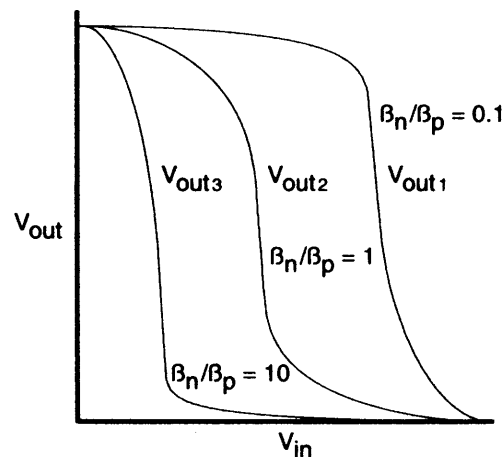


Abbildung 4-37: DC-Inverterkennlinie in Abhängigkeit vom Transistorverstärkungsfaktor

Der Maximalwert des Querstroms hängt von der absoluten Größe von β_N und β_P ab.

Der Temperatureinfluss auf das DC-Verhalten des Inverters ist zweifach. Zum einen gibt es einen Einfluss auf die Schwellspannung. Diese sinkt mit steigender Temperatur, was gleichbedeutend ist mit einer Verschiebung der Kennlinie nach links. Zum zweiten bewirkt eine steigende Temperatur eine Verringerung der Mobilität, was eine Reduktion des Querstroms durch den Inverter bedeutet.

Da für N- und PMOSTs mit gleichem Verhältnis W/L ein Unterschied von $\beta_N/\beta_P \approx 3$ gegeben ist, kann die Symmetrie in der Übertragungskennlinie nur durch eine Erhöhung der Weite des PMOSTs erreicht werden, da die Transistorkanallänge - wegen der resultierenden geringeren Kapazitäten - bei Digitalschaltungen auf den minimal möglichen Wert gelegt wird.

Eine weitere Kenngröße, die zur Charakterisierung eines CMOS-Inverters verwendet wird, ist der Störabstand. Wie schon erwähnt sind die Logikpegel bei Digitalschaltungen nicht als fixe Spannungswerte definiert, sondern in einem Spannungsbereich. Diese Spannungsbereiche sind unterschiedlich, je nachdem ob sie auf einen Eingang oder einen Ausgang bezogen werden. Abbildung 4-38 zeigt dies an Hand von zwei in Serie geschalteten Invertern. Die Nomenklatur ist selbsterklärend. Als Störabstand wird die Differenz von V_{OHmin} zu V_{IHmin} im High-Zustand und V_{ILmax} zu V_{OLmax} im Low-Zustand bezeichnet. V_{OHmin} und V_{OLmax} sind herstellerabhängig. Typische Werte für Technologien mit $V_{DD} = 5\text{ V}$ sind: $V_{OHmin} = 4,0\text{ V}$ und für $V_{OLmax} = 0,4\text{ V}$ (jeweils bei 4 mA Belastung des Ausgangs). Die Definition der eingangsbezogenen Pegelgrenzen erfolgt durch die Steigung der DC-Ausgangskennlinie. Die Eingangsspannungen, bei denen die Ausgangsspannung des Inverters betragsmäßig die Steigung eins hat, werden als Pegelgrenzen verwendet. Veranschaulicht wird dieser Sachverhalt in Abbildung 4-39.

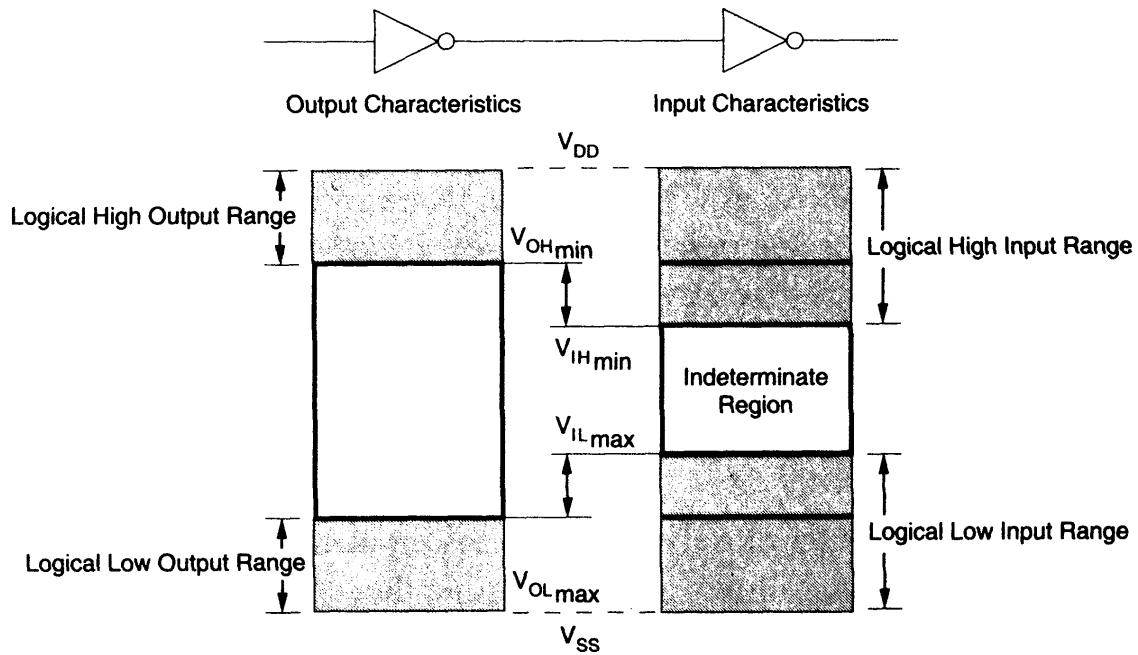


Abbildung 4-38: Störabstand bei CMOS

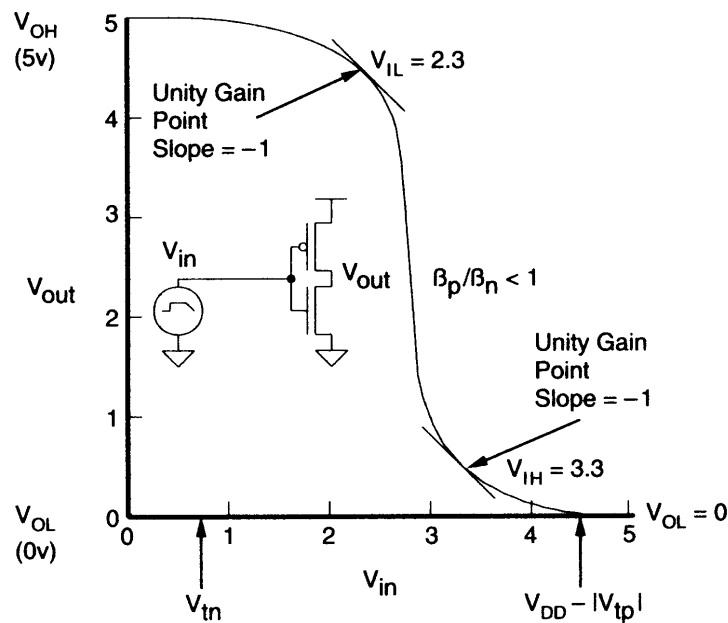


Abbildung 4-39: Bestimmung des Störabstandes

4.2.1.2 NAND, NOR

Die CMOS-Realisierung der NAND-Logikfunktion auf Transistorebene und die Herleitung der Schaltfunktion aus dem Karnaugh-Diagramm ist in Abbildung 4-40 zu sehen. Darüber hinaus wird in (d) angedeutet, wie eine Erweiterung der NAND-Funktion auf mehr als zwei Eingangsgrößen auf Transistorebene erreicht wird. Mögliche Symbole sind in (c) zu sehen.

Die NAND-Struktur mit den parallel geschalteten PMOSTs und den in Serie geschalteten NMOSTs ist in Hinblick auf die Schaltungssymmetrie vorteilhaft, da die relativ gesehen "schwächeren" PMOSTs parallel und die besseren NMOSTs in Serie geschaltet sind. Dadurch kann die Symmetrie auch mit etwa gleich groß dimensionierten Transistoren erreicht werden.

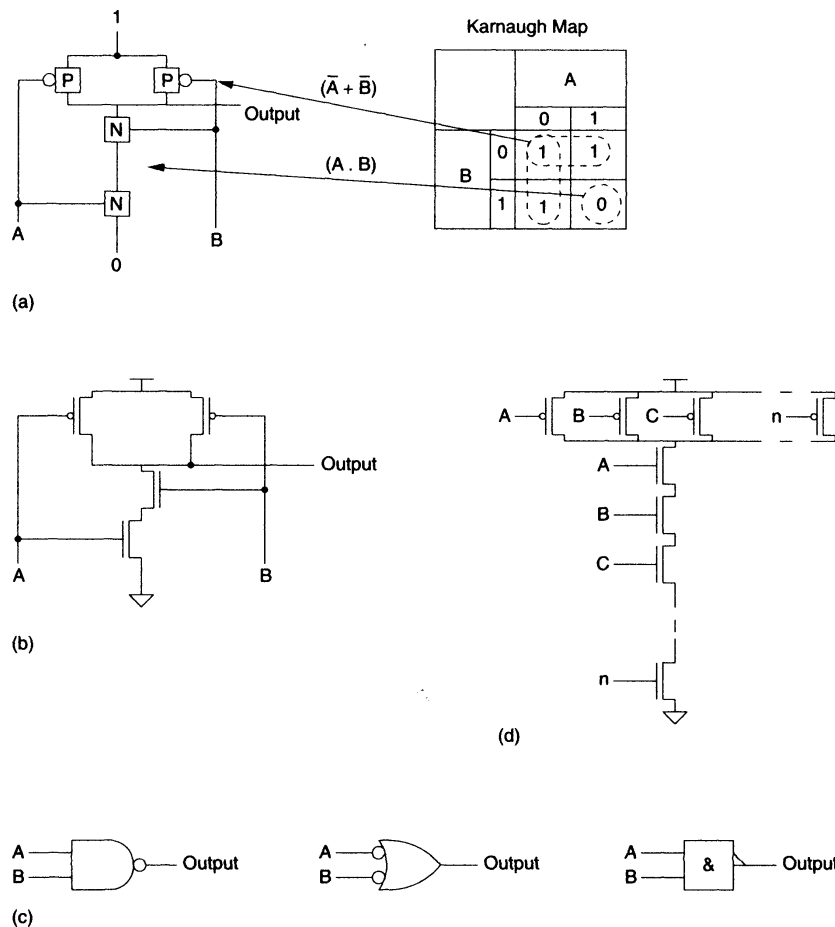


Abbildung 4-40: NAND in CMOS-Technologie

Die CMOS-Transistorschaltung (Abbildung 4-41) zur Realisierung der NOR-Logikfunktion zeigt in Hinblick auf die Symmetrie ein bedeutend schlechteres Verhalten, da die PMOSTs in dieser Struktur in Serie geschaltet sind. Sie werden daher meist mit wesentlich größeren Abmessungen als die NMOSTs im NOR-Gatter verwendet bzw. man nimmt eine Unsymmetrie in Kauf.

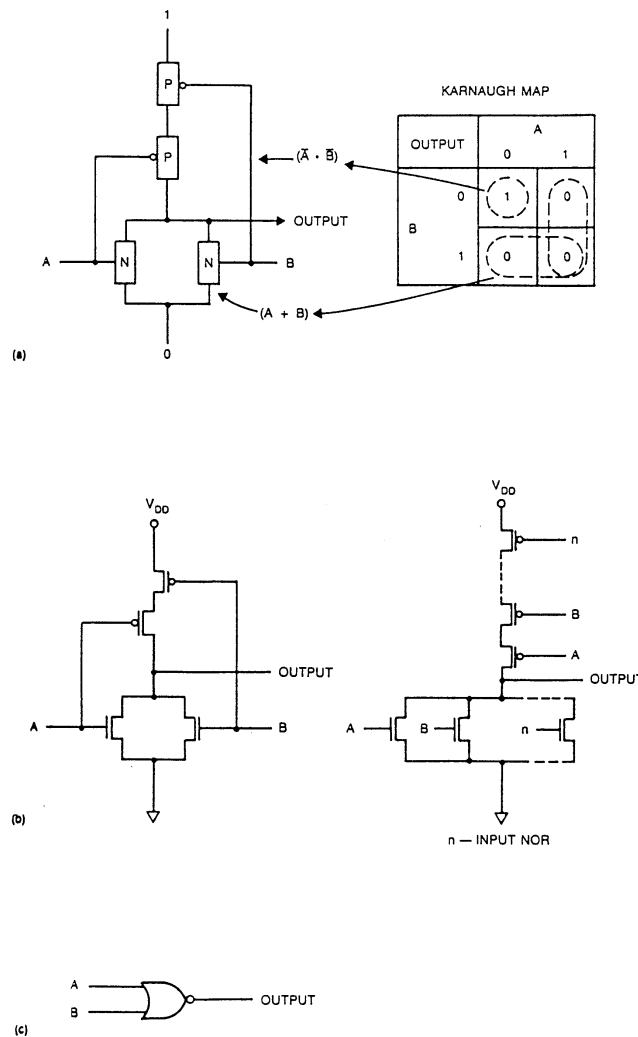


Abbildung 4-41: NOR in CMOS-Technologie

4.2.1.3 komplexe Logikgatter

Komplexere Logikfunktionen lassen sich auf recht einfache Art und Weise in CMOS-Technologie realisieren. Wichtig dabei ist, dass immer ein Schaltungszweig von ausschließlich NMOSTs den Logikpegel Low bereitstellt und ein Schaltungszweig von ausschließlich PMOSTs den Logikpegel High.

Einfach ist die Umsetzung einer Logikfunktion in eine CMOS-Transistorschaltung dann, wenn die Funktion in ihrer invertierten Form angegeben ist. Als Beispiel diene die Logikfunktion: $F = \neg((A+B+C) \cdot D)$ (\neg ist als Inversion für den gesamten Klammerausdruck zu verstehen).

Der Logikpegel Low am Ausgang F wird durch NMOSTs hergestellt. Für die Logikfunktion dieses Zweiges kann der Klammerausdruck ohne die Inversion direkt verwendet werden. Die UND-Funktion wird durch die Serienschaltung realisiert, wobei ein Teil dieser Serie - die ODER-Verknüpfung von A, B und C - durch eine Parallelschaltung dieser Elemente erreicht wird. Der Logikpegel High wird komplementär dazu gebildet. Die Elemente im NMOST-Zweig, die parallelgeschaltet sind, kommen im PMOST-Zweig als Serienschaltung zum Einsatz. Verdeutlicht wird die Realisierung in Abbildung 4-42, wo auch die Karnaugh-Diagramme für die beiden Zweige aufgelöst sind.

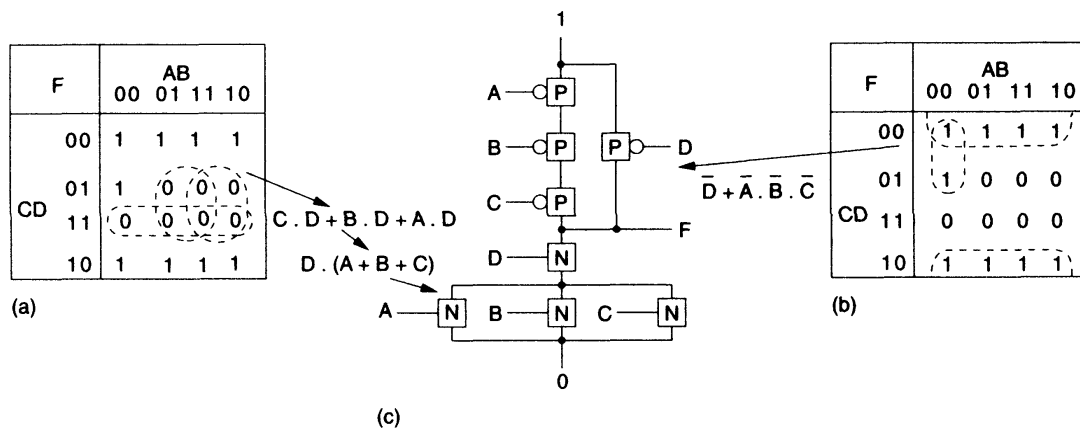


Abbildung 4-42: Komplexe Logikfunktion mit MOST

Wegen des Substratsteuereffektes können natürlich nicht beliebig viele Transistoren in einer CMOS-Struktur in Serie geschaltet werden. Dies gilt ebenso für NAND und NOR, wenn sie mehrere Eingangssignale haben. In 5 V Technologien liegt das Maximum bei vier Eingangssignalen. Logikgatter mit noch mehr Eingängen werden in der Regel durch Kaskadierung erzeugt.

4.2.1.4 Multiplexer, Latch, Flip-Flop

Multiplexer sind wichtige Schaltungselemente in Digitalschaltungen. Mit ihnen können mehrere Eingangssignale wahlweise auf ein Ausgangssignal durchgeschaltet werden. Die Transistorschaltungen, die dafür verwendet werden, können Logikgatter oder Schalter sein. Der Aufbau eines 2-zu-1 Multiplexers mit Transmissions-Gattern ist nachstehend zu sehen.

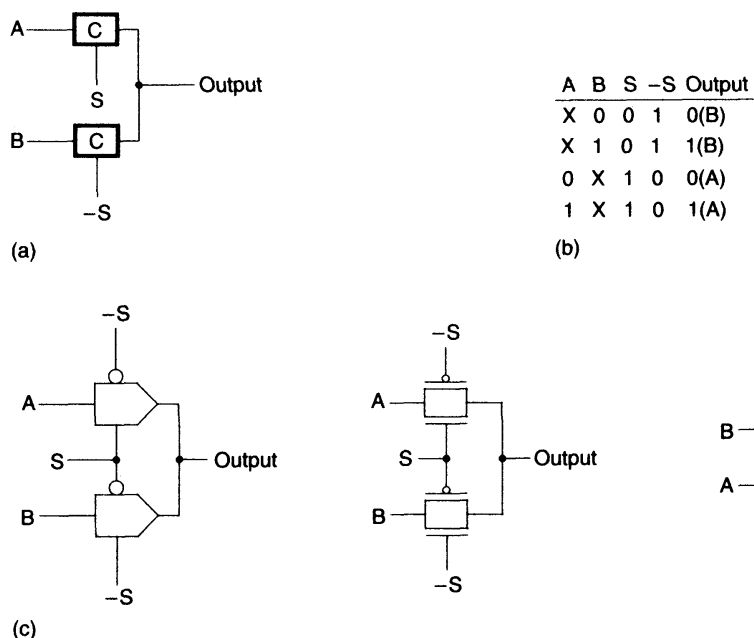


Abbildung 4-43: Multiplexer mit Transmissions-Gattern

Zur Speicherung eines logischen Zustandes in Abhängigkeit von einem Logikpegel werden Latches verwendet. In einem Fall ($CLK=1$) sind diese logischen Grundelemente transparent (Abbildung 4-44,b), im anderen Fall ($CLK=0$) wird der Zustand an Q bzw. \bar{Q} gespeichert. Die Realisierung eines Latches mit Invertiern und Transmissions-Gattern ist in der CMOS-

Technologie weit verbreitet, weil sie eine Variante ist, die mit wenigen Transistoren auskommt. Dies vor allem dann, wenn man die komplementäre Ansteuerung der Transmissions-Gatter einmal generiert. Durch die Dimensionierung der Schalter und der beiden Inverter mit unterschiedlichen Treiberstärken muss sichergestellt werden, dass die Logikpegel beim Umschalten bestehen bleiben und die Inverterrückkopplung nicht in einem Arbeitspunkt um $V_{DD}/2$ "steckenbleibt". Zu beachten ist bei dieser Schaltung die systematische Zeitverzögerung zwischen den beiden Latch-Ausgängen.

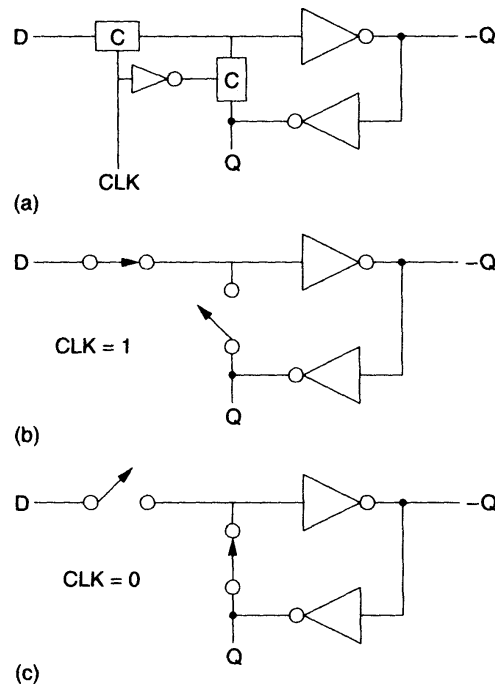


Abbildung 4-44: Latch in CMOS-Technologie

Werden zwei Latches wie in Abbildung 4-45 hintereinandergeschaltet und mit den komplementären Steuersignalen beaufschlagt, so erhält man ein flankensensitives Flip-Flop, das nur mehr auf einen Signalübergang am Steuereingang (hier die steigende Flanke) den Zustand von D nach Q übernimmt und dann bis zur nächsten Flanke zwischenspeichert.

Erweiterungen zum D-Flip-Flop (JK, T, mit Set und Reset etc.) werden durch zusätzliche Logikgatter realisiert und hier nicht weiter betrachtet.

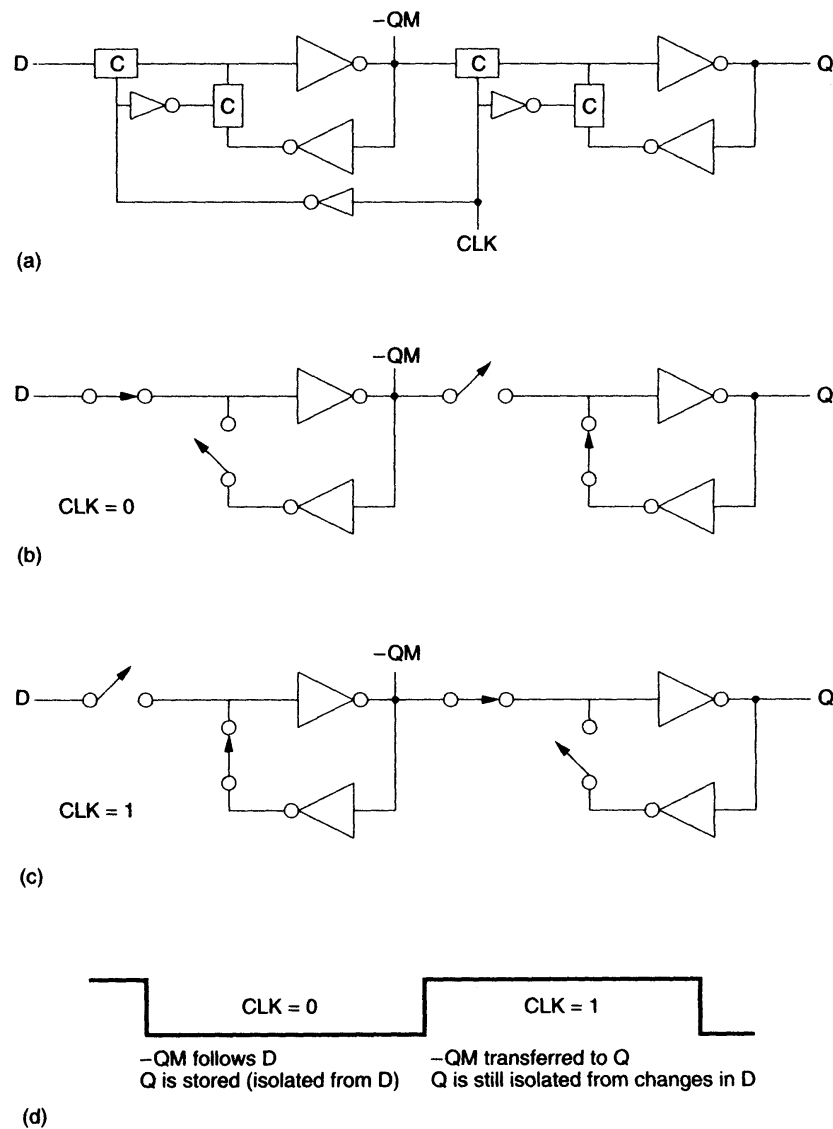


Abbildung 4-45: Flip-Flop in CMOS-Technologie

4.2.2 Standardzellen

Im Bereich der Digitalschaltungen werden die möglichen Logikgatter üblicherweise in einer Bibliothek zusammengefasst, die in Hinblick auf die Logikfunktion, das zeitliche Verhalten und den Flächenbedarf in einem Datenbuch charakterisiert werden. Tabelle 4-1 zeigt eine Zusammenfassung für eine Standardzellenbibliothek mit den Zellennamen (CELL), der Funktionsbeschreibung (DESCRIPTION), den Angaben über die Schaltungskomplexität auf Transistorebene (GATE EQUIV.), dem Flächenbedarf (AREA) und den Anstiegs- (SPEED RISE) und Abfallzeiten (SPEED FALL) für eine bestimmte Lastkapazität C_L .

Ein Gatteräquivalent (GATE EQUIV.) entspricht dabei einer Schaltung, die aus zwei NMOSTs und zwei PMOSTs besteht (NAND2, NOR2 etc.).

Die Zahlenangabe nach den Invertern (IN1, IN2 etc.) bezieht sich auf die Treiberstärke. Ein Inverter IN2 besteht intern aus der Parallelschaltung von zwei NMOSTs und zwei PMOSTs, wie sie im IN1 vorkommen. Damit erreicht man die doppelte Stromergiebigkeit.

Die Fläche wird häufig in sq.Mils (square mils) angegeben. 1 Mil = 0,001 Inch = 25,4 µm. D.h. 1 sq.Mil ≈ 645 µm².

Für die Definition der Anstiegs- und Abfallzeit wird auf Kapitel 4.2.4.2 verwiesen. Die in der Tabelle verwendeten Lastkapazitäten von 500 fF stellen im Kernbereich einer integrierten Schaltung dieser Technologie eine Last von ca. 6 parallelgeschalteten Invertereingängen dar. Die Zeitangaben bei den Ausgangspadzellen werden - wie auch in der Tabelle - üblicherweise für einer Lastkapazität von 50 pF durchgeführt.

CELL	DESCRIPTION	GATE EQUIV.	AREA (sq.Mils)	SPEED(ns) RISE CL =0,5 pF	SPEED(ns) FALL CL =0,5 pF
AN1	2 x 2-Input AND Into NOR	2.0	3.44	1.47	0.92
AN3	2-Input AND Into 3-Input NOR	2.0	3.93	1.63	1.13
BU2	Noninverting Buffer (2x)	1.0	1.96	0.61	0.61
DFB	D-Type Flip-Flop	7.0	6.38	2.54	2.49
DFS8	Scan D-Flip-Flop	9.5	11.78	2.42	2.32
DF9	D-Type Flip-Flop With Set	8.0	6.87	2.79	2.81
DFS9	Scan D-Flip-Flop With Set	10.5	12.28	2.69	2.60
DFA	D-Type Flip-Flop With Reset	8.0	7.37	2.88	2.89
DFSA	Scan D-Flip-Flop With Reset	10.5	12.28	2.66	2.64
DFB	D-Type Flip-Flop With Set and Fleset	9.0	8.35	3.14	3.11
DFSB	Scan D-Flip-Flop With Set and Reset	11.5	12.77	2.94	2.85
DL8	Data Latch	4.5	4.91	2.37	1.92
DL9	Data Latch With Set	5.5	5.89	2.5	2.22
DLA	Data Latch With Reset	6.0	5.89	2.75	2.39
ENI	2-Input XNOR	3.0	3.44	1.16	1.12
E01	2-Input XOR	3.0	3.44	1.38	1.22
IB15	CMOS input Pad	-	71.61	0.67	0.67
IB35	CMOS Input Pad With Pull-Up	-	71.61	0.67	0.67
IB55	CMOS Input Pad With Pull-Down	-	71.61	0.67	0.67
IB75	TTL Input Pad	-	71.61	0.30	1.42
IB95	TTL Input Pad With Pull-Up	-	71.61	0.30	1.42
IBD5	Schmitt-Trigger Input Pad	-	71.61	1.75	2.09
IN1	Inverter (1 x)	0.5	0.89	0.85	0.61
IN2	Inverter (2x)	1.0	1.47	0.44	0.30
IN3	Inverter (3x)	1.5	1.47	0.33	0.22
IN4	Inverter (4x)	2.0	1.96	0.27	0.16
I033	CMOS I/O Buffer With Pull-Down	-	71.61	0.67	0.67
I043	TTL I/O Bufer With Pull-Up	-	71.61	0.30	1.42
I063	CMOS I/O Buffer With Pull-Up	-	71.61	0.67	0.67
I0E3	TTL I/O Buffer	-	71.61	0.30	1.42
I0F3	CMOS I/O Buffer	-	71.61	0.67	0.67
IT2	Internat TS Buffer. Inverting	1.5	2.46	1.08	0.68
JK9	JK Flip-Flop With Set	10.5	10.31	3.04	3.04
JKA	JK Flip-Flop With Reset	10.5	11.29	3.15	3.04
LOGICO	Tie-Down To Logic Low-Level	0.5	0.98	-	-
LOGIC1	Tie-Up To Logic High-Level	0.5	0.98	-	-
MU2	2:1 Multiplexer	3.0	3.44	1.37	1.44
MU4	4:1 Multiplexer	7.0	7.37	2.55	2.05
MU8	8:1 Multiplexer	16.0	15.71	2.63	2.65
NA2	2-Input NAND	1.0	1.47	1.13	0.50

CELL	DESCRIPTION	GATE EQUIV.	AREA (sq.Mils)	SPEED(ns) RISE CL =0,5 pF	SPEED(ns) FALL CL =0,5 pF
NA3	3-Input NAND	1.5	2.46	1.44	0.65
NA4	4-Input NAND	2.0	2.46	1.92	1.32
NA6	6-Input NAND	4.5	4.91	2.41	1.40
NA8	6-input NAND	5.5	6.38	2.75	1.57
NO2	2-Input NOR	1.0	1.96	0.90	0.88
NO3	3-Input NOR	1.5	2.46	1.33	1.13
NO4	4-Input NOR	2.0	3.44	2.02	1.27
OB33	4 mA CMOS Output Pad	-	71.61	7.20 *	6.74*
OB35	8 mA CMOS Output Pad	-	71.61	5.67*	6.71*
OB63	4 mA Open-Drain Pull-Up Pad	-	71.61	8.11*	-
OB83	4 mA Open-Drain Pull-Down Pad	-	71.61	-	7.04*
OB93	4 mA Tri-state CMOS Output Pad	-	71.61	7.23*	6.78*
ONI	2 x 2-Input OR Into 2-Input NAND	2.0	3.44	1.40	0.63
ON3	2-Input OR Into 3-Input NAND	2.0	3.44	1.19	0.93
PPO1	VSS Power Supply Pad...	-	71.61	-	-
PP02	VDD Power Supply Pad	-	71.61	-	-
PP03	Pad Cell For Core VSS Power Supply	-	71.61	-	-
PP04	Pad Cell For Core VDD Power Supply	-	71.61	-	-
PP05	Pad Cell For Periphery VSS Power Supply	-	71.61	-	-
PP06	Pad Cell For Periphery VDD Power Supply	-	71.61	-	-

* C_L = 50 PF**Tabelle 4-1: Standardzellen eines 1,2 µm CMOS-Prozesses mit charakteristischen Kenngrößen**

4.2.3 Peripheriezellen

Die Schnittstellen zwischen den äußeren Anschlüssen einer integrierten Schaltung und den Gattern im Kernbereich, die die eigentliche Digitalschaltung darstellen, bilden die Peripheriezellen. Man unterscheidet zwischen reinen Eingangs- bzw. Input- (I), reinen Ausgangs- bzw. Output- (O) und den umschaltbaren Eingangs-/Ausgangs- bzw. Input/Output-Peripheriezellen (I/O).

Bei CMOS-Schaltungen müssen vor allem bei den Eingängen besondere schaltungstechnische Schutzmaßnahmen getroffen werden, da schon geringe Störladungen auf das Gate eines MOSTs zu einer Zerstörung des Gate-Oxides führen können. Diese Störladungen müssen abgeleitet werden bzw. es muss verhindert werden, dass die Spannung am Gate-Anschluss des Eingangsinverters zu große positive oder negative Werte annehmen kann. Die meist verwendete Schutzstruktur für CMOS-Eingänge ist in Abbildung 4-46 zu sehen. Als Pad wird der Anschluss auf der integrierten Schaltung bezeichnet, der über einen Anschlussdraht (Bonddraht) mit dem externen Bausteinanschluss verbunden ist. D1 schützt den Invertereingang durch eine Spannungsbegrenzung auf $V_{DD} + 0,6 \text{ V}$. D2 schützt den Invertereingang durch eine Spannungsbegrenzung auf $\text{GND} - 0,6 \text{ V}$. Der Widerstand R dient der Strombegrenzung für den Strom durch die Dioden D1 bzw. D2. Die Größenordnung liegt bei ca. 100 bis 500 Ω .

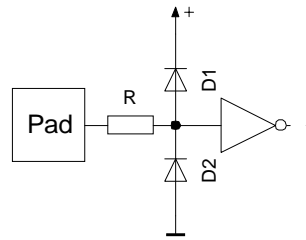


Abbildung 4-46: Eingangsschutzstruktur

Der Schaltungseingang ist nicht notwendiger Weise immer ein einfacher Inverter. Vielfach wird statt dessen eine Schmitt-Triggerstruktur verwendet, die in Hinblick auf die Flankensteilheit der Eingangssignale und gegebenenfalls auf eine Pegelanpassung zu anderen Logikfamilien Vorteile bietet. Durch die Rückwirkung des Ausgangssignals über M3 wird der Schwellwert des Umschaltens zu höheren Eingangsspannungen verschoben. Umgekehrt verhält es sich mit der Rückwirkung des Ausgangssignals über M6 auf den High-Low-Übergang des Eingangssignals.

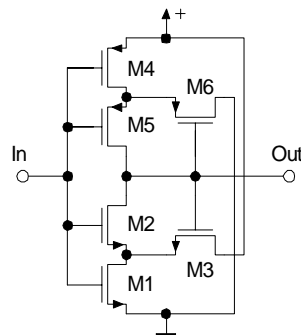


Abbildung 4-47: Schmitt-Trigger in CMOS-Technologie

Kombinierte I/O-Zellen erfordern die Möglichkeit, den Ausgang in den Tri-State-Zustand schalten zu können. Das ist ein Zustand, bei dem beide Ausgangstransistoren gesperrt sind. Damit ergibt sich ein hochohmiger Zustand, der von einem Eingangssignal ohne Probleme überschrieben werden kann. Eine schaltungstechnische Realisierung für eine derartige Peripheriezelle ist in nachstehender Abbildung zu sehen. Die Ansteuerung der Ausgangstreibertransistoren erfolgt über eine zusätzliche Logikschaltung bestehend aus Inverter, NAND- und NOR-Gatter.

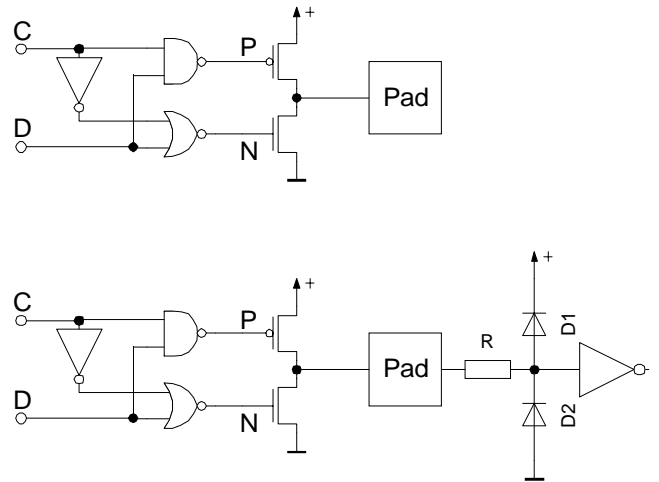


Abbildung 4-48: Tristate I/O-Pad

Bei digitalen Ausgängen braucht keine Schutzstruktur implementiert werden, da immer eine niederohmige Verbindung zu den Versorgungsspannungen V_{DD} und GND vorhanden ist. Die Transistoren der Ausgangsschaltungen weisen typisch ein großes Weiten- zu Längen-Verhältnis auf, sodass sie eine gute Stromergiebigkeit bzw. einen geringen On-Widerstand aufweisen. Charakterisiert werden solche Strukturen meist so, dass bei einer bestimmten Strombelastung die Ausgangspegel noch innerhalb der Spezifikationen liegen (vgl. Kapitel 4.2.1.1).

In Abbildung 4-49 ist eine Schaltung für ein Ausgangspad in einem $1,2\ \mu\text{m}$ CMOS-Prozess mit den Transistorabmessungen (z.B. MP1: $W=50\ \mu\text{m}$, $L=1,2\ \mu\text{m}$) dargestellt. Bei 4 mA Belastung werden mit dieser Schaltung die Logikpegel, wie sie der Hersteller spezifiziert, noch sicher eingehalten.

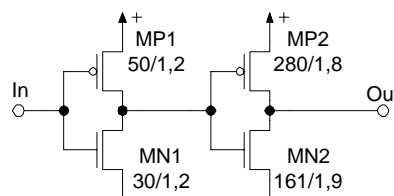


Abbildung 4-49: Schaltung eines 4 mA Ausgangspads

Eine Erweiterung dieser Struktur um die Transistoren MP7 und MN5 und die Logikfunktionen NAND und NOR zu deren Ansteuerung führen zu einer in Abbildung 4-50 dargestellten 8 mA Ausgangstreiberschaltung. Beim Logikpegel High am Ausgang bewirkt die Parallelschaltung von MP2 und MP7 eine Verringerung des Ausgangswiderstandes, sodass bei einer Belastung des Ausgangs mit einem Strom von 8 mA der High-Pegel noch über z.B. 4,0 V liegt. Im Low-Zustand am Ausgang hat man die Parallelschaltung von MN2 und MN5. Während des Umschaltvorganges ist der dominante Querstrom durch den Inverter MP2 und MN2 gegeben. Durch die Ansteuerung der Ausgangstreibertransistoren in der gezeigten Art wird auch die Lastkapazität am Ausgang des Inverters mit MP1 und MN1 verringert, was in Summe ein schnelleres Schalten und einen geringeren Leistungsverbrauch ergibt.

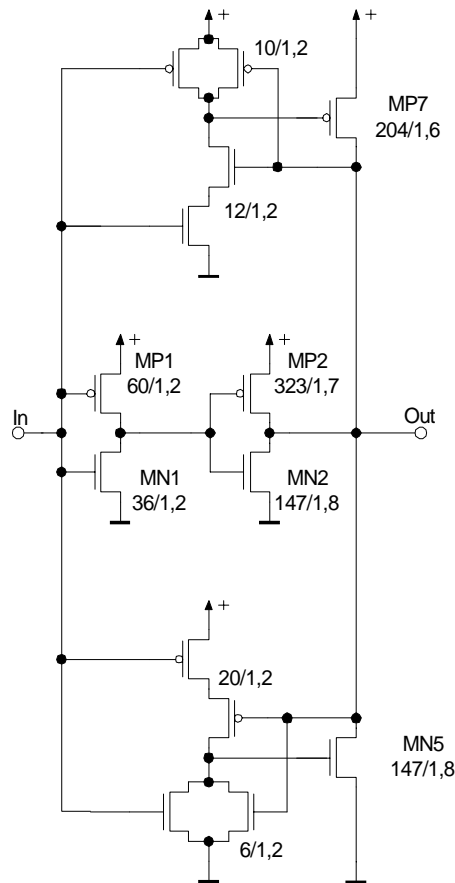


Abbildung 4-50: Schaltung eines 8 mA Ausgangspads

Eine Detailschaltung einer I/O-Padzelle, die in einem Gate-Array implementiert ist, zeigt die Abbildung 4-51. Interessant ist im Bereich des Eingangs-Puffers der Transistor P5, der die Funktion eines Pull-Up-Widerstandes hat. Die Dimensionierung mit einem Weiten- zu Längenverhältnis von 9 zu 88 ist dafür typisch. Auch wenn V_{GS} für diesen Transistor in diesem Fall die volle Betriebsspannung ausmacht, ergibt sich mit dieser Dimensionierung ein geringer Ruhestrom für den Fall, dass der Eingang auf Low gelegt wird.

Beim Ausgangs-Puffer ist die Dimensionierung ebenfalls interessant. Die NMOSTs N1, N2 und N3 sind gegenüber den PMOSTs P1 und P2 um vieles stärker ausgelegt, was darauf zurückzuführen ist, dass mit dieser Ausgangsschaltung auch TTL-Eingänge angesteuert werden sollen. Um einen TTL Low-Pegel zur Verfügung stellen zu können, muss dieser Ausgang einen niederohmigen Low-Zustand bereitstellen, was durch die Parallelschaltung der drei NMOSTs auch möglich ist.

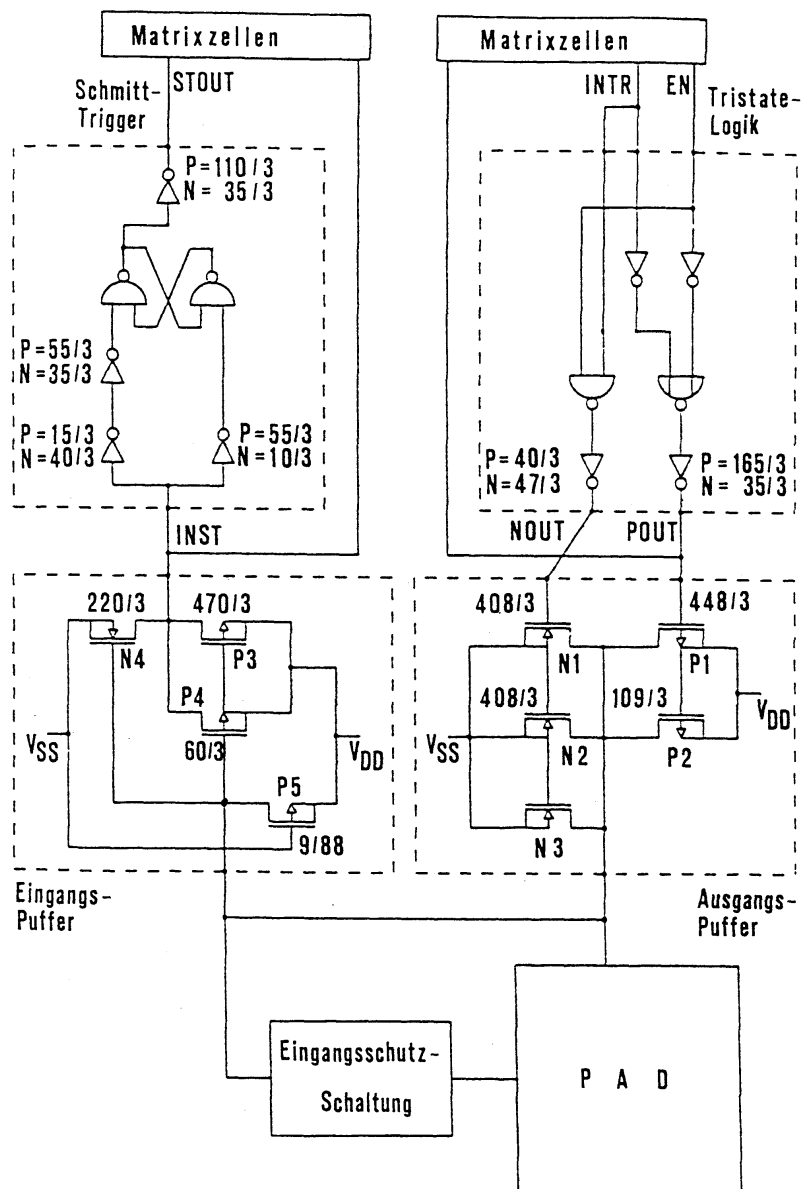


Abbildung 4-51: I/O-Padzelle eines Gate-Arrays

4.2.4 Schaltungskenngrößen

Die Fertigung einer integrierten Schaltung unterliegt statistischen Schwankungen, sodass alle Kenngrößen in einem Gültigkeitsbereich definiert werden. Um die Zahl der möglichen Parameterkombinationen, die für die Schaltungsentwicklung die Eckpunkte darstellen, an denen die korrekte Funktion überprüft werden muss, zu reduzieren, werden die Schwankungen in den Prozessparametern üblicherweise mit drei Begriffen charakterisiert:

- Worst Case Speed (Best Case Power): Alle Fertigungstoleranzen werden so gewählt, dass die Schaltung am langsamsten wird.
- Typical Mean: Alle Prozessparameter werden mit ihren typischen Werten gewählt.
- Worst Case Power (Best Case Speed): Alle Fertigungstoleranzen werden so gewählt, dass die Schaltung am schnellsten wird.

Die Geschwindigkeit der Schaltung (Verzögerungszeit, propagation time t_p , delay time t_d) wird also in den meisten Fällen als charakteristische Kenngröße verwendet. Neben den Fertigungstoleranzen haben natürlich auch noch die Betriebsbedingungen (Versorgungsspannung, Temperatur) einen Einfluss auf die Verzögerungszeit.

4.2.4.1 Verzögerungszeit

Die Gesamtverzögerungszeit kann entsprechend der nachstehenden Formel bestimmt werden. Die Zeitangaben und die Faktoren sind für die einzelnen Zellen in Datenblättern zusammengefasst. Der Spannungsverzögerungsfaktor und der Temperaturfaktor sind in tabellarischer bzw. graphischer Form angegeben. Typische Verläufe und Werte sind in Abbildung 4-52 und Abbildung 4-53 sowie in Tabelle 4-2 und Tabelle 4-3 zusammengefasst.

$$t_p = K_{pv} \cdot K_t \cdot (t_{dx} + k_{tdx} \cdot C_L)$$

t_p	...	Verzögerungszeit [ns]	
K_{pv}	...	Spannungsverzögerungsfaktor	(4-28)
K_t	...	Temperaturfaktor	
t_{dx}	...	Zellenverzögerung [ns]	
k_{tdx}	...	Lastfaktor [ns/pF]	
C_L	...	Lastkapazität [pF]	

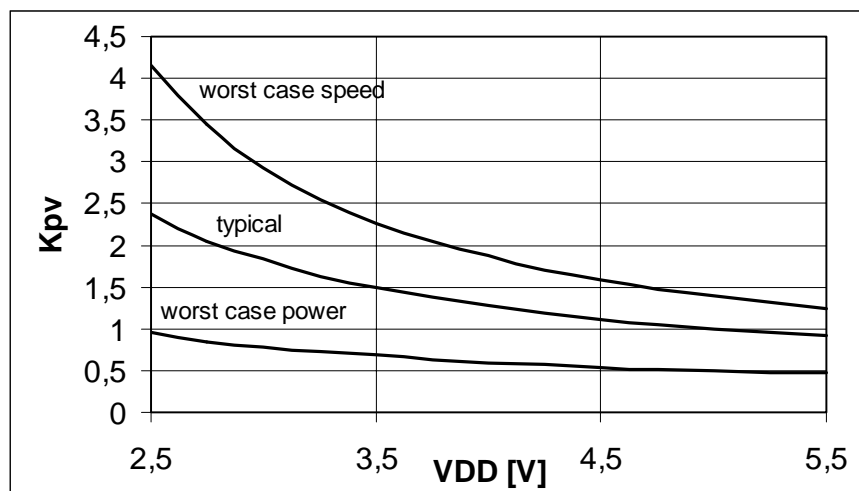


Abbildung 4-52: Spannungsverzögerungsfaktor

	Worst Case Speed	Typical	Worst Case Power
V_{DD} [V]			
2,50	4,15	2,37	0,96
2,75	3,44	2,05	0,85
3,00	2,93	1,83	0,78
3,25	2,54	1,62	0,72
3,50	2,26	1,49	0,68
3,75	2,04	1,38	0,64
4,00	1,87	1,28	0,60
4,25	1,71	1,19	0,57
4,50	1,59	1,12	0,54
4,75	1,48	1,06	0,52
5,00	1,40	1,00	0,50
5,25	1,32	0,96	0,48
5,50	1,24	0,91	0,47

Tabelle 4-2: Spannungsverzögerungsfaktoren

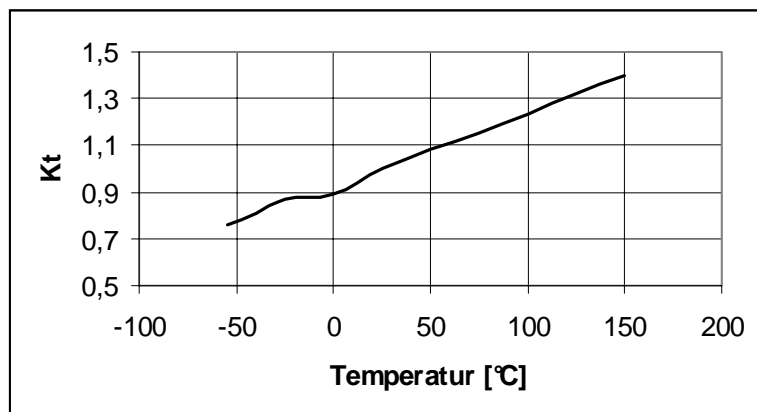


Abbildung 4-53: Temperaturverzögerungsfaktor

Temperatur [°C]	Typical
150	1,40
125	1,32
100	1,23
75	1,15
50	1,08
25	1,00
0	0,89
-25	0,87
-40	0,81
-55	0,76

Tabelle 4-3: Temperaturverzögerungsfaktoren

Bei der Variation der Temperatur von 0 bis 100 °C einer Versorgungsspannungsvariation von 4,5 V bis 5,5 V und den Grenzwerten der Fertigungstoleranzen kommt es mit obigen Werten fast zu einem Faktor 5 (!), um den die Verzögerungszeit schlimmstenfalls schwanken kann. Für

die Funktionsüberprüfung bedeutet dies, dass zumindest drei mögliche Zustände betrachtet werden sollten:

- Fertigungstoleranzen auf typical, Normaltemperatur (25 °C) typische Versorgungsspannung (5 V).
- Fertigungstoleranzen auf worst case speed, die höchste vorkommende Temperatur und die niedrigste vorkommende Versorgungsspannung.
- Fertigungstoleranzen auf worst case power, die niedrigste vorkommende Temperatur und die höchste vorkommende Versorgungsspannung.

Die Verzögerungszeit wird wie in Abbildung 4-54 ersichtlich zwischen den 50 %-Werten des Eingangs- und Ausgangssignales gemessen. Es erfolgt dabei meist auch eine Unterscheidung in Abhängigkeit von der Signalrichtung am Ausgang (z.B. t_{pHL} ... Verzögerungszeit vom Eingang zum Ausgang, wenn der Ausgang von High auf Low wechselt).

4.2.4.2 Anstiegs- und Abfallzeit

Die Anstiegs- und die Abfallzeit werden typischerweise zwischen 10 % und 90 % des Ausgangssignalpegels bestimmt und mit t_r (time rise) und t_f (time fall) bezeichnet.

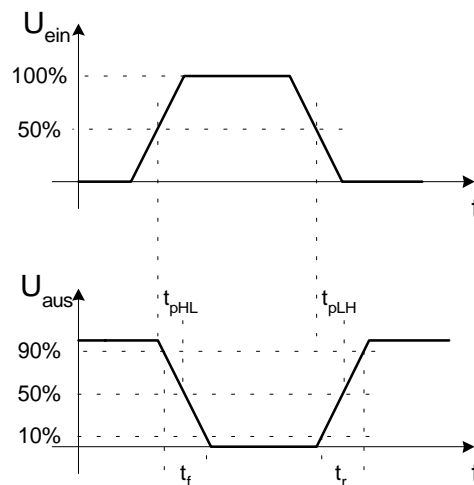


Abbildung 4-54: Verzögerungs-, Anstiegs- und Abfallzeit

4.2.4.3 Setup- und Hold-Zeit

Bei Latches und Flip-Flops wird eine Hold-Zeit t_{hold} (Zeit, die das Datensignal nach dem Taktwechsel noch anliegen muss, damit der Zustand richtig übernommen wird) und bei Flip-Flops zusätzlich eine Setup-Zeit t_{setup} (Zeit, die das Datensignal vor dem Taktwechsel anliegen muss, damit der Zustand richtig übernommen wird) angegeben. Die zeitlichen Zusammenhänge zwischen dem relevanten Taktsignal und den Daten am Eingang sind in Abbildung 4-55 gezeigt. Setup- und Hold-Zeitverletzung sind in asynchronen Systemen ein nicht sicher lösbares Problem. In synchronen Systemen auf einer integrierten Schaltung können sie wegen der nicht konstanten Verzögerungszeiten (Temperatur etc.) zu sporadisch auftretenden Fehlfunktionen führen. Die meisten Digitalsimulatoren bieten daher eine Möglichkeit, solche Zeitverletzungen zu detektieren.

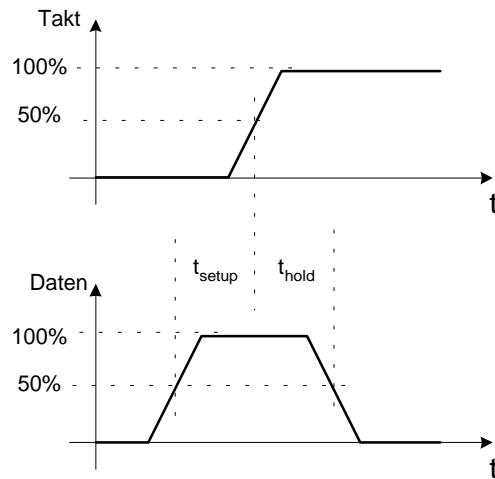


Abbildung 4-55: Setup- und Holdzeit

4.2.4.4 Enable- und Disable-Zeit bei Tri-State-Ausgängen

Bei Tri-State-Ausgängen werden noch zusätzliche Zeitangaben gemacht, die sich auf die Zeit beziehen, die vom Enable-Signal bis zum Übergang vom Tri-State-Zustand auf den Logikpegel (t_{PZL} ... Tri-State auf Low; t_{PZH} ... Tri-State auf High) und vom Logikpegel in den Tri-State-Zustand (t_{PLZ} ... Low auf Tri-State; t_{PHZ} ... High auf Tri-State) vergeht. Die zeitlichen Zusammenhänge und die relevanten Signalpegel sind in Abbildung 4-56 zu sehen.

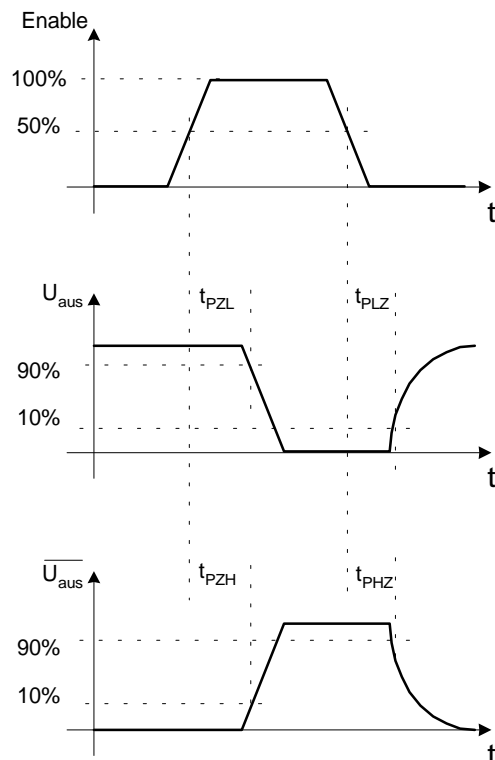


Abbildung 4-56: Enable- und Disable-Zeiten bei Tri-State-Ausgängen

4.2.5 Leistungsverbrauch

Da im Bereich der Digitalschaltungen die CMOS-Technologie vorherrschend ist, wird hier auch nur dafür der Leistungsverbrauch betrachtet.

4.2.5.1 Statisch

Im statischen Betriebszustand ist immer ein Transistorzweig gesperrt. Die Gateanschlüsse sind gegen das Substrat und die Transistoranschlüsse sehr gut isoliert. Es kommt daher in diesem Fall nur zu sehr geringen Leckströmen an der Sperrschicht von Drain und Source zum Substrat bzw. zur Wanne.

4.2.5.2 Dynamisch

Im dynamischen Betriebszustand kommt es bei CMOS zu einem Leistungsverbrauch, der sich aus zwei Anteilen zusammensetzt:

- a) Querstrom durch die CMOS-Struktur (vgl. Kapitel 4.2.1.1)
- b) Umladestrom für die Lastkapazitäten (dominanter Anteil)

Für den dominanten Anteil kann der Leistungsverbrauch durch folgende Überlegung einfach hergeleitet werden. Wird eine Kapazität (hier Lastkapazität C_L , bzw. die Summe aller Lastkapazitäten) auf eine Spannung V_{DD} aufgeladen, dann ist in C_L die Energie $W = 0,5 V_{DD}^2 C_L$ gespeichert. Dieselbe Energie muss in der Aufladeschaltung verbraucht werden, die im Falle von CMOS als Schalter mit On-Widerstand gesehen werden kann. Die Größe des Widerstandes ist nicht von Bedeutung. Sie bestimmt lediglich die Geschwindigkeit der Aufladung. Bei der Entladung der Kapazität wird die gespeicherte Energie ebenfalls in einem Widerstand als Verlust umgesetzt. D.h. in einem Umschaltzyklus wird die Energie $W = V_{DD}^2 C_L$ verbraucht. Mit der Schalzhäufigkeit (Frequenz, f_{CLK}) kann daher die Verlustleistung, die durch die Umladung der parasitären Kapazitäten der CMOS-Struktur hervorgerufen wird (dominanter Anteil!), zu

$$P_V = f_{CLK} \cdot C_L \cdot V_{DD}^2 \quad (4-29)$$

errechnet werden. Der Anteil an der Verlustleistung, der vom Querstrom stammt, wird meist vernachlässigt, da er um den Faktor 3 bis 10 kleiner ist.

Die Möglichkeiten zur Verlustleistungsverkleinerung bei CMOS-Schaltungen sind aus obenstehender Gleichung leicht abzulesen. Dominierender Anteil ist die Versorgungsspannung. Eine Reduktion von z.B. 5 V auf 3 V bringt eine Leistungsverringerung um etwa den Faktor 2,8 (!). Eine Verringerung der Versorgungsspannung kommt automatisch mit der Reduktion der Strukturgrößen auf den integrierten Schaltungen, da sonst die Feldstärken im Transistorkanal zu hoch würden. Proportional gehen die Taktfrequenz und die Summe der Lastkapazitäten in die Verlustleistungsbetrachtung ein.

Die Lastkapazitäten bilden in erster Linie die Gate-Kapazitäten der Logikgatter. Diese können verringert werden durch kleine Abmessungen (minimale Kanallänge) bei den Transistoren. Bei CMOS-Technologien im Sub-Mikrometerbereich werden diese Kapazitäten naturgemäß klein.

In diesem Fall nehmen aber die Routingkapazitäten häufig den dominierenden Anteil an der Lastkapazität ein.

Eine Verringerung der Taktfrequenz ist nicht immer möglich und sinnvoll. Man kann aber z.B. durch Abschalten des Taktsignals für Schaltungsteile, die gerade keine Funktion haben, eine Leistungsverringerung erreichen. Weil weniger Schaltungsknoten mit einer hohen Taktrate angesteuert werden bringt z.B. der Einsatz von asynchronen Zählern gegenüber dem Einsatz von synchronen Zählern Vorteile im Leistungsverbrauch.

4.3 Analogschaltungen

Bei Analogschaltungen hat man zwar auch manchmal Bibliothekselemente (Operationsverstärker, Komparatoren, Bandabstandsreferenzen etc.) für einen Entwurf zur Verfügung, meist werden aber die Analogschaltungen für eine bestimmte Funktion bzw. für bestimmte charakteristische Eigenschaften optimiert. Wegen der Vielzahl an möglichen Schaltungen ist es im Analogbereich eher sinnvoll, sich die Grundbausteine (analog building blocks) und deren Verhalten näher anzusehen. In Abbildung 4-57 sind diese Grundstrukturen für einen einfachen Operationsverstärker eingezeichnet. In den nachstehenden Unterkapiteln wird auf die Funktionalität und das Verhalten der folgenden Grundschaltungsblöcke näher eingegangen:

- Schalter
- Aktive Last
- Stromspiegel
- Stromquellen, Stromsenken
- Kaskodestufen
- Differenzverstärkerstufen

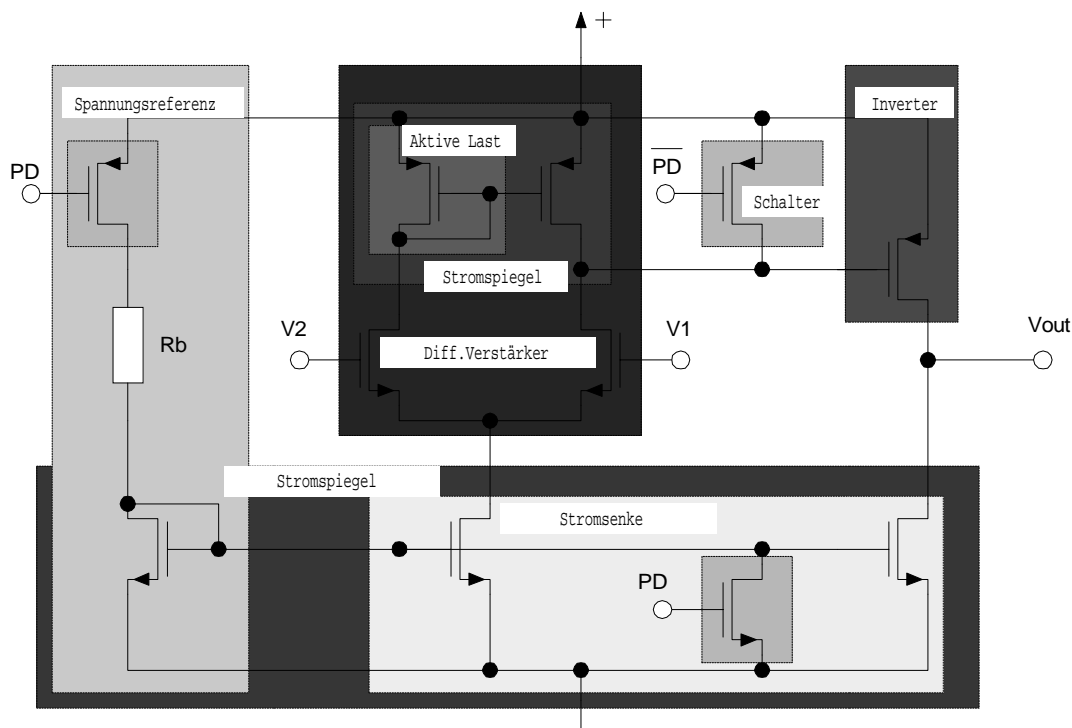


Abbildung 4-57: Operationsverstärker mit analogen Grundschaltungsblöcken

4.3.1 Schalter

Schalter (switch) sind wichtige Grundbausteine in der integrierten Schaltungstechnik. Abbildung 4-58 zeigt die Ersatzschaltung für einen idealen Schalter. Über einen Steueranschluss (C ... control) wird mit einer Steuerspannung (V_C) der Schalter geschlossen (niederohmige Verbindung von A und B) oder geöffnet (A und B sind voneinander isoliert).

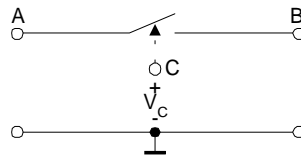


Abbildung 4-58: Idealer Schalter

Das Schaltelement kann auf mehrere Arten realisiert werden. In integrierten Schaltungen kommen BJTs und MOSTs als Schalter zum Einsatz. Die Charakterisierung erfolgt üblicherweise in Hinblick auf folgende Kenngrößen:

- Spannungsbereich, in dem die geschaltete Spannung liegen kann
- Linearität (ist das Verhalten abhängig von der Spannung, die geschaltet wird?)
- Maximale Schaltfrequenz (commutation rate)
- On-Widerstand R_{ON} im geschlossenen Zustand
- Off-Widerstand R_{OFF} im geöffneten Zustand
- Offsetspannung V_{OS} bei geschlossenem Schalter und ohne Stromfluss von A nach B
- Offsetstrom I_{OFF} bei $V_{AB} = 0$ V und geöffnetem Schalter
- Ansteuerleistung bzw. Größe der Ansteuerspannung
- Verkopplung zwischen Steuerkreis und geschaltetem Stromkreis (Takt-Durchgriff, clock feedthrough; Ladungsinjektion, charge injection)

Die Berücksichtigung eines Teils dieser Kenngrößen führt zu einem Ersatzschaltbild für einen realen Schalter gemäß nachstehender Abbildung. Die Widerstände R_A und R_B dienen dabei der Nachbildung der Leckströme zum Substrat.

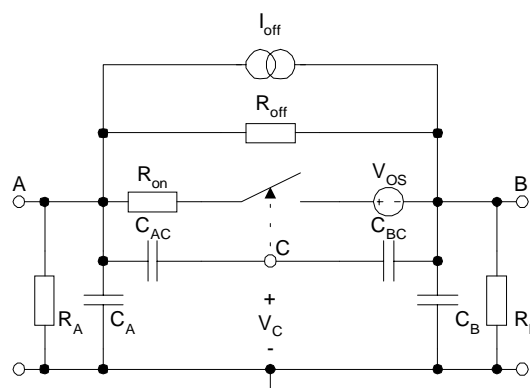


Abbildung 4-59: Realer Schalter

BJTs als Schalter weisen vor allem in Hinblick auf die Offset-Spannung V_{OS} und die Linearität ein wesentlich schlechteres Verhalten als MOSTs auf. Aus diesem Grund werden für die weiteren Betrachtungen nur mehr Schalter mit MOSTs verwendet, die auch mit Abstand am häufigsten eingesetzt werden.

Im Widerstandsbereich des MOSTs kann der On-Widerstand aus den Grundgleichungen leicht abgeleitet werden (Gleichung 4-30). Im Grenzfall ist die Spannung über dem Transistor V_{DS} gleich 0. Für diesen Fall ist in Abbildung 4-61 der Verlauf von R_{ON} bei einem NMOST in Abhängigkeit von der Transistorgeometrie und dem Verhältnis von V_{GS}/V_T angegeben.

$$I_{DS} = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad \text{Widerstandsbereich (linear)} \quad (4-30)$$

$$R_{on} = \frac{dV_{DS}}{dI_{DS}} = \frac{1}{\beta \cdot (V_{GS} - V_T - V_{DS})}$$

Aus obenstehender Gleichung sieht man, dass der On-Widerstand auch von der Spannung über dem Transistor V_{DS} bzw. V_{AB} bzw. auch $(V_{out} - V_{in})$ abhängt.

Der On-Widerstand des Schalters bildet mit nachfolgenden Kapazitäten einen Tiefpass. Es stellt sich die Frage, wie der Schalter dimensioniert werden muss, damit der Tiefpass nicht stört. Ausgehend von einer Ersatzschaltung wie in Abbildung 4-60, wo als maximale Kapazität 20 pF angegeben sind - ein praktikabler Maximalwert für eine Integration - kann der minimal notwendige On-Widerstand des Schalters für eine vorgegebene Grenzfrequenz nach Gleichung 4-31 errechnet werden. Wie das nachstehende Rechenbeispiel zeigt, genügen relativ schlechte Schalter, bzw. wie aus Abbildung 4-61 ersichtlich ist, Schalter mit Minimalabmessungen, um diese Bedingungen zu erfüllen.

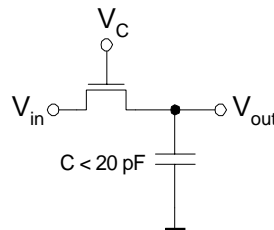


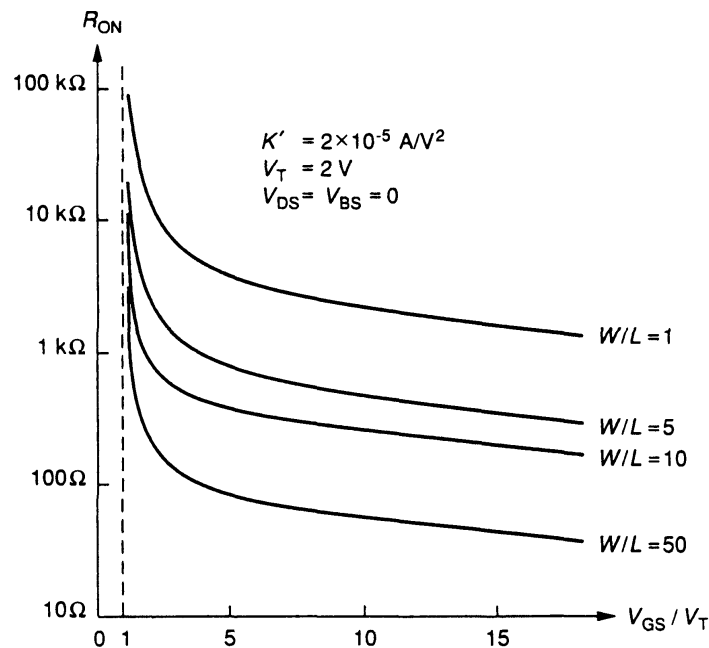
Abbildung 4-60: Grenzfrequenz einer Schalter-Kondensatoranordnung

$$f_g = \frac{1}{2 \cdot \pi \cdot R \cdot C} \quad (4-31)$$

$$R = \frac{1}{2 \cdot \pi \cdot C \cdot f_g}$$

z.B.: $f_g = 1 \text{ MHz}$; $C = 20 \text{ pF} \rightarrow R_{\min} = 8 \text{ k}\Omega$

Zu beachten ist in allen Fällen, wo ein NMOST als Schalter eingesetzt wird, dass er hochohmig wird, sobald die geschaltete Spannung in die Größenordnung von $V_{GS} - V_T$ kommt.

Abbildung 4-61: Verlauf des R_{ON} eines MOST-Schalters

In Hinblick auf die Offsetspannung V_{OS} und den Offsetstrom I_{OFF} zeigt der MOST als Schalter ausgezeichnete Eigenschaften. Sie sind gleich 0.

Der Off-Widerstand R_{OFF} liegt bei Schaltern dieses Typs in der Größenordnung von $10^{12} \Omega$, was einen sehr guten Wert darstellt. Leider gibt es aber die Leckströme von Drain und Source zum Substrat, die durch R_A und R_B nachgebildet werden. Sie liegen bei etwa $10^{10} \Omega$ und sind der eigentlich limitierende Faktor für den geöffneten Schalter.

Die maximal mögliche Schaltgeschwindigkeit (commutation rate) für einen gesamten Schaltzyklus - also Ein-Aus-Ein - liegt bei etwa 50 ns (entspricht 20 MHz Ansteuertakt).

Besonderes Augenmerk muss bei MOST-Schaltern auf die kapazitive Verkopplung zwischen dem Steuerkreis und dem geschalteten Stromkreis gelegt werden. Es kommt beim Ändern der Steuerspannung zu einer Störladungseinkopplung in den geschalteten Stromkreis. Vor allem die Abhängigkeit der Beeinflussung von der geschalteten Spannung ist unangenehm, weil es damit nicht leicht ist, diesen Einfluss zu kompensieren. Für die Überlegungen zu diesem Sachverhalt soll die Abbildung 4-62 zur Veranschaulichung dienen.

Wenn C_1 am Beginn ungeladen ist, dann kommt es beim Ansteigen der Steuerspannung am Anschluss T_1 zu einer kapazitiven Kopplung über C_{GS} solange, bis die Schwellspannung des Schalters erreicht ist. Durch die niederohmige Quelle V_{in1} wird die bisher eingekoppelte Störladung aus C_1 eliminiert. Beim Ausschaltvorgang ist zu beachten, dass die Störladung, die im Zeitraum t_3 bis t_4 eingekoppelt wird, ebenfalls eliminiert wird. Ab dem Zeitpunkt t_4 , beginnt der Schalter zu sperren. Es gibt von diesem Zeitpunkt an keine niederohmige Verbindung zum Kondensator C_1 , sodass die Störladung in C_1 aufgenommen wird und zu einer Spannungsänderung an C_1 gemäß Gleichung 4-32 führt.

Es gibt einige schaltungstechnische Möglichkeiten, den Einfluss dieser Störladung zu vermindern. Eine davon stellt der Einsatz von sogenannten Dummy-Schaltern (dargestellt in Abbildung 4-63) nach dem eigentlichen Schalter dar. Dieser Schalter ist elektrisch kurzgeschlossen, sodass nur die Koppelkapazität wirkt. Wird der Dummy-Schalter mit dem

inversen Taktsignal des eigentlichen Schalters leicht zeitversetzt angesteuert, kann man über die Geometrie dieses Transistors die Kompensationsstörladung einstellen.

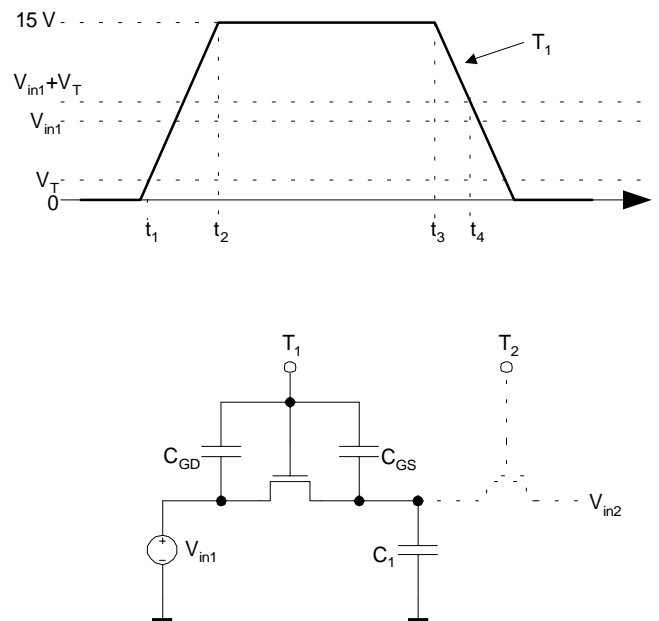


Abbildung 4-62: Störladung

$$\Delta V_{C1} = \frac{C_{GS}}{C_1 + C_{GS}} (V_{in1} + V_T) \quad (4-32)$$

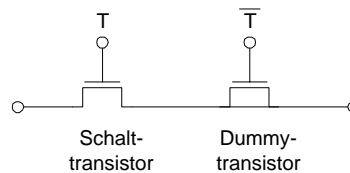
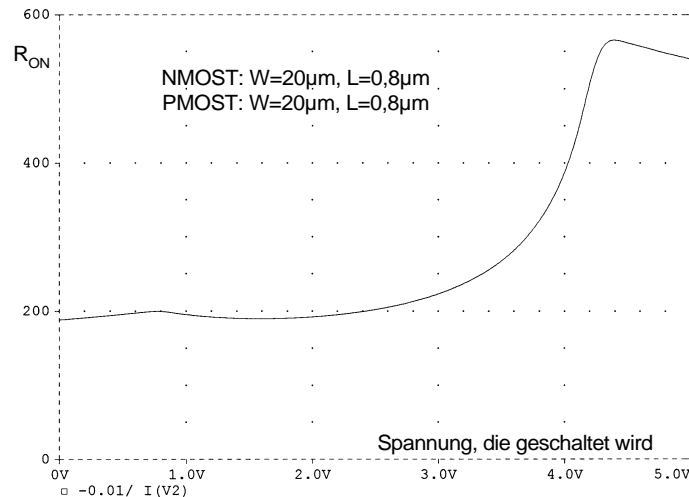
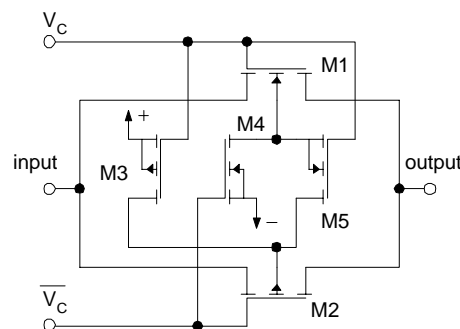


Abbildung 4-63: Kompensation der Störladung mit Dummy-Transistor

Die Realisierung von Schaltern mit einer Parallelschaltung von NMOST und PMOST (Transmissions-Gatter, Abbildung 4-31) eliminieren einige Schwachstellen von einfachen MOSTs. Es kann damit bis zu beiden Versorgungsspannungsgrenzen geschaltet werden, und es kommt wegen der komplementären Ansteuerung von NMOST und PMOST u.U. zu einer Kompensation der Störladung. Der Verlauf des R_{ON} über den gesamten Spannungsbereich ist aber auch bei dieser Schalteranordnung nicht gleichmäßig (Siehe Simulationsergebnis in Abbildung 4-64).

Abbildung 4-64: R_{ON} bei einem Transmissions-Gatter

Einen gleichmäßigeren Verlauf des On-Widerstandes über den Spannungsbereich kann man z.B. durch eine Schaltung, wie in nachstehender Abbildung ersichtlich, erreichen. Der Herstellungsprozess muss eine Verbindung der beiden Transistorsubstratanschlüsse von M1 und M2 über M5 erlauben.

Abbildung 4-65: Schalter mit gleichmäßigem R_{ON} durch Substratspannungssteuerung

4.3.2 Aktive Last

Aus Gründen des Platzbedarfes werden nicht immer Widerstände, wie sie in Kapitel 3.3 beschrieben wurden, auf einer integrierten Schaltung realisiert. Als sogenannte aktive Last (active load, active resistor) werden auch MOSTs und BJTs sowie Schaltungen mit geschalteten Kondensatoren (SC, switched capacitor) verwendet. Dabei ist wegen der meist nichtlinearen Kennlinie und einer Limitierung im Spannungsbereich eine Unterteilung in das Großsignalverhalten (Gleichspannungsarbeitspunkt; DC, direct current) des Lastelementes und in das Kleinsignalverhalten (AC, alternating current) um einen Gleichspannungsarbeitspunkt zu treffen (Abbildung 4-66). Bei kleinen Auslenkungen um einen Arbeitspunkt kann in den meisten Fällen eine Linearisierung vorgenommen werden, die die Berechnungen und Überlegungen vereinfachen. In vielen Fällen spricht man auch von einem differentiellen Widerstand.

Bevorzugt werden als aktive Lastelemente MOSTs und BJTs eingesetzt. In diesem Fall muss schaltungstechnisch aus einem Bauelement mit 3 bzw. 4 Anschlüssen ein Bauelement mit nur noch zwei Anschlüssen erstellt werden. Die verwendeten Schaltungen sind in Abbildung 4-67 für den MOST und in Abbildung 4-68 für den BJT gezeigt. In beiden Fällen ist natürlich der Einsatz der beiden komplementären Transistortypen auch möglich.

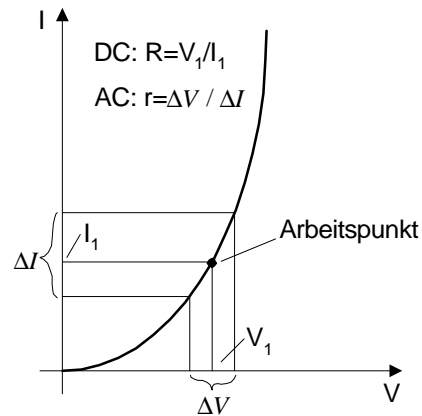


Abbildung 4-66: Arbeitspunkt und differentieller Widerstand

MOST:

Die Kenngrößen für das Groß- und das Kleinsignalverhalten sind in nachstehender Gleichung zusammengefasst. Zu beachten ist, dass ein MOST, dessen Gate mit dem Drain-Anschluss verbunden ist, wegen der Beziehung $V_{DS} = V_{GS} > V_{GS} - V_T$ immer im Sättigungszustand ist. Die Spannung an diesem Element kann innerhalb des Versorgungsspannungsbereiches liegen. Zu beachten ist aber, dass es bei Spannungen $V_{DS} < V_T$ keinen Stromfluss mehr gibt. Die tatsächlichen Größen für R und g hängen im wesentlichen nur von der Geometrie (Verhältnis von W/L im Faktor β) und den Prozesskenngrößen (κ , V_T) ab.

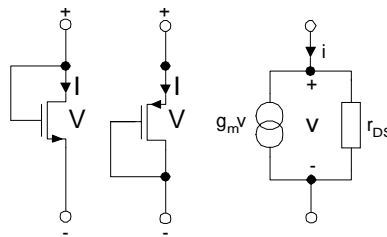


Abbildung 4-67: MOST als aktive Last

$$I = \frac{\beta}{2} (V - V_T)^2$$

$$V = V_T + \sqrt{\frac{2I}{\beta}}$$

$$g = \frac{1 + g_m r_{DS}}{r_{DS}} \approx g_m$$
(4-33)

	W/L	$R_{DC} [\Omega]$	$r_{AC} [\Omega]$
M1	2/0,8	9k2	5k5
M2	20/0,8	740	450
M3	20/10	7k9	3k4

Tabelle 4-4: MOSTs als aktive Last

In Tabelle 4-4 sind die Dimensionen von W und L jeweils μm angegeben. Der Arbeitspunkt für die Widerstandsangaben wurde auf $V_{\text{DS}} = 3,5 \text{ V}$ festgelegt. Das ΔV für die Bestimmung des differentiellen Widerstandes r_{AC} wurde um diesen Arbeitspunkt mit $\pm 0,5 \text{ V}$ angenommen.

BJT:

Die formelmäßigen Zusammenhänge für einen BJT als aktive Last sind in Gleichung 4-34 zusammengestellt. In diesem Fall befindet sich der BJT im aktiven Vorwärtsbetrieb. D.h. aber, dass die mögliche Spannung am Element betragsmäßig auf Werte von weniger als $\approx 0,7 \text{ V}$ beschränkt ist. Das genaue Verhalten kann über den Parameter I_s gesteuert werden, in dem ja die Emitterfläche als Kenngröße enthalten ist.

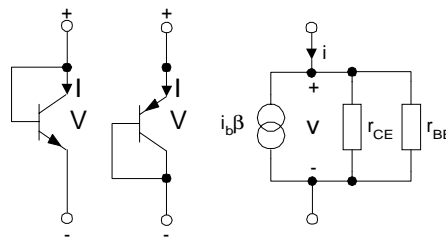


Abbildung 4-68: BJT als aktive Last

$$\begin{aligned}
 I &= I_s e^{\frac{V}{U_t}} \\
 V &= U_t \ln \left(\frac{I}{I_s} \right) \\
 g &\approx \frac{I}{U_t}
 \end{aligned}
 \tag{4-34}$$

Schalter-Kondensator-Methode:

Diese schaltungstechnische Realisierung beruht auf dem Prinzip des diskontinuierlichen Ladungstransports. Es gibt mehrere Varianten. Die einfachste ist in Abbildung 4-69 zusammen mit den für die Ansteuerung der Schalter notwendigen Taktsignalen dargestellt. Der resultierende Widerstand dieser Anordnung ist gemäß Gleichung 4-35 verkehrt proportional der Taktrate und der Kapazität.

Lasten mit geschalteten Kondensatoren haben mehrere Vorteile:

- Der Widerstand kann über eine Taktrate eingestellt werden
- Hohe Widerstandswerte sind mit geringem Flächenaufwand möglich
- RC-Produkte (z.B. für Filterschaltungen) können unabhängig von den Kapazitätstoleranzen eingestellt werden

Die Verringerung des Flächenbedarfs kann mit einem einfachen Beispiel deutlich gemacht werden. Die Realisierung eines $1 \text{ M}\Omega$ Widerstandes soll einmal in Poly-Silizium und einmal mit einer SC-Anordnung erfolgen.

Poly-Silizium: $R_s = 20 \Omega/\square$; $W = 2 \mu\text{m} \rightarrow L = 100000 \mu\text{m}$; Fläche mind. $200000 \mu\text{m}^2$.

SC: $C = 10 \text{ pF}$; $f_{\text{CLK}} = 100 \text{ kHz}$; Fläche der Kapazität ca. $5600 \mu\text{m}^2$ ($C_A = 1,8 \text{ fF}/\mu\text{m}^2$).

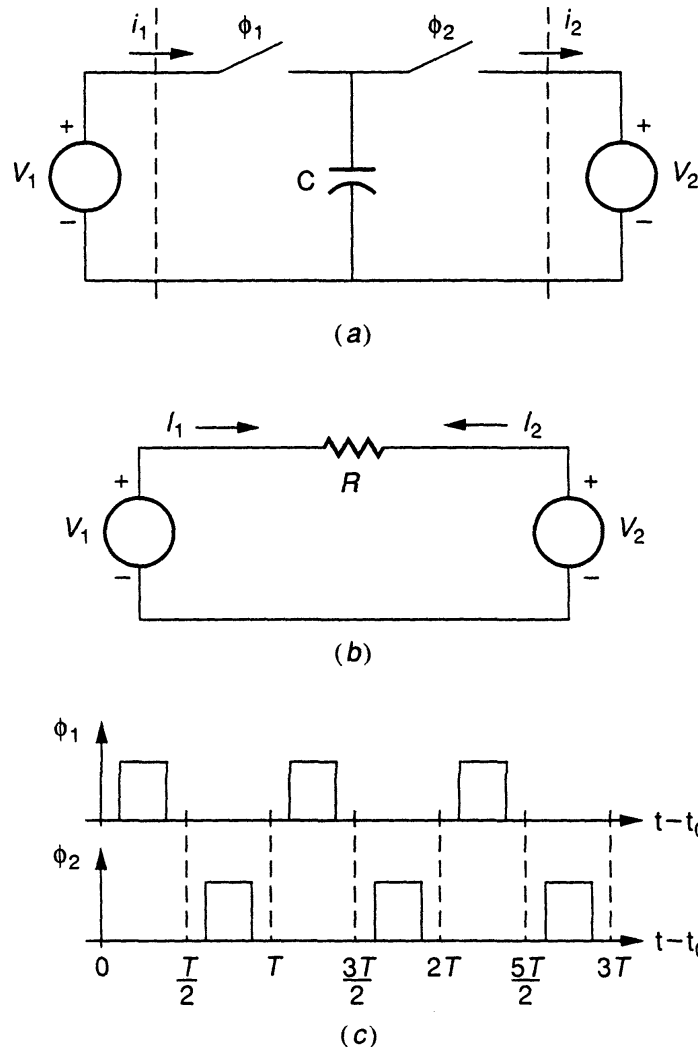


Abbildung 4-69: Widerstand nach der Schalter-Kondensator-Methode

$$R = \frac{T}{C} = \frac{1}{C \cdot f_{CLK}} \quad (4-35)$$

4.3.3 Stromsenken, Stromquellen

Stromsenken und Stromquellen haben als analoge Grundbausteine eine große Bedeutung. In Abbildung 4-70 ist der Unterschied zwischen Senke und Quelle dargestellt. Im Kern ist das Verhalten ident. Es wird ein Strom in einem Zweig eingeprägt, der unabhängig von der Größe der Belastung gleich ist. Das bedingt auch, dass der Strom gleich bleiben muss, auch wenn sich die Spannung über der Stromquelle bzw. -senke ändert.

Die Kenngrößen, die zur Charakterisierung dieser Grundbausteine verwendet werden, beziehen sich darauf, wie gut die Eigenschaften in Hinblick auf die Stromänderung bei Belastung (Ausgangswiderstand R_0 ; sollte möglichst unendlich hoch sein) und den möglichen Spannungsbereich (Minimal mögliche Spannung V_{min} ; sollte möglichst zu Null gehen) eingehalten werden. Die Verhältnisse sind in Abbildung 4-71 dargestellt.

Die schaltungstechnische Realisierung kann mit MOSTs und BJTs erfolgen. Dementsprechend ergeben sich unterschiedliche Kenngrößen. Sie werden in weiterer Folge möglichst immer parallel gezeigt, sodass die Ergebnisse leicht verglichen werden können.

Die Betrachtungen (Kenngrößen und Schaltungsvarianten) werden nur für Stromsenken durchgeführt. Sie können aber jederzeit auf die Stromquellen umgelegt werden, wenn die komplementäre Schaltungstopologie gewählt wird.

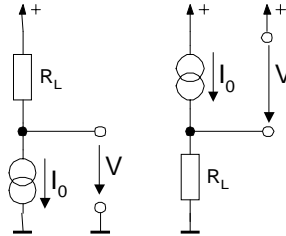


Abbildung 4-70: Stromsenke (links), Stromquelle (rechts)

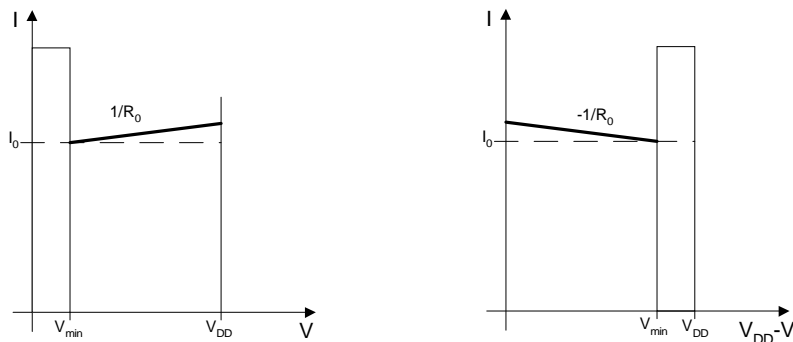


Abbildung 4-71: Kenngrößen von Stromsenken (links) und Stromquellen (rechts)

Die einfachste Form einer Stromsenke benötigt jeweils einen BJT bzw. einen MOST. Über eine konstante Steuerspannung (V_{BE} , V_{GS}) wird der Strom eingestellt. Der BJT muss im linearen Bereich betrieben werden. Demnach ist die minimal mögliche Spannung, bis zu der der BJT als Stromsenke arbeitet, durch die Sättigungsspannung V_{CE} festgelegt. Beim MOST liegt diese Grenze bei einer höheren Spannung. Sie ist außerdem von der Steuerspannung abhängig, da der Transistor in Sättigung sein muss, und dieser Zustand nur bei $V_{DS} > V_{GS} - V_T$ vorliegt.

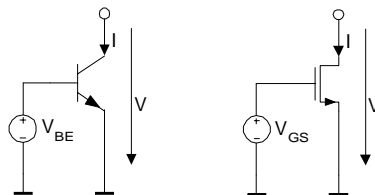


Abbildung 4-72: Einfache Stromsenke mit BJT und MOST

Der Ausgangswiderstand kann nach den Grundgleichungen 4-5 und 4-20 hergeleitet werden. Dort sind auch die relevanten Entwurfparameter ersichtlich, die die Größe dieses Ausgangswiderstandes bestimmen. Zusammenfassend kann für die einfachen Stromsenken folgendes gesagt werden:

$$V_{\min\text{BJT}} (\approx 0,2 \text{ V}) < V_{\min\text{MOST}} (\approx 1 \text{ V})$$

$$R_{0\text{BJT}} \approx R_{0\text{MOST}} \text{ (bis ca. } 1 \text{ M}\Omega\text{)}$$

Es gibt einige schaltungstechnische Maßnahmen, die zu einer Erhöhung des Ausgangswiderstandes führen. In allen Fällen kann dies aber nur durch eine gleichzeitige Erhöhung von V_{\min} erfolgen.

Drei Methoden zur Erhöhung von R_0 werden hier gezeigt:

- a) Gegenskapplung
- b) Mitkopplung ("Bootstrapping")
- c) Kaskodeschaltung

Ad a)

Die einfachste Form der Gegenskapplung erfolgt durch einen Emitter- bzw. Source-Widerstand. Die Wirkung lässt sich einfach überlegen: kommt es zu einer Stromerhöhung, so wird die Steuerspannung verkleinert. Dies bewirkt aber wieder eine Verkleinerung des Stromes. Der Nachteil eines Widerstandes ist, dass V_{\min} stark steigen kann (ein größerer Widerstand bewirkt eine stärkere Gegenskapplung) und vom Strom abhängt. Durch den Ersatz des Widerstandes durch eine Stromsenke (Abbildung 4-73; unten) mit ihrem hohen differentiellen Innenwiderstand kann dieses Manko eliminiert werden

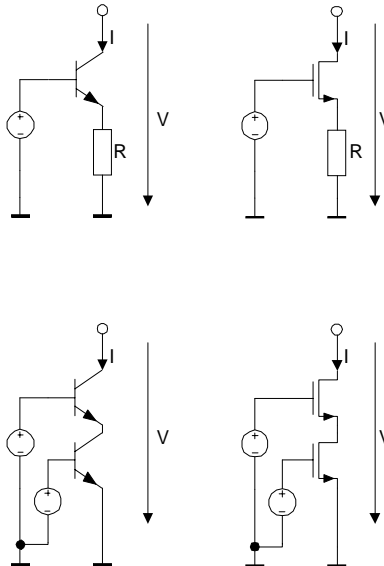


Abbildung 4-73: Stromsenken mit Gegenskapplung

Für eine Stromsenke mit BJTs und Emitterwiderstand ergeben sich nachstehend angeführte Zusammenhänge; r_0 ist dabei der Kleinsignal-Ausgangswiderstand des BJTs. V_{\min} wird für den Fall der Realisierung des Emitterwiderstandes als Ausgangswiderstand einer zweiten Stromsenke mit BJT auf ca. 0,4 V erhöht.

$$R_0 = \frac{\Delta V}{\Delta I} = r_0 [1 + (g_m + g_0)(r_{BE} // R)] \quad (4-36)$$

$$R_0 = r_0 (1 + \beta_F) \quad \text{für } R \gg r_{BE}$$

Für eine Stromsenke mit MOSTs und Sourcewidthstand gelten die nachstehend angeführten Zusammenhänge. V_{\min} wird für den Fall der Realisierung mit zwei MOSTs auf Werte von ca. 1,8 V erhöht. Zu beachten ist auch, dass der Substratsteuereffekt für den strombestimmenden Transistor für die Dimensionierung zu berücksichtigen ist.

$$R_0 = \frac{\Delta V}{\Delta I} \approx r_{DS} (1 + g_m R) \quad (4-37)$$

Zusammenfassend kann gesagt werden, dass es durch die schaltungstechnische Maßnahme der Gegenkopplung zu einer Erhöhung von R_0 (bis ca. 100 - 200 M Ω) und V_{\min} kommt.

Ad b)

Für die Überlegungen zur Mitkopplung kann man von einem Prinzipschaltbild wie in Abbildung 4-74 - links ausgehen. Die Spannungsänderung (v) über der Stromsenke wird mit einer Verstärkung kleiner als 1 gleichphasig eingekoppelt (Mitkopplung). Es ergibt sich dabei ein Ausgangswiderstand nach Gleichung 4-38 für den allgemeinen Fall (der Nenner wird - wegen A etwas kleiner als eins - sehr klein $\rightarrow R_{\text{out}}$ wird groß) und nach Gleichung 4-39 für die Schaltung mit BJTs.

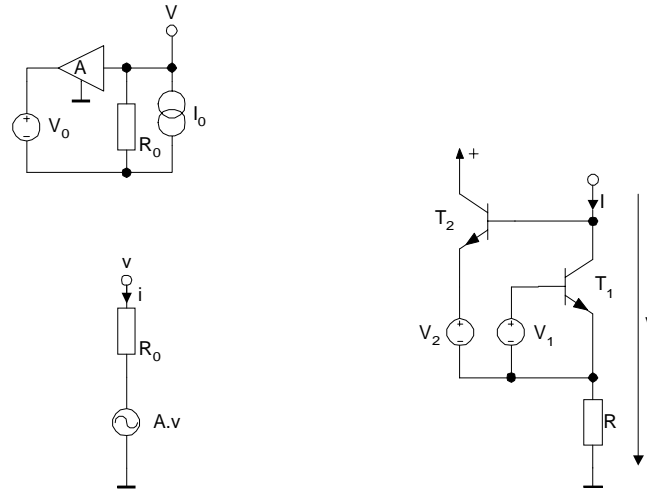


Abbildung 4-74: Stromsenke mit Mitkopplung ("Bootstrapping")

$$R_{\text{out}} = \frac{v}{i} = \frac{R_0}{1 - A} \quad (4-38)$$

Die Spannung V_2 kann zu Null werden. In diesem Fall ergibt sich eine minimale Spannung für den ordnungsgemäßen Betrieb der Stromsenke laut nachstehender Gleichung.

$$R_0 = \left(r_{BE2} // r_{01} + \frac{1}{g_{m2}} // R \right) (1 + g_{m2} R) \quad (4-39)$$

$$V_{\min} = V_{BE2} + I R$$

Die Realisierung mit MOSTs schaut ident aus (T1 und T2 werden durch NMOSTs ersetzt). Die daraus resultierenden Kenngrößen sind in Gleichung 4-40 zusammengefasst.

$$R_0 = \left(r_{DS1} + \frac{1}{g_{m2}} // R \right) (1 + g_{m2} R) \quad (4-40)$$

$$V_{\min} = V_{DS1}(\text{sat}) + I R$$

Ad c)

Die Schaltungstopologie für Stromsenken mit den besten Eigenschaften ist in Abbildung 4-75 zu sehen. Die Minimierung der Drain-Source-Spannungsänderung am Transistor M1 bewirkt eine signifikante Erhöhung des Ausgangswiderstandes. Die Drain-Source-Spannungsänderung wird invertiert und verstärkt (M2, M4) und über einen Folger (M3) zurückgekoppelt. D.h. jeder Erhöhung der Spannung am Drain-Anschluss von M1 wird entgegengewirkt und dadurch die Spannung konstant gehalten. Da der Transistor M3 auch im linearen Betriebszustand als

Folger wirken kann, ergibt sich die minimal mögliche Spannung an der Stromsenke gleich wie im Fall mit einem einfachen Stromsenkentransistor ($V_{\min} \approx 1 \text{ V}$ bei einer Realisierung mit MOSTs). Der Ausgangswiderstand kann bis $100 \text{ G}\Omega$ ansteigen. Er kann nach Gleichung 4-41 bestimmt werden.

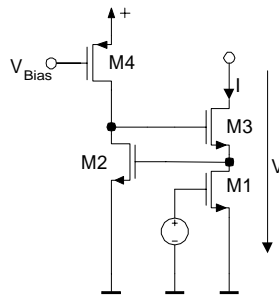


Abbildung 4-75: Geregelte Kaskode als Stromsenke

$$R_0 \approx r_{DS1} \left(\frac{g_{m2} g_{m3}}{g_{DS3} (g_{DS2} + g_4)} \right) \quad (4-41)$$

4.3.4 Stromspiegel

Stromspiegel dienen dazu, einen Strom in einem Schaltungszweig möglichst ident oder mit einem konstanten Verhältnis in einen anderen Schaltungszweig zu übertragen d.h. zu spiegeln. Im Bereich der Arbeitspunkt- bzw. Ruhestromeinstellung in analogen integrierten Schaltungen sind solche Strukturen dominant. Die Klassifizierung der nachstehend gezeigten Schaltungsvarianten erfolgt dabei nach der Genauigkeit (wie genau entspricht I_{out} dem Strom I_{in} ?), nach dem Ausgangswiderstand R_0 (analoge Überlegungen wie bei den Stromsenken) und V_{\min} (ebenfalls analog zu den Stromsenken).

Das Schaltungsprinzip beruht auf der Tatsache, dass sich bei gleicher Steuerspannung an zwei identen Transistoren in erster Näherung in beiden der gleiche Strom einstellt. Wegen der Kanallängenmodulation bzw. dem nicht unendlich hohen Ausgangswiderstand wird es in der Praxis zu einem leicht unterschiedlichen Strom in Abhängigkeit von der Spannung an den beiden Eingängen kommen. Bei den Schaltungen mit BJTs ist darüber hinaus auch der Basisstrom eine Ursache für eine Abweichung vom idealen Verhalten.

Eine Skalierung des Stromes beim Spiegeln von einem Zweig in den nächsten ist durch die Einstellung über ein Verhältnis der Transistorgeometrie möglich. Die besten Ergebnisse in Hinblick auf die Übereinstimmung erreicht man, wenn man mehrere gleiche "Einheitstransistoren" im gewünschten Verhältnis parallel schaltet.

Weil die Stromspiegelung über den Weg einer Steuerspannung erfolgt, ist eine gleichzeitige Spiegelung in mehrere Strompfade möglich.

Für die hier gezeigten Schaltungsvarianten wird die Genauigkeitsangabe nur qualitativ durchgeführt.

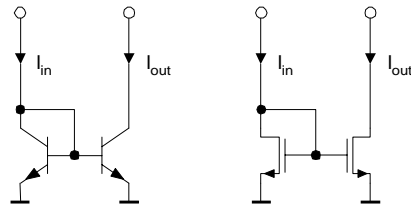


Abbildung 4-76: Einfacher Stromspiegel mit BJT und MOST

Für den einfachen Stromspiegel nach Abbildung 4-76 ergeben sich die relevanten Kenngrößen entsprechend nachstehender Tabelle.

Kriterium	BJT-Variante	MOST-Variante
Genauigkeit	schlecht	schlecht
Ausgangswiderstand	V_A/I_{out}	$(\lambda I_{out})^{-1}$
Minimale Spannung	$V_{CE(sat)}$	$V_{DS(sat)}$

Tabelle 4-5: Kenngrößen für einfache Stromspiegel

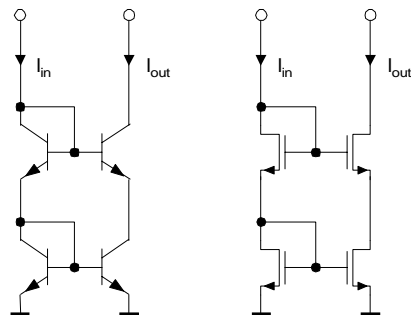


Abbildung 4-77: Kaskadierte Stromspiegel

Für den kaskadierten Stromspiegel nach Abbildung 4-77 ergeben sich die relevanten Kenngrößen entsprechend nachstehender Tabelle.

Kriterium	BJT-Variante	MOST-Variante
Genauigkeit	gut	ausgezeichnet
Ausgangswiderstand	$r_0 \beta_F$	$g_m r_0^2$
Minimale Spannung	$V_{BE} + V_{CE(sat)}$	$2 V_{DS(sat)}$

Tabelle 4-6: Kenngrößen für kaskadierte Stromspiegel

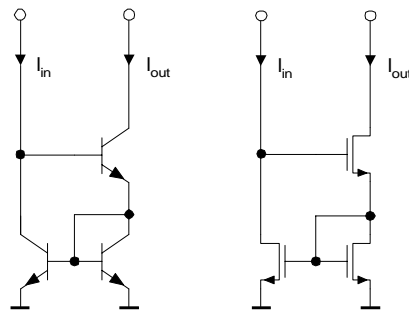


Abbildung 4-78: Wilson Stromspiegel

Für den Wilson-Stromspiegel nach Abbildung 4-78 ergeben sich die relevanten Kenngrößen entsprechend nachstehender Tabelle.

Kriterium	BJT-Variante	MOST-Variante
Genauigkeit	gut	gut
Ausgangswiderstand	$r_0 \beta_F 0,5$	$g_m r_0^2 0,5$
Minimale Spannung	$V_{BE} + V_{CE(sat)}$	$V_{GS} + V_{DS(sat)}$

Tabelle 4-7: Kenngrößen für Wilson Stromspiegel

Ausgezeichnete Eigenschaften - vor allem in Hinblick auf den Ausgangswiderstand - bietet die Schaltung eines Stromspiegels (Abbildung 4-79) mit einer geregelten Kaskode (vgl. Abbildung 4-75).

Der Transistor M7 ist eine aktive Last. Bei einem bestimmten Strom I_{in} stellt sich demnach eine Spannung $V_{DS} = V_{GS}$ ein, die als Steuerspannung für die Transistoren M6 und M1 verwendet wird. Nach dem Größenverhältnis von M6 bzw. M1 zu M7 stellen sich die Ströme in diesen Zweigen entsprechend ein. Über den Stromspiegel M5 - M4 wird der Ruhestrom im invertierenden Verstärker (M2, M4) eingestellt.

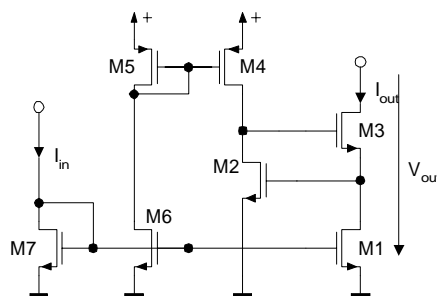


Abbildung 4-79: Stromspiegel mit geregelter Kaskode

Kriterium	MOST-Variante
Genauigkeit	Gut
Ausgangswiderstand	$g_m^2 r_0^3$
Minimale Spannung	$V_{DS(sat)}$

Tabelle 4-8: Kenngrößen für Stromspiegel mit geregelter Kaskode

4.3.5 Differenzverstärker

Differenzverstärker bilden einen der wichtigsten Grundbausteine in der analogen integrierten Schaltungstechnik. Abbildung 4-80 zeigt die Grundstruktur. Idealerweise wird die Differenz der beiden Eingangsspannungen ($V_D = V_1 - V_2$) verstärkt ($V_{out1} - V_{out2} = -A V_D$) unabhängig von der an den beiden Eingängen anliegenden Gleichspannung. Die Verstärkung ist umso höher, je größer der Lastwiderstand in den beiden Strompfaden ist. Aus diesem Grund gibt es mehrere praktische Realisierungen entsprechend den möglichen aktiven Lastelementen. Die am weitesten verbreitete Variante ist ein Stromspiegel aus PMOSTs als Belastungselement (Darstellung rechts unten in Abbildung 4-80).

Zur genaueren Erläuterung der Funktionsweise und der wesentlichen Kenngrößen sei auf die Grundlagenliteratur [10] verwiesen.

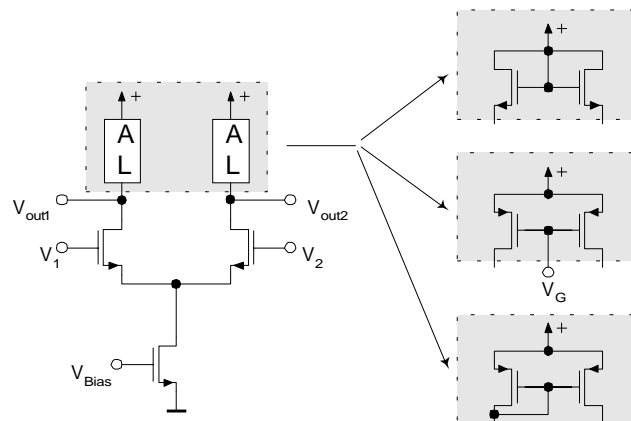


Abbildung 4-80: Differenzverstärker

Grundlegend erfolgt eine Unterscheidung nach den zwei Arten der Ansteuerung:

- Gleichtakteingangsspannung (common mode)
- Differenzeingangsspannung (differential mode)

Auch in Hinblick auf das Ausgangssignal erfolgt eine Unterscheidung:

- Gleichtaktausgangssignal an einem der beiden Ausgänge (differential to single ended conversion)
- Differenzausgangsspannung (fully differential)

Die Aufzählung der Kenngrößen erfolgt nur qualitativ. Für genauere Betrachtungen kann auf das Transistorersatzschaltbild und die Grundgleichungen zurückgegriffen werden. Da auch hier wieder schon behandelte Grundschaltungselemente verwendet werden, kann auf deren Verhaltensbeschreibung und Kenngrößen verwiesen werden:

- **Gleichtaktverstärkung:** A_{GL} ; Verstärkung einer Gleichtakteingangsspannung zur Gleichtaktausgangsspannung
- **Differenzverstärkung:** A_D ; Verstärkung einer Differenzeingangsspannung zur Differenzausgangsspannung
- **Gleichtaktunterdrückung:** CMR, CMRR (common mode reduction, common mode reduction ratio); Verhältnis von A_D zu A_{GL}
- **Eingangsgleichtaktbereich:** Bereich der Eingangsgleichtaktspannung, innerhalb der der Differenzverstärker korrekt funktioniert.
- **Eingangsoffsetspannung:** V_{OS} ; Spannung, die am Eingang angelegt werden muss, sodass die Ausgangsspannung am Bezugspotenzial liegt.

- **Eingangsbiasstrom:** Strom in oder aus den beiden Eingängen, der für eine korrekte Funktion notwendig ist. Er ist vom Typ der Eingangstransistoren abhängig.
- **Eingangsoffsetstrom:** Differenz der Eingangsbiasströme

4.3.6 Ausgangstreiber

In den meisten Fällen liegt am Ausgang einer integrierten Analogschaltung eine Last, die man sich als Lastwiderstand R_L parallel zu einer Lastkapazität C_L denken kann. Durch eine derartige Last kann das Verhalten und die Leistungsfähigkeit der integrierten Schaltung negativ beeinflusst werden. Daher wird zur Vermeidung der negativen Einflüsse als Verbindung zwischen der internen Schaltung und der externen Last ein Ausgangstreiber (Pufferstufe) bzw. ein Ausgangsverstärker eingesetzt.

Die Anforderungen an solche Ausgangstreiber beziehen sich sowohl auf den statischen als auch auf den dynamischen Betrieb. Für den statischen Betriebszustand soll der Ausgangstreiber auch bei starker Belastung (R_L klein) über den gesamten Versorgungsspannungsbereich korrekt funktionieren. Das bedeutet, dass der Treiber einen geringen Ausgangswiderstand aufweisen muss. Gleichzeitig soll aber die Verlustleistung im Treiber möglichst klein bleiben. Für den dynamischen Betrieb ist ausschlaggebend, wie schnell (Slew Rate, maximale Spannungsänderung pro Zeiteinheit) eine Lastkapazität (C_L groß) umgeladen werden kann. Dabei ist ein niedriger Ausgangswiderstand nicht unbedingt notwendig. Vielmehr ist der maximal mögliche Ausgangsstrom die charakteristische Größe.

Grundsätzlich werden zwei Ausgangstreiberarchitekturen eingesetzt. Zum einen solche, die ohne Rückkopplung arbeiten und zum anderen Schaltungen mit Rückkopplung. Es gibt eine Vielzahl von Schaltungsrealisierungen mit entsprechenden Vor- und Nachteilen. Für eine detailliertere Betrachtung dieses Aspektes der analogen integrierten Schaltungstechnik sei auf [7], [12], [13] verwiesen.

4.3.7 I/O Peripheriezellen

Eingangs- und Ausgangszellen für analoge integrierte Schaltungen sollten möglichst niederohmig ausgeführt werden, damit das Schaltungsverhalten nicht beeinflusst wird. Dies ist vor allem bei Eingängen, die auf hochohmige MOST Gate-Anschlüsse führen, nicht möglich, da damit die Gefahr einer Zerstörung zu groß wird. In diesem Fall erfolgt der Schutz ähnlich wie bei den digitalen CMOS-Eingängen. Abbildung 4-81 zeigt die prinzipielle Realisierung. Die Größe des Widerstandes R kann in einem Bereich zwischen $0\ \Omega$ und $500\ \Omega$ variieren. Der Leckstrom der Schutzdioden kann stören, wenn man einen hochohmigen Eingang braucht.

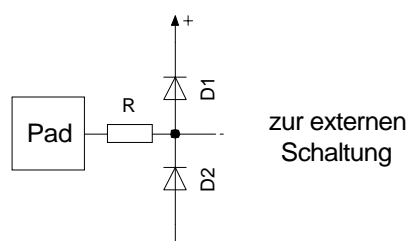


Abbildung 4-81: Analoge I/O Padzelle

Da die Ausgangszellen meist als Ausgangstreiber realisiert werden, kann der Widerstand bei Ausgangszellen auch entfallen.

4.3.8 Spannungsreferenzen

Spannungsreferenzen mit hoher absoluter Genauigkeit und einem geringen Temperaturkoeffizienten werden vorwiegend über den Weg der Bandabstandsreferenzen (Band-Gap-Reference) hergestellt, weil diese Methode im Grundmaterial Silizium "eingebaut" ist. Die Basis-Emitterspannung eines BJTs in Siliziumtechnologie sinkt ausgehend von der Bandgap-Spannung (ca. 1,2 V bei 0 °K) in Abhängigkeit von einigen Konstanten (k ... Boltzmannkonstante; q ... Elementarladung; T ... Absolute Temperatur; $const.$... technologieabhängige Konstante) und der Kollektorstromdichte (J_C) (Gleichung 4-42).

$$V_{BE} \cong V_{G0} - \frac{kT}{q} \ln \frac{const.}{J_C} \quad (4-42)$$

Durch schaltungstechnische Maßnahmen wird zu einer Basis-Emitter-Spannung eine Spannung dazugaddiert, die proportional zur absoluten Temperatur ist (PTAT ... proportional to absolute temperature). Diese gesuchte Spannung ergibt nach entsprechender Skalierung und Addition eine nahezu temperaturunabhängige Gesamtspannung in der Größenordnung der Bandgap-Spannung. Die Generierung der Spannung erfolgt über BJTs oder über MOSTs in schwacher Inversion [14, 15, 16, 17].

Viele Halbleiterhersteller bieten Bandabstandsreferenzen als fertige Funktionsblöcke (Symbol, Simulationsmodell, Layout) an, sodass der Einsatz ohne eigene Entwurfsarbeit möglich ist.

4.3.9 Oszillatoren

Oszillatoren sind Systeme, die periodische Signale generieren. Sie bilden eine wichtige Gruppe von analogen Schaltungen, die für viele Anwendungen eingesetzt werden. Dominant sind dabei die Taktgeberschaltungen für Digitalschaltungen. Bei ihnen steht eine möglichst konstante Frequenz im Vordergrund. Die Realisierung erfolgt vorwiegend durch Ansteuerung der Oszillatorschaltung mit einem Quarzresonator. Die Amplitude der Ausgangsgröße ist dabei konstant und rechteckförmig.

Eine weitere wichtige Anwendung sind gesteuerte Oszillatoren, wobei die Ausgangsfrequenz durch einen Strom oder eine Spannung in einem bestimmten Bereich eingestellt werden kann. Weiters bieten diese Oszillatoren eine Unterscheidung in Hinblick auf die Ausgangssignalfrequenz und -amplitude (Sinus, Rechteck, Dreieck). Die Realisierung erfolgt hier durch Harmonische Oszillatoren, Relaxationsoszillatoren oder Ringoszillatoren.

Die relevanten Kenngrößen sind: Einstellbereich, Phasenjitter, absolute Genauigkeit.

4.3.10 Rauschen in integrierten Schaltungen

Als Rauschen bezeichnet man unregelmäßig statistisch auftretende Ströme, die sich über ein großes Frequenzgebiet erstrecken. Rauschen kann als Störsignal aufgefasst werden, das sich dem Nutzsignal überlagert und sich daher bei kleinen Nutzsignalen unangenehm bemerkbar macht (besonders kritisch in Eingangsstufen von Verstärkern).

Das Rauschen beruht auf der Tatsache, dass die elektrische Ladung nicht kontinuierlich sondern in diskreten Stufen (Elementarladung bzw. deren Vielfache) vorhanden ist. Es gibt mehrere Ursachen für Rauschen, die nachfolgend näher erläutert werden. Nicht alle diese Rauschkomponenten haben bei der Betrachtung der Bauelementeigenschaften tatsächlich eine

Bedeutung. Für MOSTs und BJTs wird eine Modellierung der relevanten Rauschanteile durchgeführt.

4.3.10.1 Thermisches Rauschen

Die thermische Bewegung von Elektronen in einem Leiter ist unabhängig vom eingepprägten Strom. Jeder Leiter oder Widerstand produziert nach Gleichung 4-43 eine Rauschspannung oder einen Rauschstrom, der proportional zur Boltzmannkonstante und proportional zur absoluten Temperatur ist.

$$\begin{aligned}\overline{v^2} &= 4kTR\Delta f \\ \overline{i^2} &= 4kT \frac{1}{R} \Delta f\end{aligned}\tag{4-43}$$

k	...	Boltzmannkonstante ($1,38 \cdot 10^{-23}$)	[J/K]
T	...	Absoluttemperatur	[K]
Δf	...	Bandbreite	[1/s]

Das Spektrum des thermischen Rauschens ist gleichverteilt, was bedeutet, dass in jeder konstanten Bandbreite die Rauschleistung gleich hoch ist. Diesem Vorgang sind jedoch physikalische Grenzen gesetzt, da die Rauschleistung nicht unendlich werden kann. Bei einer Gleichverteilung des Leistungsspektrums spricht man von einem weißen Rauschen.

4.3.10.2 Schrot-Rauschen

Das Schrot-Rauschen ist mit einem Ladungsträgerstrom verbunden, der ja physikalisch betrachtet in Elementarladungen unterteilt ist. Diese Form des Rauschens tritt hauptsächlich in Dioden und BJTs auf, wo es wegen verschiedener Ladungsträgerkonzentrationen zu statistischen Fluktuationen des Stromflusses kommt. Die Bewertung dieser Rauschkomponente erfolgt über den quadratischen Mittelwert $\overline{i^2}$ des Rauschstromes gemäß Gleichung 4-44. I_D ist darin der zeitliche Mittelwert des Gleichstromes. I entspricht dem Momentanwert des Stromes. Δf stellt die für die Messung verwendete Bandbreite dar.

$$\begin{aligned}\overline{i^2} &= \overline{(I - I_D)^2} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T (I - I_D)^2 dt \\ \overline{i^2} &= 2qI_D\Delta f\end{aligned}\tag{4-44}$$

q	...	Elementarladung ($1,6 \cdot 10^{-19}$)	[C]
-----	-----	--	-----

Die Spektralverteilung des Schrot-Rauschens ist konstant (weißes Rauschen).

4.3.10.3 1/f-Rauschen

Das Entstehen dieser Rauschkomponente ist auf Kristalldefekte in Leitern oder Halbleitern zurückzuführen. 1/f-Rauschen tritt immer im Zusammenhang mit einem Stromfluss auf. Die Größe des Rauschstromes kann nach Gleichung 4-45 bestimmt werden.

$$\overline{i^2} = K_1 \frac{I^a}{f^b} \Delta f$$

a	...	Konstante (0,5 bis 2)	(4-45)
b	...	Konstante (ca.1)	
K_1	...	bauelementetypische Konstante	

Bewertet wird die Rauschleistung in einem schmalen Band Δf um die Frequenz f . Die Leistung der Quelle nimmt bei zunehmender Frequenz mit 10 dB pro Dekade ab. Die Auswirkungen dieser Rauschkomponente sind daher nur im unteren Frequenzbereich interessant. Die Grenzfrequenz, bei der der Anteil des 1/f-Rauschens unter den Grundrauschanteil fällt, liegt bei Werten zwischen einigen kHz und etwa einem MHz.

4.3.10.4 Popcorn Rauschen

Dieser Rauschanteil hat eine charakteristische Verhaltensweise, die sich als in unregelmäßigen Abständen wiederkehrende Spikes beschreiben lässt. Das Leistungsspektrum ist proportional $1/f^2$. Der Rauschstrom ist in Gleichung 4-46 formelmäßig beschrieben.

$$\overline{i^2} = K_2 \frac{I^c}{1 + \left(\frac{f}{f_c} \right)^2} \Delta f \quad (4-46)$$

c	...	Konstante (0,5 bis 2)
K_2	...	bauelementetypische Konstante

Das Auftreten von Popcorn Rauschen rührt von einem speziellen Rekombinationsvorgang her, der üblicherweise auf schlechte Prozessqualitäten bei der Halbleiterproduktion hinweist.

4.3.10.5 Rauschen bei MOSTs

Bei MOSTs treten im Kanal das thermische Rauschen und das 1/f-Rauschen auf. Es wird modelliert durch eine Rauschstromquelle $\overline{i_D^2}$, deren Lage im Ersatzschaltbild in Abbildung 4-82 ersichtlich ist, und deren Größe nach Gleichung 4-47 bestimmt wird. Der Schot-Rauschanteil am Gate des MOSTs $\overline{i_G^2}$ kann wegen der Kleinheit des Gate-Leckstroms meist vernachlässigt werden.

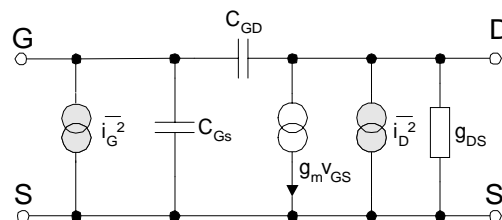


Abbildung 4-82: MOST-Kleinsignalersatzschaltbild mit Rauschquellen

$$\overline{i_g^2} = 2qI_G \Delta f$$

$$\overline{i_d^2} = \underbrace{4kT \left(\frac{2}{3} g_m \right) \Delta f}_{\text{Thermisches Rauschen}} + \underbrace{K \frac{I_D^a}{f} \Delta f}_{1/f \text{ Rauschen}}$$

(4-47)

a ... Konstante (0,5 bis 2)
 K ... bauelementetypische Konstante

4.3.10.6 Rauschen in BJTs

Beim BJT werden mehrere Rauschquellen modelliert. Die Lage der Quellen im Ersatzschaltbild ist in Abbildung 4-83 zu sehen. Die Größe bzw. die relevanten Rauschanteile ergeben sich gemäß Gleichung 4-48.

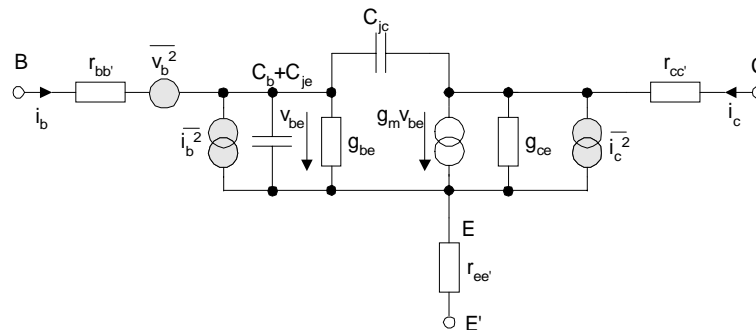


Abbildung 4-83: BJT-Kleinsignalersatzschaltbild mit Rauschquellen

Die Ersatzrauschquellen sind voneinander unabhängig.

$$\overline{v_b^2} = 4kTr_b \Delta f$$

$$\overline{i_c^2} = 2qI_c \Delta f$$

$$\overline{i_b^2} = \underbrace{2qI_B \Delta f}_{\text{Schrot Rauschen}} + \underbrace{K_1 \frac{I_B^a}{f} \Delta f}_{1/f \text{ Rauschen}} + \underbrace{K_2 \frac{I_B^c}{1 + \left(\frac{f}{f_c} \right)^2} \Delta f}_{\text{Popcorn Rauschen}}$$

(4-48)

4.4 Spezialzellen für integrierte Schaltungen

4.4.1 ZAP-Zellen

Zum Abgleich von Bauteilparametern nach der Fertigung können mehrere Verfahren eingesetzt werden. Eine sehr beliebte Methode ist der Einsatz von sogenannten ZAP-Zellen, die durch ein elektrisches Signal einmal "programmiert" werden können. Am Ausgang dieser Zelle liegt ein digitales Signal an, das z.B. zur Ansteuerung von gewichteten Stromsenken dienen kann.

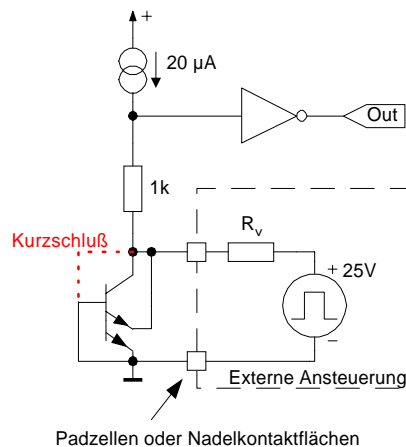


Abbildung 4-84: Aufbau einer Zener-ZAP Zelle

Die obige Abbildung zeigt schematisch den Aufbau einer ZAP-Struktur, die folgendermaßen funktioniert: Das Kernstück der Zelle bildet ein Multiemitter npn-BJT, bei welchem es möglich ist, eine im Normalfall gesperrte Basis-Emitterstrecke durch einen Spannungsimpuls in der Größe von 25 V, der von außen oder über Nadeln zugeführt wird, kurzzuschließen. Mit dem Durchbruch der gesperrten Diode öffnet sich auch der laterale parasitäre npn-BJT (oberer Emitteranschluss in Abbildung 4-84). Dies verstärkt den Effekt zusätzlich. Damit sollte ein dauerhafter Kurzschluss zwischen Basis und Emitter bzw. Kollektor nach Masse vorhanden sein. Dadurch stellt sich am Eingang des Inverters ein LOW-Pegel ein, der für diesen Fall einen dauerhaften HIGH-Pegel am Ausgang der Zelle bewirkt. Im nicht "gezappten" Fall liegen die Signalpegel genau umgekehrt.

4.4.2 Teststrukturen

Für die Fertigungscharakterisierung und die Ermittlung der sogenannten "Map-Daten" (Daten, die explizit jeden Fertigungsdurchlauf in Hinblick auf die Prozessdaten kennzeichnen), werden auf integrierten Schaltungen meist einfache Strukturen verwendet, wie sie z.B. in Abbildung 4-85 zu sehen sind. Messpads erlauben die Kontaktierung der Transistoranschlüsse (hier NMOST und PMOST). Über diese einfache Anordnung können viele Fertigungsparameter gemessen werden (Threshold-Spannung, Prozessverstärkungsfaktor etc.)

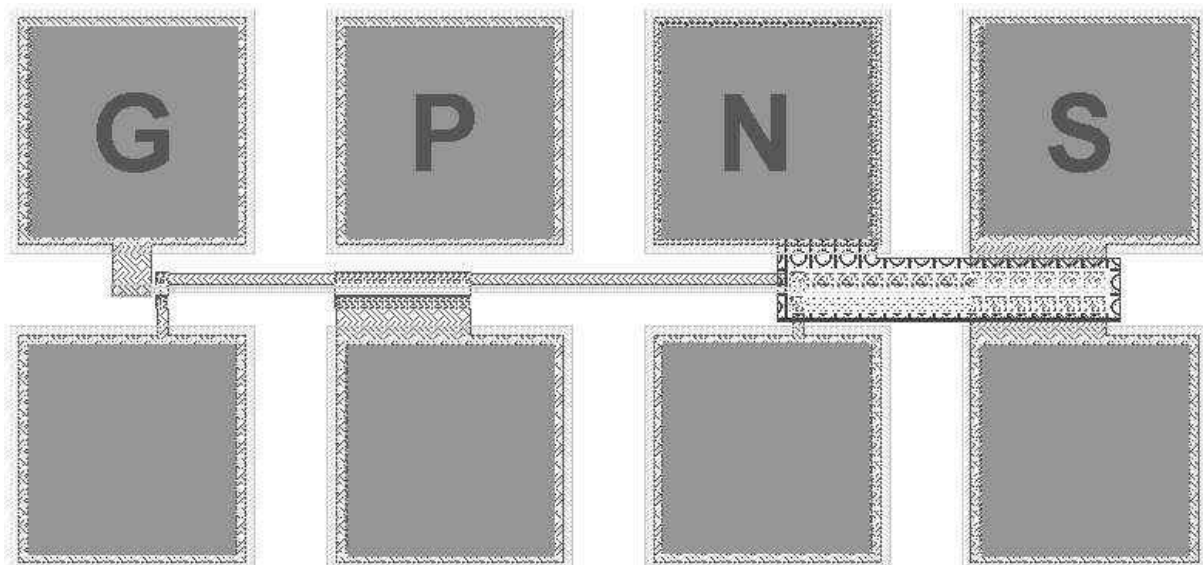


Abbildung 4-85: Teststruktur mit N- und PMOST und Testpads zum Kontaktieren

4.4.3 Fertigungsunterstützung und -charakterisierung

Die Ausrichtung der Wafer bzw. der einzelnen Chips am Wafer von einem Fertigungsschritt zum nächsten erfolgt über eine optisch gesteuerte Feinpositionierung. Dazu sind in den Ecken des Bausteins Justiermarken notwendig, wie sie in nachstehender Abbildung zu sehen sind.



Abbildung 4-86: Justiermarken

Eine weitere Struktur, die der Fertigungscharakterisierung dient, ist in Abbildung 4-87 zu sehen. Dabei entsprechen die Nummern der Layer-Nummerierung. Mit Hilfe der darunterliegenden Struktur kann auf die Qualität der Belichtung und der Ätzung geschlossen werden.

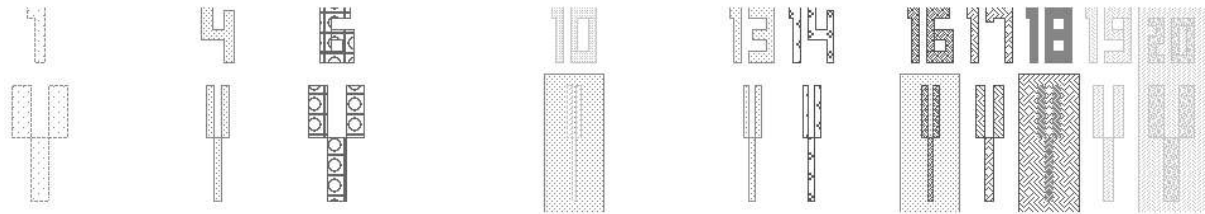


Abbildung 4-87: Teststrukturen zur Bestimmung der Qualität von Lithographie und Ätzvorgang

4.4.4 Scribe-Border

Die äußere Umrandung einer integrierten Schaltung bildet eine sogenannte Scribe-Border. Dabei handelt es sich um eine Struktur, die alle möglichen Schichten umfasst und die zur Erhöhung der mechanischen Festigkeit und zur Gewährleistung der exakten Schnittführung beim Zersägen des Wafers dient.

5 Der ASIC-Entwurfsablauf

Unter einem ASIC versteht man eine anwendungsspezifische integrierte Schaltung (Application Specific Integrated Circuit). Es gibt eine breite Palette von möglichen Realisierungen (programmierbare Logikbausteine ... vollkundenspezifische Schaltungen), auf die in den nachfolgenden Kapiteln näher eingegangen wird. Den Schwerpunkt in diesem Skriptum bildet der Entwurfsablauf für die Erstellung gemischt analog-digitaler integrierter Schaltungen. Der Entwurfsablauf für programmierbare Logikschaltungen deckt sich weitgehend mit dem Entwurf digitaler Schaltungen. Lediglich die Umsetzung in die Hardware erfolgt auf einem anderen Weg (= Programmierung). Daher wird nicht explizit auf den Entwurf dieser ASIC-Varianten eingegangen. Generell muss man sich beim ASIC-Entwurf von der Schaltungseingabe bis zur Fertigstellung ausschließlich CAD-Werkzeuge bedienen, da erst ein fertiger Entwurf tatsächlich realisiert werden kann und keine "Zwischenevaluierungen" erfolgen können. Die Realisierung ist meist zeit- und kostenintensiv, was um so mehr einen sorgfältigen Entwurf erfordert.

5.1 Überlegungen im Vorfeld

Die Realisierung eines ASICs erfordert einige Überlegung am Beginn der Arbeiten, die nachfolgend kurz umrissen werden. Die genaue Spezifikation, was als ASIC realisiert werden soll, ist der Grundstein für alle diese Überlegungen.

5.1.1 Infrastruktur

Vorrangig gilt es zu überlegen, welche Infrastruktur für den Entwurf vorhanden ist, welche benötigt wird und wie es mit den Kosten dafür aussieht. Die kostengünstige Verfügbarkeit von CAD-Werkzeugen und Rechnerplattformen sowie die Mitarbeitererfahrung im Benützen dieser Werkzeuge sind bis zum Entwurf von programmierbaren Logikbausteinen meist kein Problem. Darüberhinausgehend steigen die Kosten für die Werkzeuge stark an. Weiters ist es zeitaufwendig, Mitarbeitererfahrung aufzubauen und bereitzuhalten und als weiteres Kriterium kommt noch hinzu, dass für die Fertigung auf - relativ wenige - externe Fertigungsstätten (Silicon Foundary) zurückgegriffen werden muss.

5.1.2 Technologie

Die Anforderungen an den gewünschten ASIC in Hinblick auf Funktionalität (analog, digital, gemischt analog-digital), Platzbedarf, Kosten, Systemgeschwindigkeit, Versorgungsspannungsbereich, Leistungsverbrauch etc. bedingen eine Auswahl der Zieltechnologie. Eine Kenntnis der typischen Charakteristika der einzelnen Technologien ist unumgänglich. Es wird in diesem Zusammenhang auf die Kapitel 2 bis 4 verwiesen.

5.1.3 Entwurfsstrategie

Für den Entwurf von integrierten Schaltungen spielt die Methodik auf Grund der Komplexität der Schaltungen eine wichtige Rolle. Nur wenn beim Entwurf eine Hierarchie aufgebaut und eingehalten wird, sind auch komplexe Schaltungen mit mehreren 10.000 Transistoren zu überblicken und zu verifizieren. Dazu gibt es zwei wesentliche Konzepte:

⇒ **Top Down Design**

⇒ **Bottom Up Design**

Die Idee des Top Down Designs ist, ausgehend von einer groben Beschreibung eines Systems diese Beschreibung in immer kleinere Einheiten zu unterteilen und diese feiner zu beschreiben, bis man schließlich bei unteilbaren oder sehr einfachen Strukturen ankommt.

Umgelegt auf das ASIC Design bedeutet das, dass man mit einer funktionalen Beschreibung des Problems beginnt, dann werden die einzelnen Funktionsblöcke dieser Beschreibung aus kleineren Blöcken aufgebaut, und so weiter. Auf der untersten Ebene bestehen alle Blöcke nur noch aus logischen Gattern oder Transistoren. Setzt man nun die Bausteine der untersten Ebene zusammen, so erhält man das gesamte System.

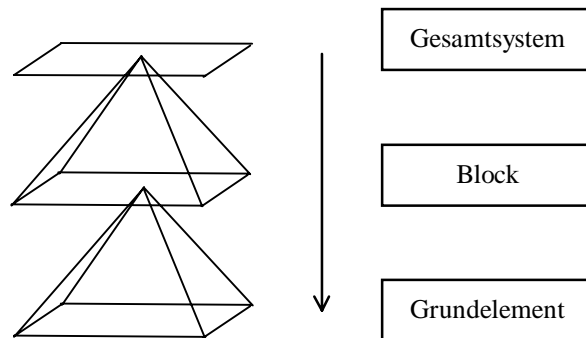


Abbildung 5-1: Designablauf

Ein Problem bei dieser Vorgangsweise ist, dass man am Beginn nicht sicher weiß, welche Aufteilung sich als günstig erweisen wird. Es ist daher einige Erfahrung nötig, um das Top Down Design in der Praxis einzusetzen.

Von Vorteil ist jedoch, dass gleich am Beginn eines Entwurfs eine Simulation des Gesamtsystems (auf Blockebene) durchgeführt werden kann, und dass durch die Hierarchie des Entwurfs der Aufwand zum Testen viel geringer bleibt, da jeder Block nur einmal getestet werden muss und nicht so oft, wie er verwendet wird.

Den umgekehrten Weg des Top Down Designs geht man beim Bottom Up Design. Hier geht man von einfachen Grundstrukturen aus und setzt aus ihnen größere Blöcke zusammen, bis man das fertige System erhält.

Der Praxis kommt dieser Ansatz jedoch weniger entgegen, da man sich zunächst von seinem Problem lösen muss um Funktionseinheiten zu entwickeln, von denen man nicht sicher weiß, ob man sie auch wirklich braucht.

Daher wird oft eine Mischform aus beiden Überlegungen verwendet, bei der man sowohl das Gesamtsystem als auch die elementaren Blöcke (z.B. Standardzellen-Bibliothek) im Auge behält, um so zu einer hierarchischen Darstellung des Problems zu kommen.

5.1.4 Stückzahlen, Kosten, Zeit

Wesentliche Randbedingungen für den ASIC-Entwurf stellen die voraussichtlich erforderlichen Stückzahlen, die Entwicklungskosten und die Entwicklungszeit dar. Zusätzlich muss noch überlegt werden, ob Analogschaltungen benötigt werden oder nicht, da nicht jeder ASIC-Typ dafür verwendet werden kann. Eine qualitativ gehaltene Übersicht über diese Aspekte ist in nachstehender Tabelle zu finden. Die darin enthaltenen ASIC-Typen umfassen programmierbare Logikschaltungen (PL, Programmable Logic Array), Gate-Arrays (GA),

Standardzellen-Schaltungen (SC, Standard Cell) und vollkundenspezifische Schaltungen (FC, Full Custom).

ASIC	Komplexität	Analogsch.	Entw. Kosten	Entw. Zeit	Stückzahlen
Full Custom	hoch	ja	hoch	lange	> 10.000
Standard Cell	hoch	bedingt	mittel	mittel	> 5.000
Gate Array	mittel - hoch	bedingt	mittel	mittel	> 1.000
Programmierbare Logik	gering - mittel	nein	gering	gering	< 1.000

Tabelle 5-1: Eigenschaften von ASICs

5.2 Einteilung der ASICs

Integrierte Schaltungen werden heute in einer Vielzahl von Technologien und von einer großen Zahl verschiedener Hersteller gefertigt. Dabei spielen neben den Standard-ICs, wie sie von großen Halbleiterherstellern angeboten werden, die ASICs heute eine immer bedeutendere Rolle. Standard-ICs werden für eine große Palette von Anwendungen möglichst universell entworfen, sodass sie einen breiten Kundenkreis ansprechen. ASICs dagegen sind für einen Kunden und dessen Anforderungen maßgeschneidert und werden im freien Handel auch nicht angeboten.

ASICs haben heute einen großen Markt erobert und sind bereits für Einsatzbereiche mit mittleren Stückzahlen wirtschaftlich. Je nach ihrer Topologie können sie in verschiedene Gruppen eingeteilt werden:

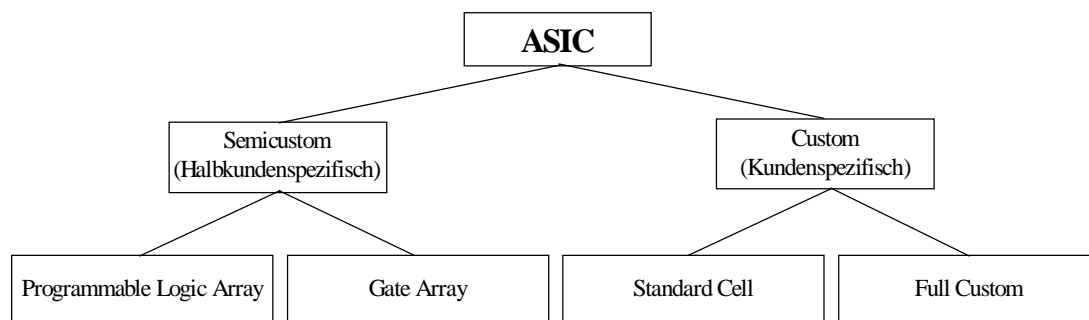


Abbildung 5-2: Einteilung der ASICs

In Hinblick auf die relevanten Entwurfparameter (Entwicklungszeit, Kosten, Schaltungskomplexität) ergibt sich ein Zusammenhang, der in Abbildung 5-3 dargestellt ist.

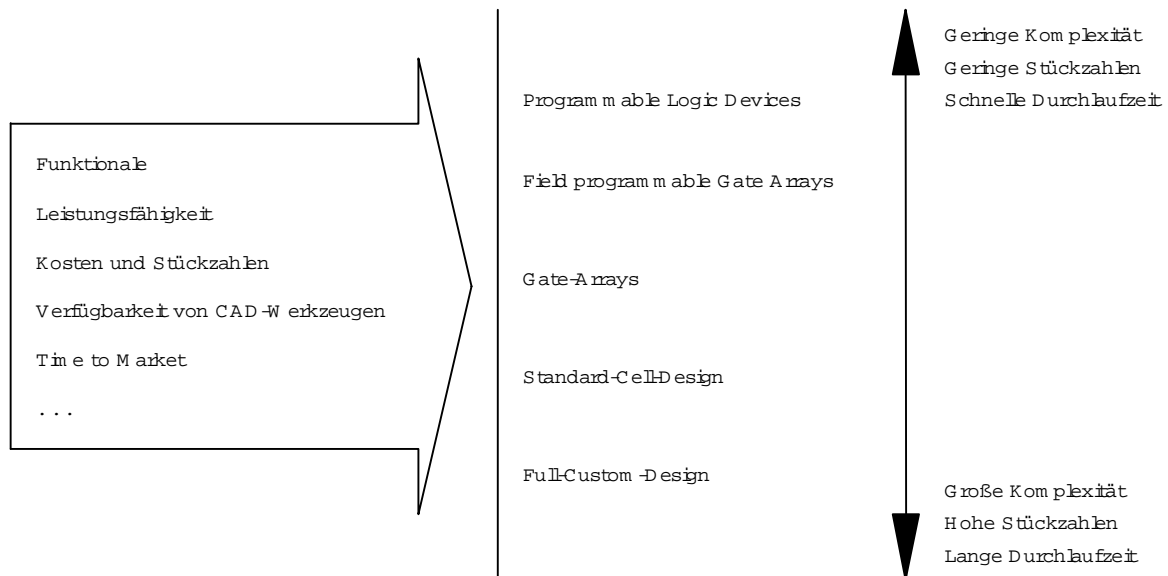


Abbildung 5-3: Randbedingungen für die ASIC-Auswahl

5.2.1 Full-Custom

Nachfolgend werden die wichtigsten Eigenschaften dieser ASIC-Topologie zusammengefasst:

- Vom Schaltungsentwurf bis zum Layout wird alles selbst gemacht
- Vorteile:
 - Sehr kompakte Layouts → kleine Chipfläche; hohe Ausbeute
 - Kontrolle über jeden Schaltungsteil
 - Guter Kopierschutz
 - Analogschaltungen möglich
- Nachteile:
 - Alle Masken für die Fertigung werden benötigt → teuer
 - Erst bei sehr hohen Stückzahlen interessant
 - Umfangreiche CAD-Werkzeuge und hohe Rechnerleistung notwendig
 - Designer muss die Design-Rules genau beherrschen
 - Lange Entwicklungszeit

Häufig wird ein Full-Custom ASIC-Entwurf auch nur für Teilschaltungen durchgeführt, die dann als Layoutblock in einer höheren Hierarchieebene weiterverwendet werden.

5.2.2 Standardzellen (Standard cell)

Diese ASIC-Topologie ist die mit Abstand am weitesten verbreitete. Vom ASIC-Hersteller erhält man in diesem Fall eine Bibliothek mit Zellen (analog und digital (vgl. Tabelle 4-1), Schaltungssymbole, Layouts, Simulationsmodelle in einer Hochsprachenbeschreibung etc.). Diese Zellen sind so entworfen, dass sie eine Versorgungsschiene für VDD und GND bieten, die so realisiert ist, dass die Zellen anreihbar sind und damit der Versorgungsanschluss am Anfang bzw. am Ende der Zellreihe erfolgen kann. Die resultierende Zellenanordnung erfolgt in Reihen (cell rows). Dazwischen liegen die Verdrahtungskanäle (routing channels). Die wesentlichen Charakteristika für Standardzellen-Entwürfe sind nachfolgend aufgelistet:

- Basis des Entwurfs sind fertig entworfene und charakterisierte Zellen
- Zellbibliothek meist vom Hersteller des ASICs

- Entwurf bis zum Layout beim Anwender möglich
- Vorteile:
 - Große Komplexität
 - Analoge Schaltungsteile möglich
 - Hochsprachenbeschreibungen und Synthesemöglichkeit
 - Simulation mit Modellen ist genau und wenig zeitaufwendig
- Nachteile:
 - Alle Masken für die Fertigung werden benötigt → teuer
 - Erst bei höheren Stückzahlen interessant
 - Umfangreiche CAD-Werkzeuge und hohe Rechnerleistung notwendig

5.2.3 Gate-Array

Bei diesem ASIC-Typ handelt es sich um eine fixe Anordnung von Transistoren und Eingangs- bzw. Ausgangspadzellen. Der sogenannte Master (Abbildung 5-4) wird in unterschiedlichen Komplexitäten (Anzahl der Transistoren, Pinanzahl etc.) vom Halbleiterhersteller vorgefertigt bereitgestellt. Über eine "anwendungsspezifische" Verdrahtung (Metallisierungsebenen) zwischen diesen Elementen wird die Schaltungsfunktion realisiert. Ein Beispiel für den inneren Aufbau einer Grundzelle, die in diesem Fall aus zwei NMOSTs und zwei PMOSTs besteht, ist in Abbildung 5-5 zu sehen. Abbildung 5-6 zeigt die Metallisierungsebene, die für die Realisierung einer NAND-Funktion notwendig ist. Typisch ist das Bereitstellen der Ein- und Ausgänge gleichzeitig am oberen und unteren Zellrand, damit die Verdrahtung leichter erfolgen kann.

Die wesentlichen Charakteristika für Gate-Arrays sind nachstehend angeführt.

- Weitgehend vorgefertigte Wafer (bis auf die Metallisierungsebenen)
- Nur wenige Masken entsprechend der Anwendung
- Verschiedene Topologien (Zellreihen wie in Abbildung 5-4; Sea-Of-Gates etc.)
- Vorteile:
 - Relativ kostengünstig
 - Mittlere Durchlaufzeit
 - Kleine Stückzahlen
 - Bis zu 100000 Transistoren
- Nachteile:
 - Analoge Schaltungsteile nur bedingt möglich
 - Eventuell schlechte Platzausnutzung

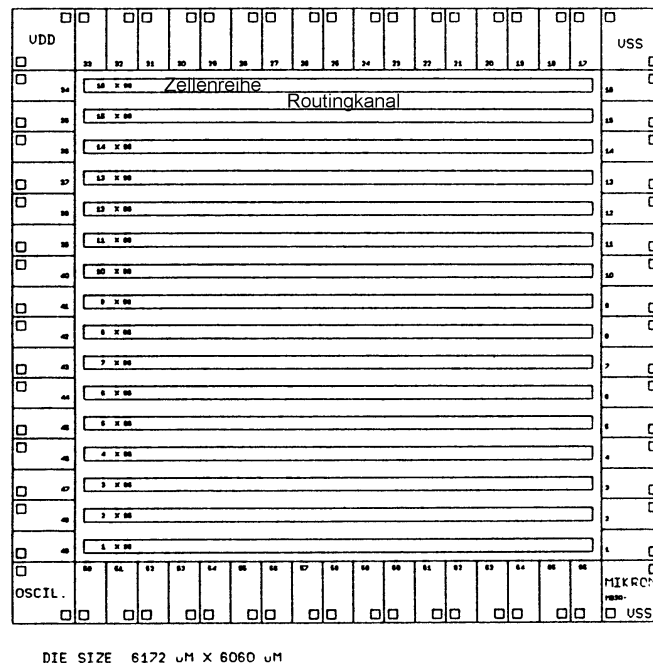
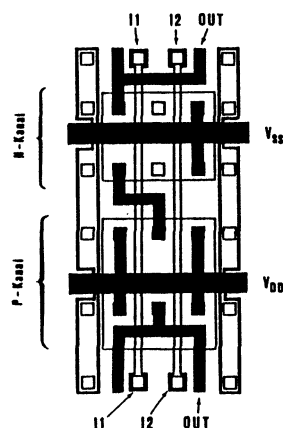
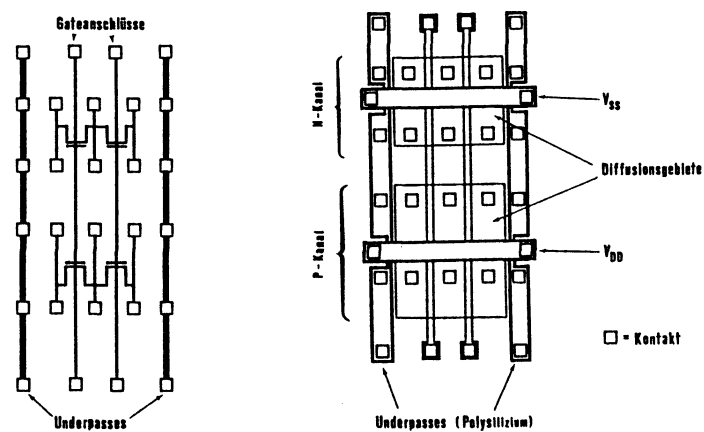


Abbildung 5-4: Grundstruktur eines Gate Arrays



5.2.4 Vergleich Gate Array - Standardzellen

Auch für den Entwurf von Gate-Arrays verwendet man eine Zellbibliothek. Es gibt einige Gemeinsamkeiten zwischen Gate-Arrays und Standardzellen aber auch einige gravierende Unterschiede. Beides ist nachstehend zusammengefasst.

Gate Array -- Standardzellen; Gemeinsamkeiten

- Zellen fertig entworfen und charakterisiert
- Datenblätter und Simulationsmodelle
- gleichnamige Zellen
- Zellen sind gleich hoch und anreihbar
- in etwa gleicher Designablauf

Gate Array -- Standardzellen; Unterschiede

- Gate Array:
 - fixe Verdrahtungskanäle
 - vorgefertigte Wafer
 - 1 - 4 kundenspezifische Masken
 - geringere Kosten
 - schlechte Chipausnutzung (muss abgeschätzt werden, um den richtigen Gate-Array-Master auszuwählen)
- Standardzellen:
 - variable Verdrahtungskanäle
 - von Grund auf neu gefertigt; d.h. lange Durchlaufzeit
 - voller Maskensatz (> 12)
 - hohe Fertigungskosten (ausgenommen MPW-Runs)
 - optimale Chipausnutzung

5.2.5 FPGA, LCA, CPLD

Bei den programmierbaren Logikbausteinen der Typen FPGA (Field Programmable Gate Array), LCA (Logic Cell Array) und CPLD (Complex Programmable Logic) gibt es mittlerweile ein breite Palette von Produkten, die sich vor allem in Hinblick auf die Architektur, die Komplexität und die Schaltgeschwindigkeit unterscheiden. Ein wesentliches weiteres Kriterium stellt die Art der Programmierung der Logikfunktion dar. Viele Hersteller solcher Produkte bieten eigene Entwurfswerkzeuge an. Die Bezeichnung ist leider meist nicht einheitlich, auch wenn eine ähnliche interne Architektur verwendet wird.

Die wesentlichen Charakteristika dieser Bausteintypen sind nachstehend angeführt:

- Architektur:
 - Matrix von komplexen Logikblöcken (konfigurierbar)
 - fixe Verdrahtungskanäle
 - programmierbare Matrixverbindungen
- Vorteile:
 - vom Anwender programmierbar
 - kurze Entwicklungszeit
 - hohe Komplexität

- Nachteile
 - u.U. schlechte Ausnutzung gegeben
 - rein digital
 - meist hoher Stromverbrauch

In der nachstehenden Abbildung ist ein Blockschaltbild einer konfigurierbaren Grundzelle zu sehen. Bei der Programmierung werden die Logikfunktion und die Multiplexerfunktionen entsprechend der gewünschten Funktionalität eingestellt. In einem Baustein sind je nach Komplexität viele solcher Grundzellen vorhanden, die übergeordnet verdrahtet und mit den Ein- und Ausgängen verbunden sind. Die Verdrahtungsinformation wird über ein Bitmuster bereitgestellt, das entweder im Baustein nichtflüchtig gespeichert wird, oder nach dem Einschalten in einer Initialisierungsphase in den Baustein geladen werden muss (seriell, parallel).

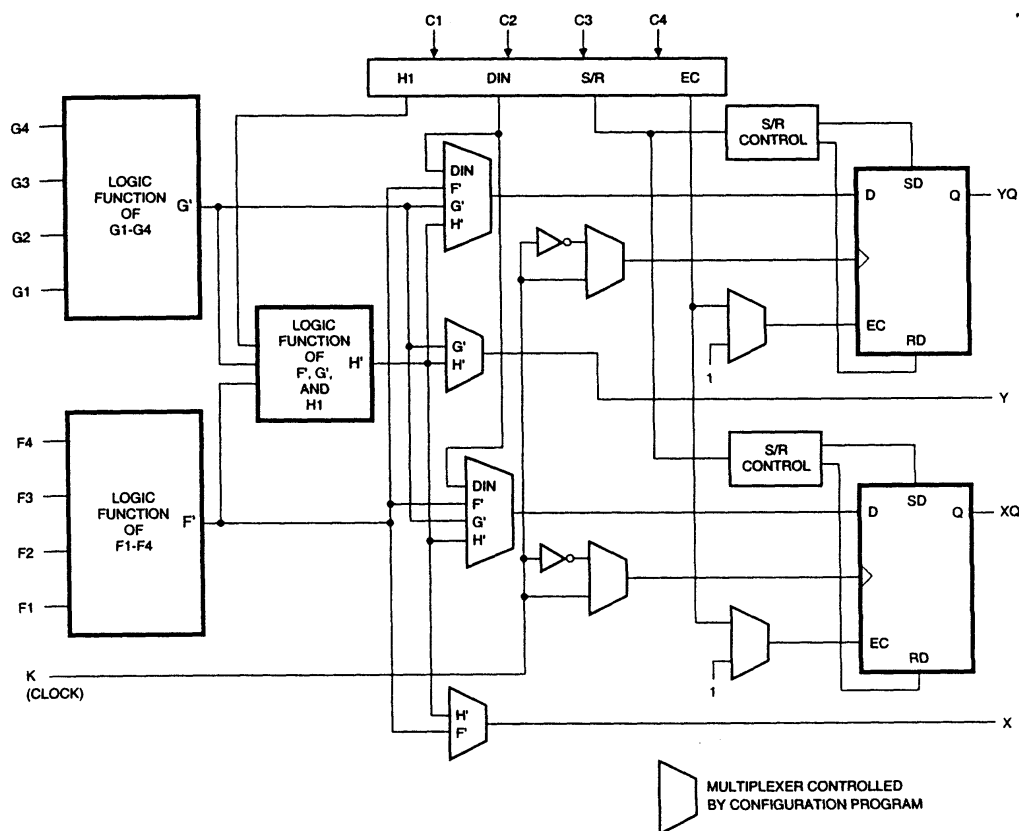


Abbildung 5-7: Schaltung einer LCA-Grundzelle

5.2.6 EPLD, GAL, PAL, PLA

Die einfachen Bausteintypen EPLD (Erasable Programmable Logic Device), GAL (Generic Array Logic) und PAL (Programmable Array Logic) und PLA (Programmable Logic Array) unterscheiden sich darin, welche kombinatorische Schaltfunktion programmierbar ausgeführt wird. Meist gibt es in diesem Fall eine feste kombinatorische Schaltfunktion zur Ansteuerung von wiederum programmierbaren Ausgangstreiberstufen. Die Grundstrukturen aus Logikfunktion und Ausgangstreiber werden oft auch als Makrozellen bezeichnet.

- Architektur:
 - programmierbare Gattermatrix (UND-ODER)
 - konfigurierbare Ausgangstreiber

- Vorteile:
 - schnelle Entwicklungszeit
 - große Typenvielfalt
- Nachteile:
 - geringe Komplexität
 - meist hoher Stromverbrauch
 - nur digital

Viele Hersteller stellen für diese Bausteinfamilien eigene Entwurfswerkzeuge zur Verfügung. Die Programmierung erfolgt meist über handelsübliche Programmiergeräte oder auch über eingebaute Schnittstellen (JTAG, Joint Test Action Group; ISP, In System Programmable).

5.3 Schaltungsentwicklung

5.3.1 Entwurfsschritte

Für die Erstellung eines ASICs werden eine Reihe von Entwurfsschritten benötigt. Die wesentlichen dabei sind nachstehend chronologisch zusammengestellt:

- Systemspezifikation und Verhaltensbeschreibung
- Funktional- und Architekturbeschreibung
- Schaltungsentwurf bzw. Logiksynthese
- Platzierung und Verdrahtung
- Fertigung
- Test und evt. Fehleranalyse
- Überleitung in die Serienproduktion

In allen drei allgemein möglichen Wegen des Entwurfsablaufs (Strukturebene, structural; Physikalische Ebene, physical; Verhaltensebene, behavioral) sind unterschiedliche Systemabstraktionen von der Architekturbeschreibung bis zur Beschreibung der Schalterfunktion üblich. In Abbildung 5-8 ist dies graphisch dargestellt. Beim Entwurfsablauf wird dabei meist nicht durchgängig ein Weg in einer Beschreibungsebene eingehalten, sondern an den Knotenpunkten zu einer anderen Ebene verzweigt. Meist geschieht dies automatisiert durch CAD-Unterstützung. Vielfach existieren auch parallele Beschreibungen, um z.B. die Systemsimulationen effektiver zu gestalten. In diesem Fall ist ein wichtiger Punkt, die Konsistenz der verwendeten Modelle zu gewährleisten.

Die in Abbildung 5-8 gezeigten Entwurfsphasen beziehen sich auf den ASIC-Entwurf bis zur fertigen Schaltung. Die nachfolgenden Entwurfsschritte (Platzierung und Verdrahtung bis zur Überleitung in die Serienproduktion) sind damit nicht abgedeckt.

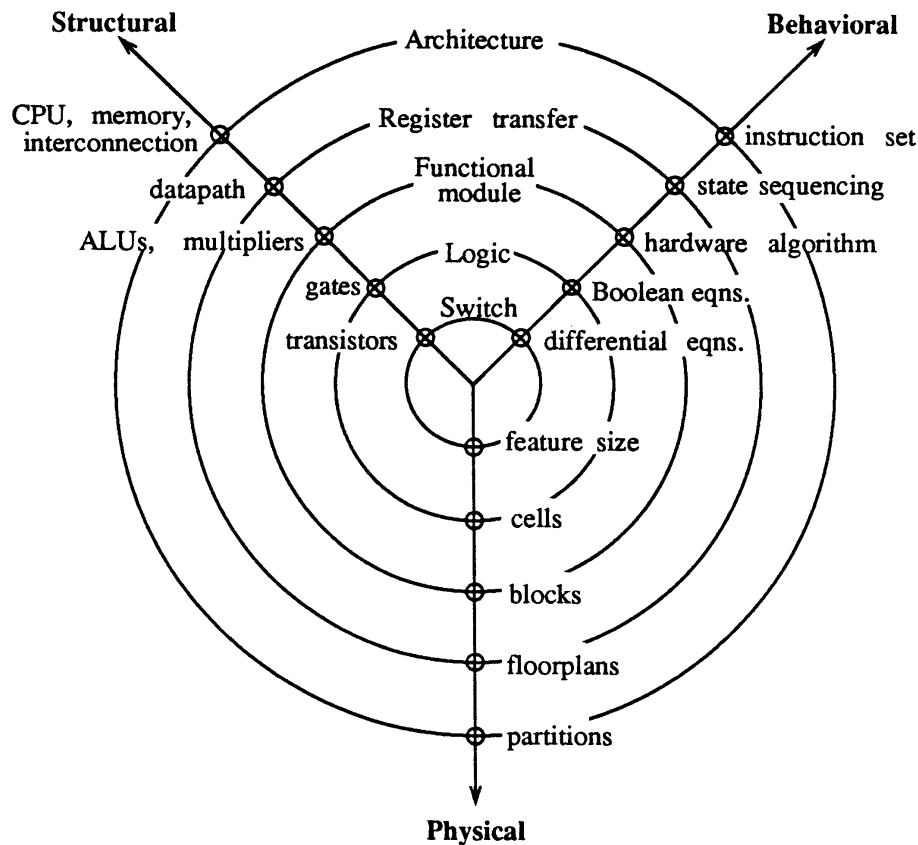


Abbildung 5-8: Y-Diagramm der Entwurfsphasen

Eine etwas detailliertere Aufstellung mit den zeitlichen Abhängigkeiten und Rückwirkungen ist in Abbildung 5-9 dargestellt. In der linken Darstellung symbolisieren die Rückwirkungspfeile den Vorgang der Verifikation, wo im Falle eines nicht korrekten Simulationsergebnisses eine Adaptierung des vorherigen Entwurfsschrittes notwendig wird. Die Pfeile auf der linken Seite symbolisieren, welche Simulationsmuster und -ergebnisse in nachfolgenden Entwurfsschritten für Vergleichszwecke wieder verwendet werden.

Im rechten Teil der Abbildung ist der "Idealfall" dargestellt, bei dem der Übergang zwischen den einzelnen Beschreibungsebenen automatisiert durchgeführt wird. Ansatzweise gibt es diese Übergänge schon. Für digitale Systeme existieren diese z.B. zwischen Verhaltensbeschreibung und Strukturbeschreibung über den Weg der Logiksynthese und zwischen Strukturbeschreibung und physikalischer Beschreibung mit Hilfe der automatischen Platzierung und Verdrahtung bei Standardzellen-Entwürfen. Bei analogen integrierten Schaltungen ist der Weg der Automatisierung noch nicht sehr stark vorhanden. Er erstreckt sich bisher auf Versuche und Teilaspekte. Es gibt z.B. "Generatoren" für Operationsverstärker, die - ausgehend von der Spezifikation einiger charakteristischer Kenngrößen - ein Layout erstellen.

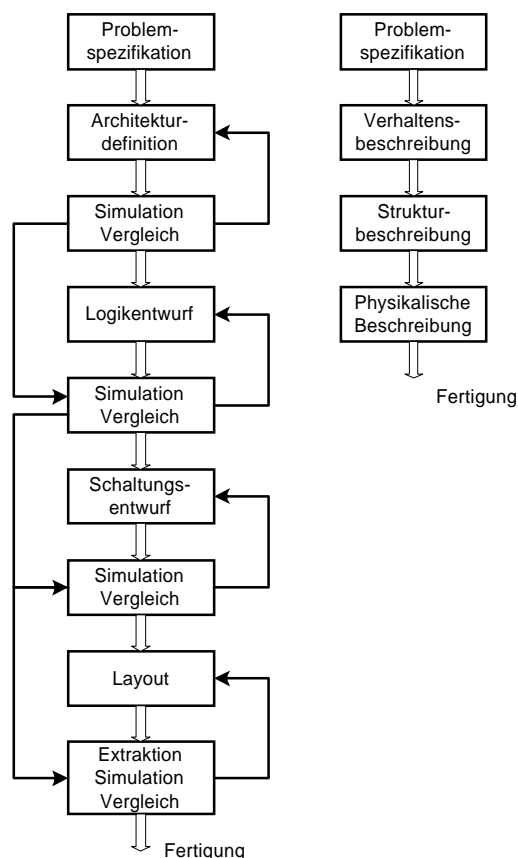


Abbildung 5-9: Entwurfsablauf (links, "klassisch"), (rechts, "ideal")

5.3.2 Handrechnung

Im Bereich der analogen integrierten Schaltungstechnik beschreitet man häufig den Weg, dass vor dem Beginn der Schaltungseingabe eine vereinfachte Handrechnung zur Auffindung eines geeigneten Start- bzw. Arbeitspunktes durchgeführt wird. Vielfach kommen in diesem Bereich auch zunehmend CAD-Werkzeuge zur mathematischen Modellierung zum Einsatz. Der Ausgangspunkt sind vereinfachte Gleichungen für das Groß- bzw. auch das Kleinsignalverhalten. Mit den durch die Handrechnung ermittelten Dimensionierungen für die Schaltungskomponenten beginnt dann der Weg des CAD-unterstützten Entwurfes mit Schaltplaneingabe, Simulation, Layouterstellung und Entwurfsprüfung.

5.4 Schaltungseingabe

Die Schaltungseingabe bei der ASIC-Entwicklung erfolgt im wesentlichen auf zwei Arten: Entweder über einen herkömmlichen Schaltplan oder über eine Hochsprachenbeschreibung mit nachfolgender Logik- bzw. Schaltungssynthese. Der Schaltplan ist im Bereich der Analogschaltungen nach wie vor das zentrale Element. Im Bereich der Digitalschaltungen werden heutzutage fast ausschließlich Hochsprachenbeschreibungen zur Schaltungsdefinition verwendet.

Charakteristisch für beide Eingabearten ist, dass die Informationen über die Schaltung vom CAD-Werkzeug in Datenbanken abgelegt werden, die für nachfolgende Entwurfsschritte als Informationsträger dienen. Weiters ist es üblich, dass der Entwurf hierarchisch durchgeführt wird, also auf Schaltungsteile in höheren Hierarchieebenen über Symbole zugegriffen wird.

Häufig gibt es die Möglichkeit, den einzelnen Schaltungsblöcken unterschiedliche Beschreibungen (Verhaltensbeschreibung, Strukturbeschreibung) zuzuordnen, wodurch für die Simulationen die Netzlisten verschiedener Komplexität generiert werden können.

5.4.1 Schaltplaneingabe

Nachfolgend werden die wichtigsten Elemente eines Schaltplanes behandelt, die vor allem in Zusammenhang mit der Weiterbearbeitung mit CAD-Werkzeugen interessant sind.

5.4.1.1 Bauteilsymbole

Die Symbole für die Bauteile entsprechen den üblichen Konventionen. Für den Verweis auf Elemente einer Hierarchie stehen darüberhinaus Symbole zur Verfügung, die nach eigenem Ermessen erstellt werden können. Die Verbindung zwischen den Bauteilen erfolgt über einzelne Leitungen (wire) oder Busse (bus). Zu Bedenken ist in diesem Zusammenhang aber, dass die Charakteristik dieser Leitung (Widerstand etc.) erst in einem späteren Entwurfsschritt (Plazierung und Verdrahtung) tatsächlich festgelegt wird.

5.4.1.2 Terminals

Die Zuleitung der Eingangs- und Ausgangssignale und die Definition der Versorgungsspannungen erfolgt über Terminals. Diese dienen vor allem der Charakterisierung der Signalrichtung (Eingang, Ausgang, Eingang/Ausgang, Versorgung) für den Simulator und die elektrische Entwurfsprüfung.

5.4.1.3 Properties

Der Schaltplan stellt das zentrale Entwurfsdokument dar. Daher ist es sinnvoll, Randbedingungen für den tatsächlichen Entwurf im Schaltplan zu vermerken. Dies erfolgt über sogenannte Properties, die zu den Elementen des Schaltplans definiert sind, und vom Entwickler entsprechend seinen Wünschen vergeben werden. So wird z.B. für einen Widerstand durch eine Property festgelegt, in welcher Schicht er realisiert werden soll. Desgleichen werden z.B. die Abmessungen für die MOSTs als Property dem Bauteilsymbol angefügt.

5.4.1.4 Signalnamen

Um einen übersichtlichen Entwurfsablauf sicherzustellen, sollten alle Signale, die im Schaltplan vorkommen, benannt werden. Selbstverständlich ist das für die Ein- und Ausgänge, aber auch für signifikante interne Signale sollte ein eigener Name vergeben werden, da bei nachfolgenden Simulationen über diese Namen eine leichtere Zuordnung von Simulationsergebnis zum Schaltplan möglich wird.

5.4.2 Hardwarebeschreibungssprachen

Im Bereich der Digitalschaltungen setzt sich zunehmend als Eingabewerkzeug eine Beschreibung mittels einer Hochsprache (Hardware Description Language, HDL) durch. Es gibt mehrere verschiedene derartige Sprachen. Ausführlicher wird auf die Beschreibungssprache VHDL eingegangen, da diese als Standard definiert und weit verbreitet ist. Die neben VHDL am weitesten verbreitete Beschreibungssprache ist VERILOG. Beide sind vorwiegend für Digitalschaltungen einsetzbar. Es gibt aber darüber hinaus auch Erweiterungen zu diesen beiden Sprachen, die zur Beschreibung gemischt analog-digitaler Systeme dienen (VERILOG-AMS, VHDL-AMS; Analog-Mixed-Signal). Beide ermöglichen

die Beschreibung zeitkontinuierlicher Systeme über Differentialgleichungen, S-Parameter oder SPICE-Netzlisten.

5.4.2.1 VHDL

VHDL steht als Abkürzung für (**V**ery **H**igh **S**peed **I**ntegrated **C**ircuits **H**ardware **D**escription **L**anguage). Die grundsätzlichen Überlegungen dazu gehen auf das Jahr 1980 zurück. Die Sprache bietet verschiedene Abstraktionsebenen des Entwurfes (Siehe Abbildung 5-10). Die Simulation ist auf jeder dieser Ebenen möglich. Darüber hinaus steht der Weg der Logiksynthese (Abbildung 5-11) der Schaltung im Bereich der Digitalschaltungen zur Verfügung, was eine erhebliche Einsparung in der Entwicklungszeit mit sich bringt. Z.Zt. werden ca. 80-90% der Digitalschaltungen über diesen Weg erstellt. Die wesentlichen Vorteile beim Einsatz von VHDL ist die leichte Portierbarkeit des Entwurfs und der Umstand, dass diese Sprache standardisiert (IEEE 1076) ist und es viele Software-Anbieter gibt, die auf diesen Standard aufbauend CAD-Werkzeuge bereitstellen.

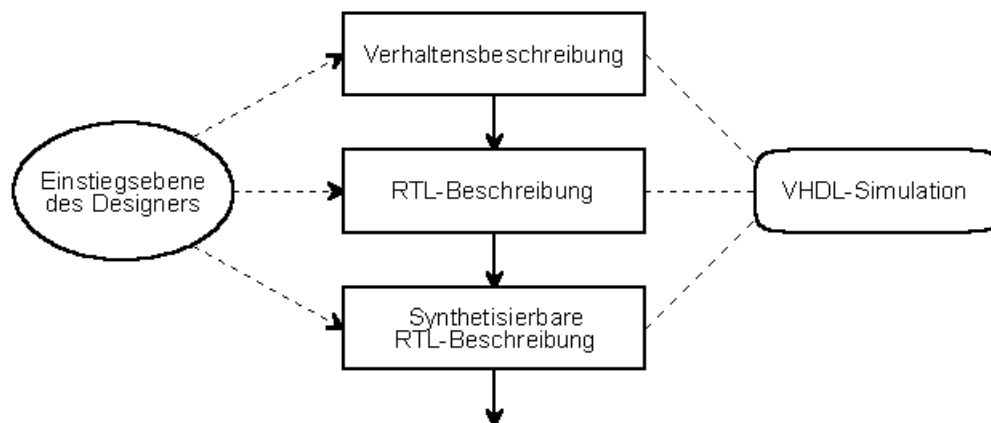


Abbildung 5-10: Einstiegsebenen für ein VHDL-Design

In VHDL stehen folgende Beschreibungsstile zur Verfügung:

- Verhaltensbeschreibung (Behavioral Description)
funktionale Beschreibung
keine Strukturinformation
- Beschreibung des Datenflusses (Dataflow Description)
logische und arithmetische Operatoren
RTL (Register Transfer Level)
- Strukturbeschreibung (Structural Description)
Block- bzw. Gatterdarstellung

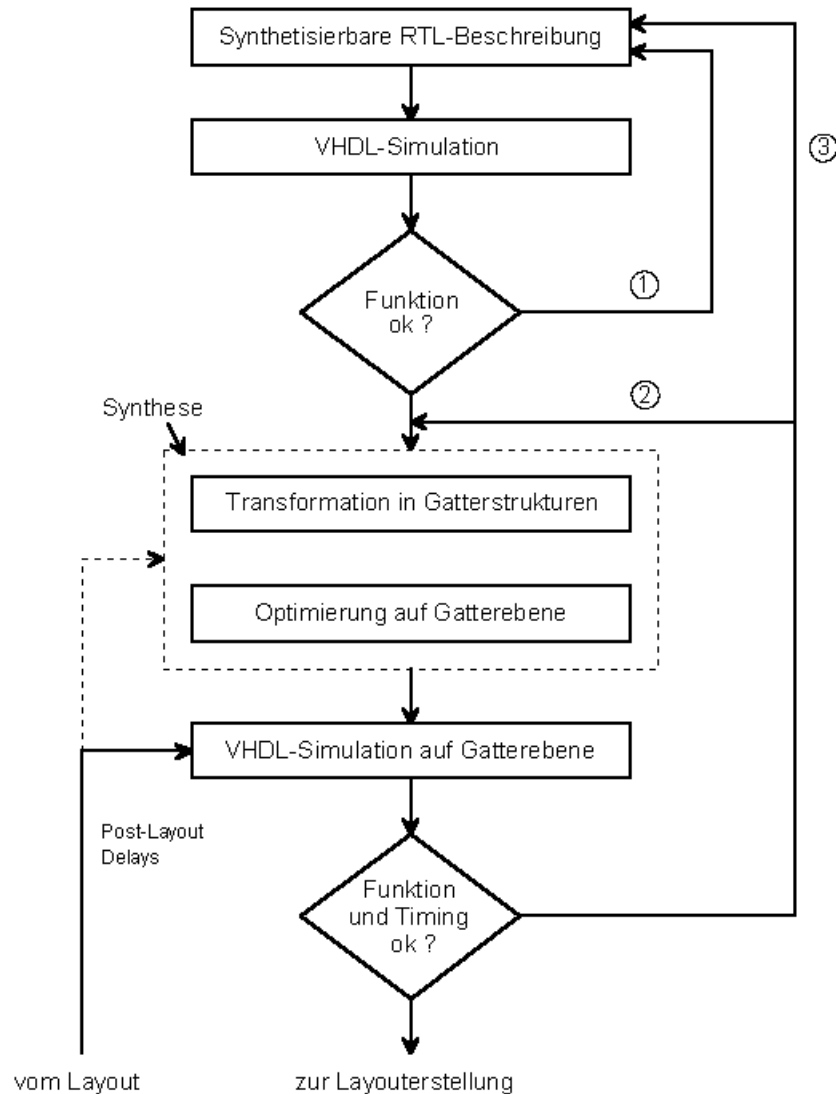


Abbildung 5-11: Logiksynthese und Layout mit VHDL

In VHDL ist ein hierarchischer Entwurf möglich, wobei die einzelnen Schaltungsblöcke durchaus in unterschiedlichen Beschreibungsstilen vorliegen können. Die wesentlichen Elemente eines kompletten VHDL-Designs sind in Abbildung 5-12 zu sehen. Mehrere VHDL-Dateien (VHDL-Files) können zu einem Design zusammengefasst sein. Eine VHDL-Datei muss zumindest die Design-Entities beinhalten. Darüberhinaus können noch Deklarationen und Definitionen, die für mehrere Entities Gültigkeit haben, in einer Package-Definition zusammengefasst werden. Existieren von einer Entity mehrere Beschreibungen, dann wird in der Configuration-Deklaration auf die jeweils zu verwendende verwiesen.

Das Kernstück sind die Design-Entities, die die Informationen über die verwendete Architektur (Architecture bodies) bzw. den Beschreibungsstil und die allgemeinen Deklarationen (Entity declaration) enthalten.

Nachfolgend werden diese Deklarationen für alle drei Beschreibungsstile an Hand eines Volladdierers gezeigt.

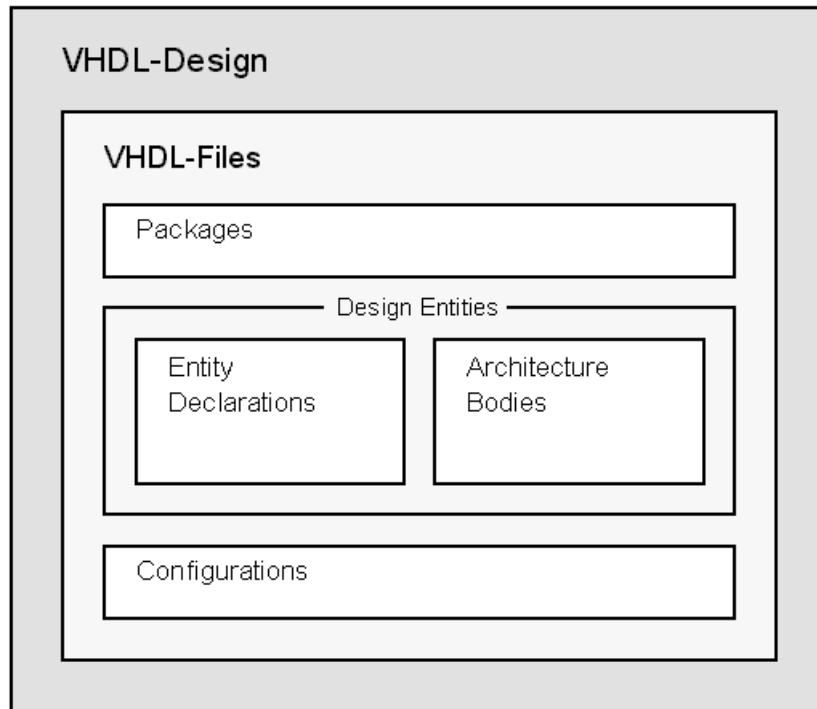


Abbildung 5-12: Die Struktur von VHDL-Designs

VHDL - Beispiel; Volladdierer

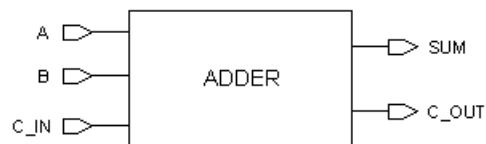


Abbildung 5-13: Blockschaltbild des Volladdierers

Für das obige Blockschaltbild ergibt sich nachstehende Entity-Deklaration, die die Eingangs- und Ausgangsgrößen (port - in, port - out) benennt und den Typ (BIT) festlegt:

```

entity ADDER is
  port(A, B, C_IN: in BIT;
        SUM, C_OUT: out BIT);
end ADDER;
    
```

In der nachfolgenden Verhaltensbeschreibung (architecture BEHAVIORAL) für den Volladdierer wird eine Funktion definiert, die aus der binären Darstellung der Eingangsgrößen eine Zahl macht. Diese Zahlen werden dann aufsummiert und in der case-Anweisung den entsprechenden Ausgangsgrößen zugewiesen.


```

architecture BEHAVIORAL of ADDER is

    function BIT_TO_INT(IN: BIT)
    return integer is
    begin
        if IN = '1' then
            return 1;
        elsif
            return 0;
        end if;
    end BIT_TO_INT;

    signal TOTAL: integer;

begin
    TOTAL <= BIT_TO_INT(A) + BIT_TO_INT(B) +BIT_TO_INT(C_IN);
    process(TOTAL)
    begin
        case TOTAL is
            when 0 =>    SUM <= '0'; C_OUT <= '0';
            when 1 =>    SUM <= '1'; C_OUT <= '0';
            when 2 =>    SUM <= '0'; C_OUT <= '1';
            when 3 =>    SUM <= '1'; C_OUT <= '1';
            when others => null;
        end case;
    end process;
end BEHAVIORAL;

```

Die Beschreibung des Datenflusses (architecture DATAFLOW) erfolgt gemäß dem Schaltbild in Abbildung 5-14 und verwendet die logischen Grundfunktionen (and, or, xor etc.).

```

architecture DATAFLOW of ADDER is
    signal INT: BIT;

begin
    INT <= A xor B;
    C_OUT <= (A and B) or (INT and C_IN);
    SUM <= INT xor C_IN;
end DATAFLOW;

```

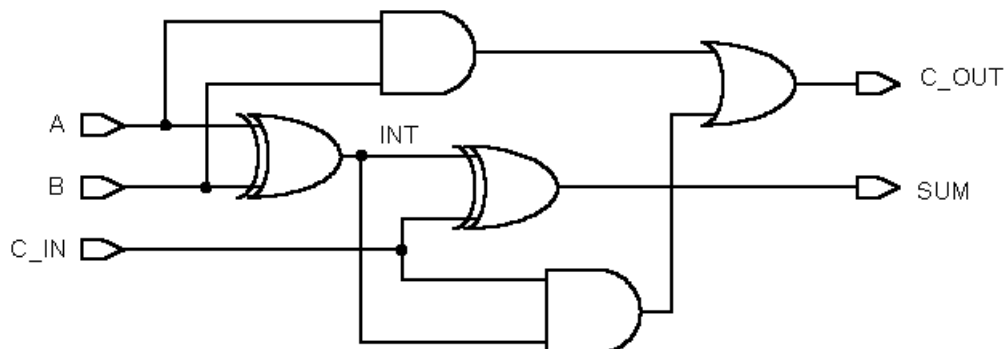


Abbildung 5-14: Ersatzschaltung zur DATAFLOW Beschreibung

```

architecture STRUCTURAL of ADDER is

    signal TMP_SUM: BIT;
    signal TMP_C1: BIT;
    signal TMP_C2: BIT;

    component HALF_ADDER
        port(X, Y: in BIT;
             S, C: out BIT);
    end component;

    component OR_GATE
        port(IN1, IN2: in BIT;
             OUT1: out BIT);
    end component;
begin
    U0: HALF_ADDER
        port map(X => A, Y => B, S => TMP_SUM, C => TMP_C1);

    U1: HALF_ADDER
        port map(X => TMP_SUM, Y => C_IN, S => SUM, C => TMP_C2);

    U2: OR_GATE
        port map(IN1 => TMP_C1, IN2 => TMP_C2, OUT1 => C_OUT);
end STRUCTURAL;

```

Die obige Strukturbeschreibung (Architecture STRUCTURAL) des Volladdierers verwendet eine Hierarchie über die component-Anweisung, sodass nur mehr die Verdrahtung angegeben werden muss.

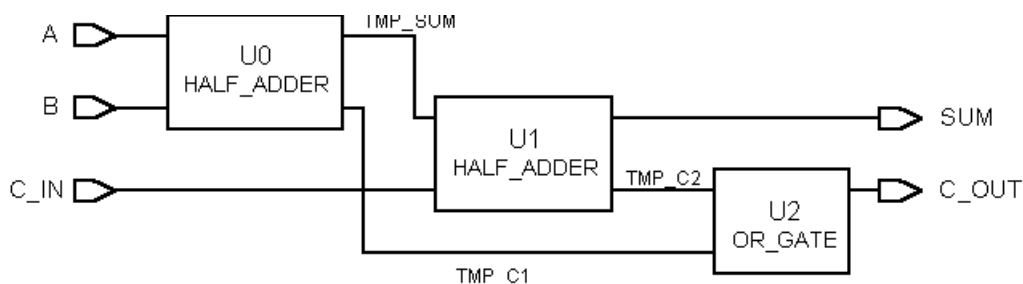


Abbildung 5-15: Blockschaltbild zur Strukturbeschreibung

5.4.3 Schaltungssynthese

Der Entwurfsschritt von einer Hochsprachenbeschreibung zu einer Schaltung auf Gatter- oder Transistorebene wird als Schaltungssynthese bezeichnet. Die Synthese ist ein automatisierter Vorgang. Damit er erfolgreich ist, müssen bei der Beschreibung Randbedingungen eingehalten werden. Nicht alle Konstrukte einer Hochsprachenbeschreibung sind automatisch synthetisierbar, sobald die Schaltung simulierbar ist. Das Ergebnis der Synthese wird anschließend meist noch einer Optimierung entweder in Hinblick auf die Schaltgeschwindigkeit oder auf den Flächenbedarf unterworfen.

Beim Schritt von der Hochsprachenbeschreibung zur Synthese muss eventuell auch schon die Zieltechnologie angegeben werden, damit sichergestellt ist, dass die Zellen des Syntheseergebnisses auch wirklich in der Bibliothek der Zieltechnologie vorhanden sind.

5.5 Simulation

Die Simulation der integrierten Schaltung stellt eine der Kernaktivitäten beim Schaltungsentwurf dar. Sie bietet die einzige Möglichkeit, das Schaltungsverhalten vor der Fertigung in Hinblick auf verschiedene Betrachtungen (Zeitverhalten, Gleichspannungsanalyse, Verhalten im Frequenzbereich) mittels Computer zu berechnen und auf diese Weise eine Evaluierung der gewünschten, korrekten Funktion vorzunehmen.

5.5.1 Grundlagen

Grundsätzlich werden verschiedene Simulatoren eingesetzt, die je nach gewünschter Genauigkeit in verschiedenen Modi arbeiten. Die genauesten Ergebnisse werden mit einem Analogsimulator (z.B. SPICE, SABER, ELDO etc.) erzielt. Dabei werden aber recht hohe Anforderungen an die Rechenleistung des Computers gestellt. Reine Digitalsimulatoren verwenden für die Schaltungsbeschreibung einfachere Modelle, mit deren Hilfe die Schaltung mit weniger Rechenaufwand simuliert werden kann. Dabei unterscheidet man einige Abstraktionsgrade:

- **Funktionale Simulation:**

Es werden keine Verzögerungszeiten und parasitären Erscheinungen betrachtet, und nur das korrekte logische Verhalten kann damit überprüft werden.

- **Logiksimulation:**

Hier werden die Digitalschaltungen auf Gatterebene mit lastabhängigen Verzögerungszeiten simuliert. Dabei kommen unterschiedliche Modelle zur Beschreibung zum Einsatz (Modelle in einer Hochsprachenbeschreibung, RC-Timing Modell mit der Beschreibung eines Transistors als Schalter mit Serienwiderstand, etc.). Spikes und Timingverletzungen (Setup- und Hold-Zeiten) können mitsimuliert werden. Diese Simulation bietet auch die Möglichkeit, den Einfluss der Parameterstreuungen auf die Verzögerungszeit zu ermitteln.

- **Mixed-Mode Simulation:**

Bei dieser Simulationsart werden verschiedene Schaltungsteile je nach der gewünschten Genauigkeit durch unterschiedliche Simulatoren berechnet (SPICE, Logiksimulator).

5.5.2 Parameterstreuungsabschätzung

Sowohl die Schwankung der Prozessparameter bei der Herstellung einer integrierten Schaltung als auch die äußeren Einflüsse wie der erlaubte Versorgungsspannungsbereich (z.B. $5\text{ V} \pm 10\%$) und Temperaturbereich (z.B. $0 - 70\text{ }^{\circ}\text{C}$) haben eine Auswirkung auf wichtige Kenngrößen wie Verzögerungszeit, Schaltgeschwindigkeit und Stromaufnahme. Diese Auswirkungen müssen in der Entwurfsphase durch mehrfache Simulation mit unterschiedlichen Randbedingungen (Corner Analyse = Analyse des Schaltungsverhaltens an den relevanten Eckpunkten der Prozessparameter und der Betriebsbedingungen) bestimmt werden, damit die gefertigte Schaltung mit hoher Wahrscheinlichkeit auch trotz der Parameterstreuung und den variablen äußeren Bedingungen funktioniert.

Die Simulationen für den Versorgungsspannungsbereich und den Temperaturbereich können recht einfach durchgeführt werden. Sie erfolgen bei Analogsimulatoren durch die Spezifikation dieser Kenngrößen in der Simulationsnetzliste und bei Digitalsimulatoren über die Verzögerungsfaktoren, die in Kapitel 4.2.4.1 behandelt wurden.

Die Modellierung der Prozessparameterstreuung erfolgt durch unterschiedliche Parametersätze, die jeweils typische Eckpunkte abdecken. Die dabei relevanten Begriffe für die

MOSTs sind nachstehend angeführt. Für passive Bauelemente und BJTs gilt eine ähnliche Nomenklatur.

- **typical mean:**

Bei den Prozessparametern werden in diesem Fall alle Werte mit ihrer typischen Größe verwendet. Die Simulation mit diesem Parametersatz bildet üblicherweise den Ausgangspunkt der Funktionsüberprüfung mittels Simulation.

- **worst case speed:**

Die Prozessparameter werden innerhalb ihrer Einzeltoleranzen so variiert, dass in Summe die Schaltung nach außen hin gesehen am langsamsten wird (z.B. die höchsten Threshold-Spannungen, die kleinsten Prozessverstärkungsfaktoren etc.).

- **best case speed; worst case power:**

Die Prozessparameter werden innerhalb ihrer Einzeltoleranzen so variiert, dass in Summe die Schaltung nach außen hin gesehen am schnellsten wird. (z.B. die niedrigsten Threshold-Spannungen, die größten Prozessverstärkungsfaktoren etc.). Da in diesem Fall auch die Stromaufnahme maximal wird, kann dieser Zustand auch als worst case power bezeichnet werden.

- **worst case zero:**

Bei diesem Parametersatz wird ein Unterschied zwischen den beiden MOST-Typen berücksichtigt. Dabei wird im Fall von worst case zero von einem "schnellen" NMOST und einem "langsamen" PMOST ausgegangen.

- **worst case one:**

Bei diesem Parametersatz wird ein Unterschied zwischen den beiden MOST-Typen berücksichtigt. Dabei wird im Fall von worst case one von einem "langsamen" NMOST und einem "schnellen" PMOST ausgegangen.

5.5.3 Analogsimulation

Aus der Fülle von Analogsimulatoren wird exemplarisch der "Urvater" = SPICE (Simulation Program with Integrated Circuit Emphasis) herausgegriffen. Für Details sei an dieser Stelle auf die umfangreiche Literatur bzw. auf Handbücher mit der jeweils gültigen Syntax verwiesen.

5.5.3.1 Netzliste

In der Netzliste wird die Schaltung, die Steuergrößen (Strom, Spannung) und die gewünschten Analysen in Textform nach einer genau festgelegten Syntax beschrieben. Die Schaltung wird dabei über Quellen und diverse aktive und passive elektronische Bauelemente beschrieben. Das Verhalten der Bauelemente wird üblicherweise über im Simulator eingebaute Modellbeschreibungen definiert. Davon sind viele fix vorgegeben. Es besteht aber auch die Möglichkeit, dass Halbleiterhersteller ihre eigenen Modellbeschreibungen implementieren, damit diese genauer zu den Prozesscharakteristika passen.

Den Bauelementeanschlüssen werden Knotennummern zugewiesen. Schaltungsknoten mit der gleichen Knotennummer werden als miteinander elektrisch verbunden betrachtet. Der Bezugspunkt der Schaltung (Masse, GND) wird dem Knoten mit der Nummer Null (0) zugewiesen. Ströme in einen Anschluss hinein werden immer positiv gezählt.

Für die Interpretation der Netzliste ist das jeweils erste Zeichen einer neuen Zeile ausschlaggebend. Es gibt an, ob es sich nachfolgend um einen Befehl für den Simulator oder die Definition eines Elementes handelt.

5.5.3.2 Syntax

Es gibt einen Grundstock in der Befehlssyntax, den alle SPICE-basierenden Analogsimulatoren verstehen und darüberhinaus auch noch einen Befehlssatz, der spezifisch für das jeweils verwendete SPICE-Derivat ist. Aus diesem Grund sei für die genaue Syntax zu den einzelnen Befehlen auf die jeweiligen Handbücher zu den Programmen verwiesen.

5.5.3.3 Analysen

Die drei wichtigsten Analysen, mit denen eine Schaltung mit dem Analogsimulator betrachtet werden kann sind die:

- DC-Analyse (Gleichspannungsanalyse)
Es wird der Gleichspannungsarbeitspunkt der Schaltung ermittelt; Großsignalverhalten.
- AC-Analyse (Analyse im Frequenzbereich)
Es wird das Kleinsignalverhalten der Schaltung um einen Gleichspannungsarbeitspunkt ermittelt.
- Transienten-Analyse (Analyse im Zeitbereich)
Es wird der zeitliche Verlauf der Spannungen und Ströme in der Schaltung simuliert.

Daneben gibt es noch die Möglichkeit, die Auswirkung von Parameterschwankungen eines Bauelementes auf eine Ausgangsgröße (Sensitivitätsanalyse) zu simulieren, die Analyse des Rauschverhaltens und eine statistische Analyse für Parameterschwankungen (Monte-Carlo-Analyse) durchzuführen.

5.5.3.4 MOS Berechnungsmodelle

Für MOSTs hat der Analogsimulator SPICE mehrere Modelle zur Verhaltensbeschreibung implementiert, die über einen Parameter (LEVEL) bei der MOST-Modelldefinition ausgewählt werden. Es erfordert eine sorgfältige Auswahl dieses Parameters, da nicht alle Modelle für alle Transistortypen und alle Anwendungen gleich gut geeignet sind. Grundsätzlich steigt die Komplexität und damit die Berechnungsgenauigkeit mit steigendem LEVEL.

Nur bei den niedrigeren LEVEL-Nummern (1, 2, 3 etc.) herrscht eine Kompatibilität zwischen den einzelnen Simulatorderivaten. Bei höheren ist diese meist nicht mehr gegeben. Auch wenn die Simulatoren auf ein vermeintlich gleiches Modell (z.B. BSIM 3v3) verweisen, ist nicht sichergestellt, dass die gleiche Modellbeschreibung verwendet wird. Damit ergibt sich aber auch der Nachteil, dass nicht alle SPICE-Parametersätze für MOSTs kompatibel sind. In der Regel bietet der Hersteller aus diesem Grund auch eigene Parametersätze für die jeweiligen Simulatoren an.

5.5.4 Digitalsimulation

Da bei Digitalsimulatoren nur zwei Spannungspegel vorkommen, kann die Simulation weitgehend vereinfacht werden. Meist reduziert sich die relevante Information neben dem Spannungspegel High oder Low auf die Ermittlung der für Digitalschaltungen typischen Zeiten (Verzögerungs-, Anstiegs- und Abfallzeit). Gegenüber Analogsimulatoren brauchen die Digitalsimulatoren auch noch einige zusätzliche Informationen an den Eingangs- und Ausgangsanschlüssen. Die wichtigsten sind nachstehend angeführt.

5.5.4.1 Signalrichtung, -stärke

Neben den logischen Pegeln High und Low kennt ein Digitalsimulator auch noch die Signalzustände Unknown und Tri-State. Der Zustand Unknown tritt immer dann auf, wenn der Signalpegel nicht eindeutig zugeordnet werden kann (z.B. wenn zwei Ausgänge miteinander kurzgeschlossen sind oder wenn bei einem speichernden Schaltungsteil noch kein Set bzw. Reset durchgeführt worden ist). Üblicherweise werden alle Schaltungsknoten, die von einem nicht definierten Knoten abgeleitet werden, ebenfalls auf Unknown gesetzt, was es oft erschwert, eine sinnvolle Simulation zu beginnen. Es ist aus Gründen der einfacheren Simulierbarkeit in vielen Fällen ratsam, eine Reset-Funktion in die Schaltung zu implementieren, auch wenn es von der tatsächlichen Funktionalität her nicht unbedingt notwendig wäre (z.B. bei State-Machines).

- **Logische Pegel:**

L,l,0	... LOW
H,h,1	... HIGH
X,x	... UNKNOWN
Z,z	... TRISTATE

Nicht alle Signale einer Digitalschaltung haben die gleiche Treiberstärke. Dies macht die Angabe von Aussagen dafür notwendig. Eine Auswahl aus gängigen Abkürzungen für diese Signalstärkenangabe ist nachstehend angeführt.

- **Signalstärke:**

I	... Initial
C	... Charged
D	... Driven
S	... Supply

Zusätzlich kann noch ein Zahlenwert für die Stärke im jeweiligen Bereich vorhanden sein z.B. DL12 (schwacher Signalpegel low wird durch einen Transistor "getrieben"); SH31 (High-Pegel, der durch eine Spannungsquelle vorgegeben ist). **Initial** beschreibt einen undefinierten Anfangszustand und **Charged** zeigt an, dass der Schaltungsknoten auf einem Pegel liegt, der in einer Kapazität gespeichert ist aber nicht durch einen Transistor getrieben wird.

- **Signalrichtung** (IN, OUT, INOUT, PWR, GND)

Bei Digitalschaltungen wird den Signalen auch eine Signalrichtung zugeordnet. IN markiert einen Schaltungseingang, der durch eine Quelle oder einen Ausgang (OUT) getrieben werden muss. Bidirektionale Anschlüsse werden als INOUT gekennzeichnet. Die Versorgungsspannungsanschlüsse werden durch PWR und GND markiert und stellen niederohmige Verbindungen dar. Durch die Angabe einer Signalrichtung wird es möglich Schaltungsfehler zu finden, weil der Simulator z.B. beim Zusammenschalten zweier Ausgänge den Schaltungsknoten in den Unknown Zustand setzt, der sich durch die Schaltung bis zu einem Ausgang fortpflanzt.

5.5.4.2 Netzliste

Auch die Digitalsimulatoren arbeiten großteils auf Netzlistenbasis (Ausnahmen sind Digitalsimulatoren für Hochsprachenbeschreibungen).

5.5.4.3 Netzlistenelemente

Neben den Steuervariablen und den Simulatorbefehlen enthält die Netzliste vor allem die Schaltungsbeschreibung, die unterschiedliche Komplexität aufweisen kann. Üblicherweise wird im Digitalbereich mit überschaubaren Teilschaltungen gearbeitet, die in einer übergeordneten

Hierarchieebene miteinander verschaltet sind. Selten arbeitet man direkt auf Transistorebene. Der übliche Einstieg in die Simulation einer Digitalschaltung erfolgt auf Gatterebene oder in einer noch höheren Abstraktionsebene.

5.5.4.3.1 Transistoren, Widerstände, Kapazitäten

Diese drei Bauelementkategorien bilden den Kern für die Digitalsimulation. Es werden einfache Modelle für die Kapazitäten und die Widerstände verwendet wobei Widerstände nur sehr selten in den Schaltungen vorkommen. Für die Verzögerungszeitberechnung wird meist ausschließlich auf die Transistoren und die Lastkapazitäten zurückgegriffen.

Technologiedaten werden für die Berechnung der Transistoreigenschaften (Gate-Kapazität, On-Widerstand, Schwellspannung) benötigt. Für die Simulation wird ein einfaches Transistormodell verwendet, bei dem der Substratanschluss auf der jeweiligen Versorgungsspannung fest angeschlossen ist. Darüber hinaus wird immer die volle Aussteuerung am Gate-Anschluss angenommen, sodass der Transistor als Schalter mit Innenwiderstand modelliert werden kann. Die Zeitberechnungen beschränken sich auf die Berechnung eines RC-Gliedes (Transistor On-Widerstand, Lastkapazität, Schwellspannung).

5.5.4.3.2 Logikgatter

Logikgatter bilden die eigentlichen Grundbausteine für den Digitalentwurf. Je nach Abstraktionsebene können sie für die Simulation in einer der drei Varianten modelliert sein:

- Gatter auf Transistorebene
- Gatter als Funktionalmodell
- Gatter als kompilierte Modellbeschreibung

Je nachdem, welche Darstellungsmethode verwendet wird, ergibt sich eine längere oder kürzere Simulationszeit. Die kürzesten Zeiten ergeben sich bei der Verwendung von kompilierten Modellbeschreibungen, bei denen sowohl das logische als auch das zeitliche Verhalten mathematisch beschrieben werden, und diese Beschreibung in die Maschinsprache des verwendeten Computers kompiliert wird. Wenn das Modell sorgfältig erstellt wurde, ergeben sich auch keinerlei Einbußen in Hinblick auf die Genauigkeit.

5.5.4.3.3 Schaltungsblöcke

Zur Steigerung der Übersichtlichkeit wird häufig die Methode eines hierarchischen Entwurfs angewendet, bei dem über Schaltungsblöcke (Instanzen, Instances) auf Teilschaltungen verwiesen wird. Dabei ist von großem Vorteil, dass die Modellierung der einzelnen Schaltungsblöcke unterschiedlich erfolgen kann. Man spricht in diesem Zusammenhang auch von einer Multi-Level-Simulation. Es werden die Schaltungsblöcke mit der für sie passenden Beschreibungsmethode (RTL, Gatterebene, Hochsprachenbeschreibung) simuliert.

5.5.5 Mixed-Mode Simulation

Beim Entwurf von gemischt analog-digitalen integrierten Schaltungen bedarf es einer sogenannten Mixed-Mode Simulation, um die einzelnen Schaltungsteile mit dem jeweils dafür passenden Simulator zu simulieren. Die große Problematik liegt dabei in der Zeitsynchronisation der beiden Simulatoren und in der möglichst realistischen Modellierung der Schnittstellen zwischen dem Analog- und dem Digitalsimulator. Es muss im allgemeinen Fall jeder Verbindungspunkt zwischen analog und digital über eine Konverterstruktur geführt werden. Dies erhöht die Komplexität der Schaltung und der Simulation zusätzlich.

Manche Simulationsumgebungen erlauben es, die jeweils "andere" Signaldarstellung mit Einschränkungen mitzusimulieren, sodass die Konversion entfallen kann. In diesem Fall leidet meist die Genauigkeit etwas. Man gewinnt aber bei der Simulationszeit, die der relevanteste Faktor ist.

5.5.6 Testvektoren

Testvektoren spielen im Entwurfsablauf eine wesentliche Rolle. Der Grund liegt darin, dass bei den Testvektoren, die das Ergebnis einer herkömmlichen Simulation sind, nicht nur die Eingangsstimuli für die Schaltung aufgezeichnet werden, sondern auch gleichzeitig die von der Schaltung gelieferten Ausgangszustände mitprotokolliert werden.

Die Aufzeichnung dieser Zustände kann entweder in einem fixen Zeitraster (= Strobe Interval) oder bei jeder Signaländerung erfolgen. Wichtig dabei ist, dass die Stimuli und die resultierenden Ausgangspegel für einen Zeitpunkt in der Testvektordatei eigentlich zu verschiedenen Zeiten (Am Beginn des Strobe Intervals werden die Eingangsgrößen angelegt und am Ende werden die jeweiligen daraus resultierenden Ausgangszustände aufgezeichnet) ermittelt werden. Dies bedingt natürlich eine sorgfältige Wahl dieser Zeit, sodass die Schaltung innerhalb dieses Intervals trotz aller Verzögerungszeiten auch tatsächlich auf den richtigen Wert kommen kann und keine Eingangssignaländerung "verschluckt" wird.

Nachstehend wird ein kleines Beispiel einer solchen Testvektordatei gezeigt. Im Kopf der Datei befinden sich die Angaben über die Zeiteinheit und die verwendeten Ein- (INPUTS) und Ausgänge (OUTPUTS). Die Angabe (to=max) bei den Ausgangssignalen bezieht sich auf den Aufzeichnungszeitpunkt. Im vorliegenden Fall ist der Aufzeichnungszeitpunkt das Ende des jeweiligen Intervals. Die Angabe des Zeitpunktes mit den jeweiligen Eingangs- und Ausgangssignalen erfolgt durch @0 (sprich zum Zeitpunkt 0 ps, da die Zeiteinheit (UNITS) ps sind). Anschließend werden die zu diesem Zeitpunkt angelegten Eingangssignale in der Reihenfolge ihrer Definition im Dateikopf angeführt (<000; A = 0, B = 0, CIN = 0) und dann die daraus resultierenden, simulierten Ausgangszustände am Ende der Aufzeichnungsperiode (>00; COUT = 0, SUM = 0) mitprotokolliert.

```
CODEFILE
UNITS ps
INPUTS A,B,CIN;
OUTPUTS COUT(to=max),SUM(to=max);
CODING(ROM)
# !initialize
@0 <000 >00;
@10000 <100 >01;
@20000 <010 >01;
@30000 <110 >10;
END
```

5.5.6.1 Anwendungen

Dadurch, dass in der Testvektordatei nicht nur die Eingangsstimuli sondern auch die daraus resultierenden Ausgangszustände vorhanden sind, hat man sozusagen das zum Zeitpunkt der Aufzeichnung vorhandene logische Verhalten "eingefroren". Damit ergeben sich folgende Anwendungen:

- Vergleich des Logikverhaltens über mehrere Entwurfsschritte hinweg, da die Simulatoren anhand der Testvektordatei einen Vergleich durchführen können.
- Fehlersimulation zur Evaluierung des gewählten Testmusters.

- Testmuster für den Fertigungstest. Häufig kann von den Herstellern eine Testvektordatei leicht in ein Testmuster für den Fertigungs- oder Prototypentest umgewandelt werden.

5.5.7 Fehlersimulation

Die Fehlersimulation bietet eine Möglichkeit, das Testmuster auf die damit erreichbare Fehlerabdeckung zu untersuchen. Es sollten mit einem Testmuster naturgemäß möglichst alle möglichen Fehler erkannt werden. Die Fehlersimulation funktioniert so, dass vom Simulator in die Schaltung Fehler eingebaut werden und anhand der Testvektoren dann ermittelt wird, ob dieser Fehler gefunden würde. Ein Fehler gilt dann als gefunden, wenn zwischen der Simulation der fehlerbehafteten Schaltung und dem Verhalten, das in der Testvektordatei aufgezeichnet ist, eine Abweichung an einem der Ausgänge auftritt. Es gibt unterschiedliche Varianten der Fehlersimulation in Hinblick auf das Aufbringen der Fehler (Einfachfehler; alle Schaltungsknoten werden nacheinander angesprochen etc.). Als Fehlermodell wird meist das sogenannte Stuck-At Fehlermodell verwendet. D.h., dass die Schaltungsknoten einmal fix auf Logisch Null (Stuck-At-0) und dann fix auf Logisch Eins (Stuck-At-1) gelegt werden. Dieses Fehlermodell ist einfach und deckt eine Vielzahl von in der Realität auftretenden Fehlern ab.

Der Aufwand für die Fehlersimulation ist sehr hoch, sodass es nicht in allen Fällen möglich ist sie vollständig durchzuführen.

5.6 Layout

Die Layouterstellung ist der Transfer der Schaltung in die Maskenstruktur, die für die Fertigung verwendet wird. Im Digitalbereich wird meist auf eine Bibliothek verwiesen, in der für die Logikgatter die entsprechenden Layouts vorhanden sind. Programme zum automatischen Plazieren und Verdrahten generieren aus diesen Bibliothekselementen ein Gesamtlayout. Bei Analogschaltungen ist auch in der heutigen Zeit noch immer die interaktive Plazierung und Verdrahtung von Hand vorherrschend. Die Unterstützung, die dabei vorhanden ist, sind Layoutgeneratoren, die aus den Vorgaben das Layout der Einzelbauelemente erstellen.

5.6.1 Layerbezeichnungen

Nachstehend werden für einen typischen CMOS-Prozess die für die Herstellung verwendeten Layer = Masken angeführt:

N-Tub-Mask (n-Wanne) → Field-Mask (SiO_2) → N-Field-Implant Mask → Gate Mask → Arsen-Phosphor Mask → Boron Mask → Poly2 Mask → Contact Mask → Metal1 Mask → Via Mask → Metal2 Mask → Nitrid Mask

In diesem Fall werden 12 Masken für die Fertigung benötigt. Bei aufwendigeren Prozessen sind es entsprechend mehr.

5.6.2 Schematic Driven Layout

Die Schaltplaneingabe (Schematic Entry) ist im Bereich der Analogschaltungsentwicklung nach wie vor dominant, da sie dafür die übersichtlichste Darstellungsform ist. Zu einem Bauelement des Schaltplans gibt es aber im Extremfall beliebig viele Realisierungen (Form, Type, Größe etc.). Um sicherzustellen, dass das endgültige Layout tatsächlich dem Schaltplan entspricht, wird häufig als Entwurfsmethode die des Schematic Driven Layouts angewendet, bei der die für das Layout relevanten Größen und Parameter im Schaltplan als Properties vorgegeben werden. Layoutgeneratoren erstellen aus den Bauelementen und den Properties die fertigungsgerechte Anordnung der Layer. Der zeitaufwendige und fehleranfällige Schritt der Layouterstellung wird damit erleichtert. Die Layoutgeneratoren sollten den

Schaltungsentwickler so gut als möglich unterstützen. Es sollte über einfache Parameter eine gute Unterstützung zur Umsetzung der eigenen Erfahrungen gegeben sein. Als Beispiel kann das Layout eines Transistors mit großem Weiten- zu Längenverhältnis dienen, bei dem über einen Parameter wahlweise die Kanalweite durch schlangenförmige Anordnung oder durch eine verzahnte Struktur erreicht werden kann. Im Idealfall sind die Layoutgeneratoren prozessunabhängig geschrieben und können auf diese Weise leicht auf verschiedene Herstellungsprozesse adaptiert werden.

5.6.3 Automatische Platzierung und Verdrahtung

Die automatische Layouterstellung (automatische Platzierung und Verdrahtung; Automatic Placement and Routing (APAR)) wird vorrangig im Bereich der digitalen integrierten Schaltungen eingesetzt. Dort sind mittlerweile recht gute Programme dafür vorhanden. Der Aufwand ist auch deswegen nicht so hoch, weil die Zellen in einer Bibliothek vorhanden sind und in ihrem Layout nicht mehr verändert werden.

Vorsicht ist geboten, wenn es bei der Konfiguration des Programmes darum geht, in welchen Schichten die Verdrahtung erfolgen soll. Grundsätzlich sollten nur die niederohmigen Metallisierungsebenen dafür verwendet werden.

Bei Standardzellenschaltungen wird bei diesem Entwurfsschritt auch angegeben, wie die Versorgungsspannung zu den Zellreihen geführt wird.

5.6.4 Mixed-Mode Layoutregeln

Bei der gemischt analog-digitalen Schaltungstechnik erfordert die Layouterstellung einige Erfahrung, damit sich parasitäre Erscheinungen nicht auf das Verhalten der analogen Schaltungskomponenten auswirken.

Die Schaltungsteile sind auf einem gemeinsamen Substrat untergebracht, über das es zu Verkopplungen zwischen den analogen und den digitalen Schaltungskomponenten kommen kann. Eine wirkungsvolle Abhilfe bieten sogenannte **Guard-Ringe**, die eine niederohmige Substratverbindung mit GND bzw. V_{DD} rund um sensible Analogschaltungen darstellen. Störströme werden über diese niederohmige Verbindung abgeleitet, ohne in das innenliegende Substratgebiet zu gelangen.

Wenn es auf die gute Übereinstimmung von Bauelementeeigenschaften ankommt (z.B. Matching der Transistorgeometrie bei Differenzverstärkerstufen und Stromspiegeln; Widerstands- oder Kapazitätsverhältnisse etc.), muss man einige grundlegende Regeln für die Layouterstellung unbedingt beachten. Diese werden nachfolgend stichwortartig angeführt:

- **Gleiche Orientierung** der "matchenden" Bauelemente, um Unsymmetrien in der Lithographie zu kompensieren.
- **Räumliche Nähe** der Komponenten, die gleiches Verhalten aufweisen sollen, um den Einfluss der Prozessgradienten über den Chip gering zu halten und die Wahrscheinlichkeit zu erhöhen, dass beide Komponenten auf derselben Temperatur liegen.
- **Gleiche "Umgebungsbedingungen"** für die Bauelemente damit alle Ränder der Bauelemente die gleiche Struktur in ihrer Umgebung haben (Eine integrierte Schaltung ist ein dreidimensionales Gebilde, das von der Schichtenfolge bestimmt ist !).
- Verhältnisse durch Verwendung von **Einheitsstrukturen** und deren Vervielfachung herstellen (z.B. Stromspiegel mit Verhältnis 1:2 aus drei gleichen Einzeltransistoren herstellen, die in gleicher Orientierung vorhanden sind. Das Verhältnis von 2 wird durch eine Parallelschaltung von zwei solcher Einzeltransistoren hergestellt).

- Große Strukturen in gleiche kleinere Einzelstrukturen aufspalten und diese **kreuzweise anordnen**, um Anisotropien in der Fertigung zu kompensieren.

5.6.5 Dummystrukturen zur Nachkorrektur

Manchmal werden auf integrierten Schaltungen Dummystrukturen (einfache Logikgatter, Operationsverstärker, Komparatoren etc.) implementiert, die vorerst keinen elektrischen Anschluss haben. Der Grund liegt darin, dass man für Evaluierungszwecke und bei Nichtfunktionieren der Schaltung eine einfache, schnelle und billige Möglichkeit hat, eine Schaltungsmodifikation durchzuführen. Dies erfolgt im allgemeinen durch die Neuerstellung zumindest einer Metallisierungsmaske, über die die benötigten zusätzlichen Schaltungen eingebunden werden. Da bei der Fertigung von Prototypenbausteinen nach wichtigen Fertigungsschritten Wafer zurückbehalten werden (Backup-Wafer) ist eine schnelle und kostengünstige (im Idealfall wird eine neue Maske benötigt) Reparatur möglich.

5.6.6 Testpads

Für die einfache Testbarkeit von Schaltungsknoten, die nicht über Padzellen nach außen geführt werden, kann beim Entwurf durch das Einbringen von Testpads vorgesorgt werden. Die Testpads bestehen aus einer quadratischen Fläche in der obersten Metallisierungsebene (Abmessung z.B. $20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$), die nicht passiviert ist. Damit ist eine einfache Kontaktierung für Messzwecke mit einer Nadel möglich.

5.7 Entwurfsprüfung

Das fertige Layout wird einigen Prüfungen unterzogen, die einerseits sicherstellen sollen, dass die Design-Regeln auch tatsächlich eingehalten werden. Andererseits wird überprüft, ob es eine Übereinstimmung zwischen Layout und Schaltung gibt. Der kritische Teil in diesem Zusammenhang ist meist nicht der Kernbereich der Schaltung sondern die Anbindung dieses Kernes an die Peripherie und die richtige Auswahl der Padzellen. Der Prüfablauf ist in Abbildung 5-16 schematisch dargestellt.

Bei der Extraktion werden aus den Schichtenkombinationen des Layouts die Transistoren, Gatter bzw. auch die parasitären Kapazitäten und Widerstände herausgerechnet, damit einerseits die nachfolgenden Prüfungen durchgeführt werden können und andererseits eine nachträgliche Simulation mit den parasitären Bauelementen möglich wird.

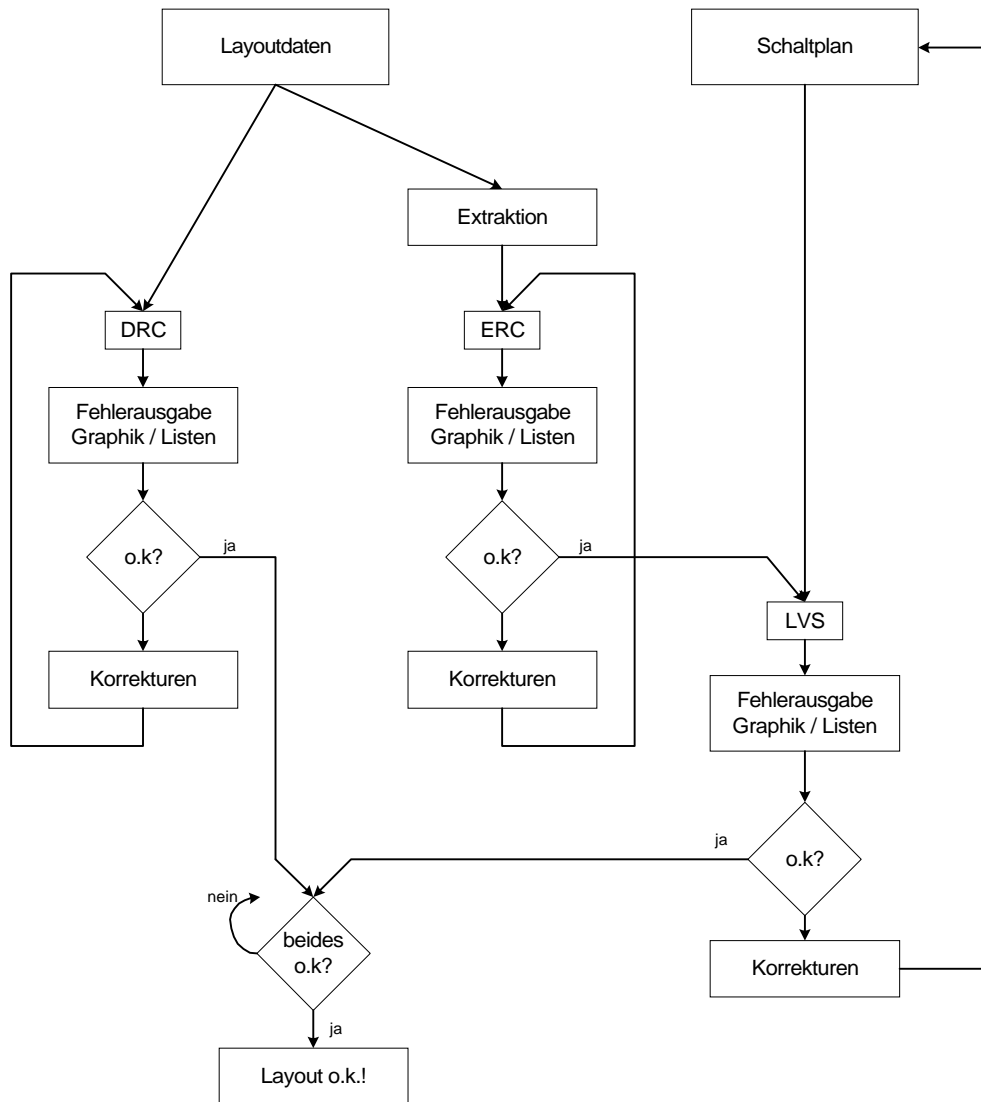


Abbildung 5-16: Flußdiagramm der Layoutverifikation

5.7.1 ERC

Beim Electrical Rules Check (ERC) wird geprüft, ob in der aus dem Layout extrahierten Schaltung Kurzschlüsse von mehreren Ausgängen untereinander oder zu einer der beiden Versorgungsspannungen vorliegen. Desweiteren werden nicht angeschlossene Eingänge ermittelt.

5.7.2 DRC

Beim Design Rules Check (DRC) werden die Vorschriften des Halbleiterherstellers bezüglich Mindestabmessungen (Breiten, Überdeckungen) und Mindestabständen überprüft. Diese Werte sind vom Hersteller so gewählt, dass die Fertigung mit hoher Wahrscheinlichkeit erfolgreich ist. Die Design Rules sind nicht immer gleich. Sie unterliegen während der "Lebenszeit" eines Prozesses einer Änderung, wenn durch Prozesscharakterisierungen ein Parameter als kritisch befunden wird.

Nachfolgend findet sich eine Liste mit typischen DRC Prüfungen für einen Standard CMOS-Prozess. Im vorliegenden Fall wird auf 120 Parameter geprüft.

3.10.2~min_spacing_metal1	3.9.4~not_allowed_angle_contact	4.8.9~min_spacing_diffcon_poly1
3.12.2~min_spacing_metal2	3.10.1~min_width_metal1	4.8.10~min_spacing_poly1con_diff
3.4.2~min_spacing_poly1	3.10.2~min_spacing_metal1	4.8.11~min_spacing_diffcon_pplus
3.7.2~min_spacing_poly2	3.10.3~notch_metal1	4.8.12~min_enc_pplus_diffcon
3.10.1~min_width_metal1	3.10.4~not_allowed_angle_metal1	4.8.13~min_spacing_poly1con_poly2
3.12.1~min_width_metal2	3.11.1~min_width_via	4.8.14~min_spacing_poly2con_poly1
3.4.1~min_width_poly1	3.11.2~min_spacing_via	4.8.16~max_cont_width
3.7.1~min_width_poly2	3.11.3~notch_via	no_metal1_beneath_via
3.10.3~notch_metal1	3.11.4~not_allowed_angle_via	no_metal2_over_via
3.12.3~notch_metal2	3.12.1~min_width_metal2	4.9.1~via_over_cpoly
3.4.3~notch_poly1	3.12.2~min_spacing_metal2	4.9.2~via_over_cont
3.7.3~notch_poly2	3.12.3~notch_metal2	4.9.3~min_enc_metal1_via
3.1.1~min_width_ntub	3.12.4~not_allowed_angle_metal2	4.9.4~min_enc_metal2_via
3.1.2~min_spacing_ntub	3.13.1~min_width_pad	4.9.5~min_spacing_via_cont
3.1.3~notch_ntub	3.13.2~min_spacing_pad	4.9.6~min_spacing_via_poly1
3.1.4~not_allowed_angle_ntub	3.13.3~notch_pad	4.9.7~min_enc_poly1_via
3.2.1~min_width_diffusion	3.13.4~not_allowed_angle_pad	4.9.8~min_spacing_via_poly2
3.2.2~min_spacing_diffusion	4.2.1~min_spacing_ndiff_pplus	4.9.9~min_enc_poly2_via
3.2.3~notch_diffusion	4.2.2~min_spacing_ndiff_ntub	5.1.1~min_length_gate
3.2.4~not_allowed_angle_diffusion	4.2.3~min_overlap_ndiff_ntub	5.1.2~min_width_gate
3.4.1~min_width_poly1	4.3.1~min_ext_pplus_pdiff	5.1.3~min_ext_poly1_gate
3.4.2~min_spacing_poly1	4.3.2~min_ext_ntub_pdiff	5.1.4~min_ext_diff_gate
3.4.3~notch_poly1	4.3.3~min_ext_pdiff_ntub	5.1.5~min_ext_ndiff_gate
3.4.4~not_allowed_angle_poly1	4.4.1~min_spacing_poly1_diff	5.1.6~min_ext_pdiff_gate
3.6.1~min_width_boron	4.5.1~poly2_over_diffusion	5.2.1~min_olvp_P1_P2
3.6.2~min_spacing_boron	4.5.2~poly2_over_pplus	6.1.1~pad_over_diff
3.6.3~notch_boron	4.5.3~min_spacing_diff_poly2	6.1.2~pad_over_poly1
3.6.4~not_allowed_angle_boron	4.5.4~min_spacing_pplus_poly2	6.1.4~min_enc_metal1_pad
3.7.1~min_width_poly2	4.5.5~min_spacing_poly1_poly2	6.1.5~min_enc_via_pad
3.7.2~min_spacing_poly2	4.5.6~min_ext_poly1_poly2	6.1.6~min_enc_metal2_pad
3.7.3~notch_poly2	4.5.7~min_ext_poly2_poly1	6.1.7~min_enc_metal1_padvia
3.7.4~not_allowed_angle_poly2	4.7.1~stack_metal1_metal2_pol1_poly2	6.1.8~min_enc_metal2_padvia
diff_without_contact	4.8.1~contact_not_metal1	6.1.9~min_spacing_diff_pad
floating_poly	4.8.2~poly1con_over_diff	6.1.10~min_spacing_poly1_pad
floating_poly2	4.8.3~poly2con_over_diff	6.1.11~min_spacing_cont_pad
floating_metal2	4.8.4~poly2con_over_poly1	6.1.12~min_spacing_unrelMetal1_pad
floating_metal1	4.8.5~min_enc_metal1_cont	6.1.13~min_spacing_pad_via
3.9.1~min_width_contact	4.8.6~min_enc_diff_cont	6.1.14~min_spacing_unrelMetal2_pad
3.9.2~min_spacing_contact	4.8.7~min_enc_poly1_cont	missing_arsenic_layer
3.9.3~notch_contact	4.8.8~min_enc_poly2_cont	missing_field_implant_layer

5.7.3 LVS

Bei der Layout-Versus-Schematic (LVS) Prüfung wird der Schaltplan mit der Schaltung verglichen, die aus dem Layout extrahiert wurde, um so die Konsistenz des Designs zu verifizieren.

5.8 Fertigung

Auf die eigentliche Fertigung wird im Rahmen dieses Skriptums nicht näher eingegangen. Dazu wird auf die grundlegende Literatur [3, 4] verwiesen. Es wird lediglich auf Teilaspekte eingegangen, die aus der Sicht des Entwicklers zu bedenken sind.

5.8.1 Maskenerstellung

Die Masken für die Fertigung werden aus einem sogenannten Maskensteuerband typischer Weise in einem Maßstab von 5:1 generiert und umfangreichen optischen Kontrollen unterzogen. Als Formate für die Steuerbänder werden GDSII oder EDIF verwendet. Die gängigen CAD-Werkzeuge unterstützen die Ausgabe von Layoutdaten in diesem Format, wobei die Namenskonvention und die Layerzuordnung vom Hersteller bekannt sein muss. Die Formate unterstützten zellbasierte Strukturen, sodass die Steuerbanddatenmenge durchaus in vertretbarem Rahmen bleibt.

Diese Steuerbanddatenformate bilden darüber hinaus auch eine gute Möglichkeit, reine Layoutdaten zwischen verschiedenen CAD-Werkzeugen zu transferieren, da meist auch die

Möglichkeit geboten wird, solche Daten zu importieren. Häufig findet sich diese Vorgangsweise bei den Padzellen, die üblicherweise direkt vom Hersteller übernommen werden und als fertige Layoutblöcke verwendet werden.

5.8.1.1 Single Run

Wenn ein Wafer lauter gleiche Bausteine enthält, spricht man von einem Single Run bei der Fertigung. Man erhält die maximale Anzahl von Bausteinen, was die Kosten bei hohen Stückzahlen reduziert. Die Kosten für die Masken und die Fertigung sind bei Prototypen aber recht hoch.

5.8.1.2 MPW-Run

Beim MPW Run (Multi-Project-Wafer Run) werden mehrere Einzellayouts zu einem Bausteincluster zusammengesetzt, der dann mehrfach auf dem Wafer vorhanden ist. Auf diese Art können die Herstellungskosten für Musterbausteine oder Kleinserien für die einzelnen Teilnehmer an dem MPW-Run reduziert werden.

Nicht alle Halbleiterhersteller unterstützen diese kostengünstige Art für die Prototypen- und Kleinserienherstellung.

5.8.2 Backup-Wafer

Von den Wafern eines Musterlots (z.B.: 10 Stück) werden nach den wichtigen Fertigungsschritten jeweils ein oder mehrere Wafer zurückbehalten. Im Endeffekt werden zwei oder drei Wafer bis zum Schluß gefertigt. Der Sinn dieser Maßnahme ist es, für den Fall von Korrekturen am Baustein, die sich z.B. nur durch eine Verdrahtungsänderung in der obersten Verbindungsebene durchführen lassen, den materiellen (z.B. nur eine neue Maske notwendig) und den zeitlichen (Fertigung kann auf die vorgefertigten Wafer aufsetzen) Aufwand für neue Bausteinmuster zu minimieren.

5.9 Mechanischer Aufbau

Die fertige integrierte Schaltung wird in ein Gehäuse eingebaut. Das Gehäusematerial kann Keramik oder Plastik sein. In beiden Fällen gibt es viele Varianten in Hinblick auf die Pinanzahl und die Pinanordnung. Die Prototypenbausteine werden üblicherweise in Keramikausführung mit unverlötetem Deckel geliefert, damit eine optische Inspektion möglich ist und evt. eine Korrektur- oder Messmöglichkeit am Chip besteht. Bei den Keramikgehäusen wird der Chip (engl. Die) stressfrei in der sogenannten Die-Attach-Area eingeklebt und mit den Bonddrähten zu den Gehäuseanschlüssen verbunden. Der Chip ist von Luft umgeben und daher keinen mechanischen Belastungen ausgesetzt, wie dies z.B. beim Verguss mit Plastik der Fall ist.

5.9.1 Einflüsse auf das elektrische Verhalten

Die Gehäuseart kann unterschiedliche Einflüsse auf das elektrische Verhalten haben.

5.9.1.1 Bonddrähte

Die Zuleitung der Signale und der Spannungsversorgung von den Bausteinpins zu den Anschlüssen am Chip erfolgt über Bonddrähte und die Zuleitung im Gehäuse. Neben dem ohmschen Widerstand stellen diese Zuleitungen eine Serieninduktivität dar, die für hochfrequente Signale bzw. die hohen Stromspitzen, die bei den Versorgungsspannungsanschlüssen auftreten können, eine beachtliche Impedanz bildet. Es ist daher zu bedenken, dass sich die Signalform am Bausteinpin und am Chip voneinander

unterscheiden können. Neben dieser Induktivität gibt es wegen der geringen Abstände und der parallelen Führung dieser Zuleitungen eine kapazitive Verkopplung. Die Größenordnungen liegen für die Serieninduktivität bei ca. 3 bis 10 nH. Der Wert der Kopplungskapazität bewegt sich in der Größenordnung von einigen hundert fF.

Die maximale Strombelastbarkeit für einen Bonddraht liegt bei ca. 100 mA.

5.9.1.2 Mechanische Spannungen im Substrat

Beim Verguss der integrierten Schaltung mit Plastik kann es zu mechanischen Spannungen am Chip kommen, die das elektrische Verhalten beeinflussen können. Diese Effekte sind klein, können aber im Bereich der hochgenauen analogen Schaltungstechnik, wo es auf die gute Übereinstimmung (Matching) von mehreren Bauelementen ankommt, eine Auswirkung haben.

5.10 Test

Der Test der fertigen integrierten Schaltung stellt eine der wichtigsten und aufwendigsten Schritte im gesamten Fertigungsablauf dar. Die Gründe für diese Tests sind nachstehend aufgelistet:

- Fertigung unterliegt statistischen Schwankungen
- Fehler verursachen Kosten
 - Wafer x
 - Chip im Gehäuse 10x
 - Printplatte 100x
 - System 1000x
 - Anwendung 10000x
- Garantie der Funktion für den Abnehmer
- z. B. Automobilindustrie fordert Ausfallraten von < 1 ppm
- Kontrolle der Produktionsqualität
- Steigerung der Ausbeute (= Gewinn)
- Erkennung von Maschinenausfällen bzw. sich einschleichenden Fehlern

5.10.1 Anforderungen und Fehlerarten

Die nachfolgend aufgelisteten Punkte sollen zeigen, wo die große Problematik beim Testen liegt:

- Feinere Strukturen ermöglichen eine höhere Integration auf einem Chip
- Feinere Strukturen erhöhen die statistischen Schwankungen in der Fertigung
- Höhere Integration verringert die Zugänglichkeit von Schaltungsteilen
 - quadratischer bis exponentieller Anstieg des Testaufwandes mit zunehmender Größe!!
- Schaltungen werden immer schneller
 - Test sollte möglichst in "Echtzeit" durchgeführt werden ==> sehr teure Testhardware
- 70 - 80 % der Gesamtkosten einer Chipproduktion entfallen auf den Test

Die Anforderungen, die an den Test gestellt werden, sind vielfältig und nicht immer zur Gänze abzudecken.

- **Umfassend:** Es sollten alle möglichen Fehler erfasst werden
 - Diese Forderung ist fast nie zu erfüllen
 - Teststrategien legen den Aufwand fest, der für den Test getrieben wird.
- **Schnell:** Reduktion der Kosten

- Anschaffungskosten (1 Tester - mehrere Tester)
- Betriebskosten (Personal etc.)
- **Billig und einfach**
 - Testhardwareaufwand nach den Stückzahlen; Geräte können für mehrere Produkte verwendet werden
 - Teststrategie mitentscheidend für Komplexität des Tests und damit für den Preis des Bausteins.

Bei der Herstellung einer integrierten Schaltung gibt es zwei grundsätzliche Fehlerarten; die punktuellen und die systematischen Fehler. Beide zusammen führen dazu, dass mit einer bestimmten Wahrscheinlichkeit Chips auf einem Wafer nicht korrekt funktionieren. Durch den Test sollen diese Chips gefunden und aussortiert werden.

- **Punktuelle Fehler**
 - Waferherstellung
 - Epitaxie
 - Oxidation
 - Abscheidung
 - Metallisierung
- **Systematische Fehler**
 - Design Rules noch nicht genau validiert
 - Maskenverschiebungen
 - Toleranzen in der Fertigung

5.10.2 Teststrategie

Wegen der meist recht komplexen Schaltungen ist die Auswahl einer entsprechenden Teststrategie schon beim Entwurf notwendig. In Abbildung 5-17 ist ein Überblick über die möglichen Wege zu sehen.

Ein Test mit Spezialhardware ist nur bei geringen Stückzahlen vertretbar. Dabei werden alle Bausteine gefertigt und anschließend typischer Weise in ihrer Zielhardware auf die korrekte Funktion hin ausgetestet. Die Kosten für die Fertigung auch der nicht korrekt funktionierenden Bausteine müssen dabei in Kauf genommen werden.

Der Selbsttest beruht darauf, dass im Baustein die Testroutinen in Form von zusätzlicher Hardware implementiert sind. Die interne Strategie kann vielfältig sein und sich über weite Strecken mit denen decken, die beim externen Test angewendet werden.

Der externe Test ist der „Standardfall“, bei dem über Tester durch Prüfmuster die korrekte Funktion und die Einhaltung der Spezifikationen geprüft wird. Die Prüfmuster können bewußt überlegt und ausgewählt (deterministischer Test) oder zufällig generiert (Zufallstest) werden. Beim pseudoerschöpfenden Test wird ein zufälliges Testmuster verwendet, mit dem durch eine Fehlersimulation eine bestimmte Fehlerabdeckungsüberschreitung nachgewiesen wird.

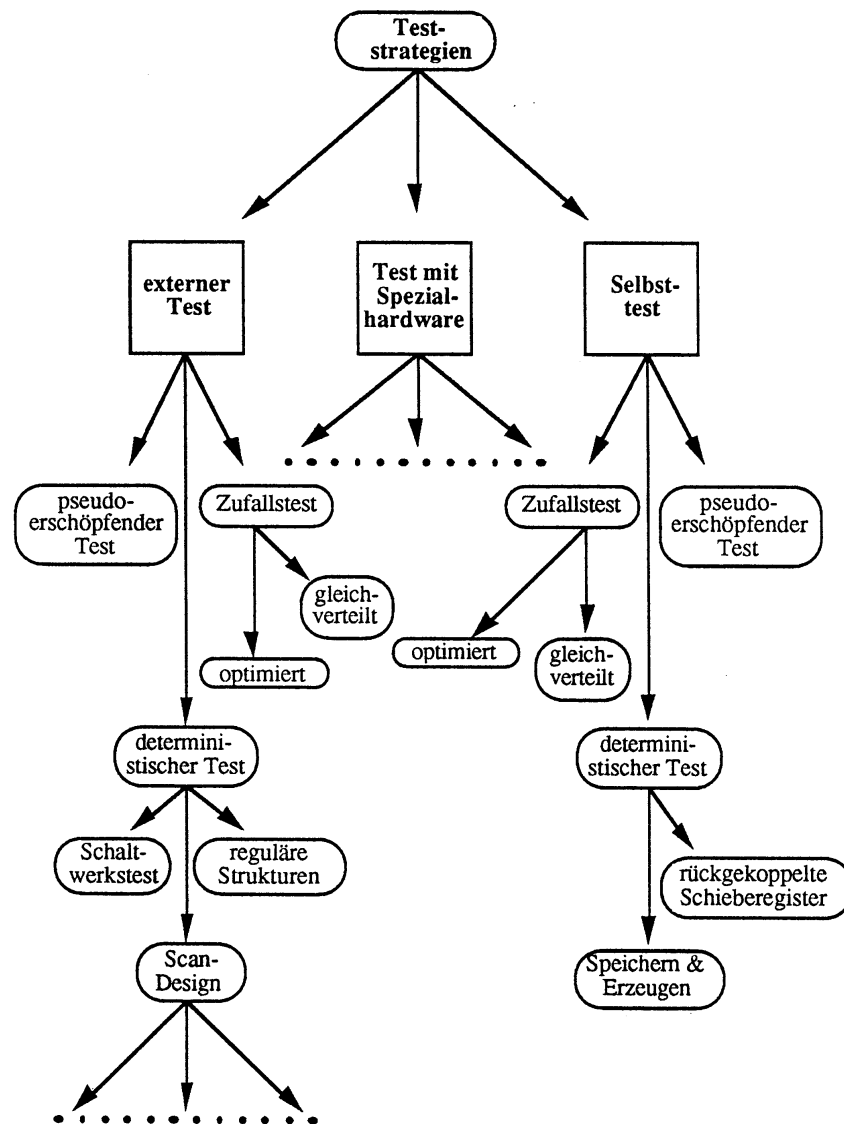


Abbildung 5-17: Teststrategien

Beim Test mit Zufallsmustern werden zufällige, technisch günstige Testmuster verwendet. Der Zufallsmustergenerator (z.B. linear rückgekoppeltes Schieberegister) liefert immer das gleiche Muster. Damit kann die korrekte Schaltungsantwort ermittelt werden. Die Testantwort wird über eine Signaturanalyse komprimiert und steht als zweiwertiges Ergebnis (funktioniert/funktioniert nicht) zur Verfügung. Es bedarf bei dieser Teststrategie umfangreicher statistischer Überlegungen zur Bestimmung der Fehlerabdeckung.

Ein beliebter Testansatz ist der Entwurf von selbsttestbaren Schaltungen. Sie bestehen im wesentlichen aus folgenden Komponenten:

- Testmustergenerator (TMG)
- Testdatenauswerter (TDA)
- Teststeuereinheit (TSE)

Von außen wird die Initialisierung vorgenommen. Der Test läuft im Baustein automatisiert ab. Mit dieser Methode ergeben sich folgende Vor- und Nachteile:

- Vorteil: Test mit Systemgeschwindigkeit und ohne externen Hardwareaufwand
- Nachteil: Zusätzliche interne Schaltungskomponenten

5.10.3 Fehlermodelle

Für die Evaluierung von Testmustern geht man in den meisten Fällen von einfachen Fehlermodellen aus, die nachfolgend angesprochen werden:

- Stuck-At oder Haftfehler
Dabei wird angenommen, dass ein Schaltungsknoten auf Grund des Fehlers fest auf einem der beiden Logikpegel liegt (Stuck-At-0: immer auf Low; Stuck-At-1: immer auf High). Viele in der Fertigung vorkommende Fehler können wirkungsvoll und einfach auf diese Art modelliert werden.
- Kurzschlüsse zwischen benachbarten Leitungen
Dieses Fehlermodell setzt die Kenntnis des Layouts voraus und ist daher komplizierter als das Stuck-At-Fehlermodell.

5.10.4 Prüfpfadtechnik

Der Test einer integrierten Schaltung wird wesentlich einfacher, wenn in einer Schaltung keine speichernden Elemente oder Rückkopplungen vorkommen. Bei der Prüfpfadtechnik (Scan-Pfad-Design) werden die speichernden Elemente von außen zugänglich gemacht. Damit bleiben nur Schaltwerke für die Simulation und den Test übrig. Für Schaltwerke kann auf einfache Art rechnerunterstützt ein vollständiges Testmuster ermittelt werden (ATPG: Automatic Test Pattern Generation).

Das Prinzip des Scan-Pfad-Designs beruht auf folgenden Tatsachen:

- Eingänge des Schaltwerkes sind direkt steuerbar
- Ausgänge des Schaltwerkes sind direkt beobachtbar
- Möglichkeit der seriellen Ladbareit und Auslesbarkeit der speichernden Elemente ist gegeben.

Die nachfolgende Abbildung zeigt den prinzipiellen Aufbau einer Schaltung, die nach dem Prüfpfadprinzip arbeitet. Die speichernden Elemente (Y) können über Multiplexer vom „Normalbetrieb“ in ein Schieberegister umgeschaltet werden. Das Testmuster für das Schaltwerk (SN) wird seriell geladen. Dann wird auf den Normalbetrieb umgeschaltet und die Ausgangszustände des Schaltwerkes wieder in die Speicher übernommen. Nach dem erneuten Umschalten auf den Schieberegisterbetrieb wird dieses Ergebnis seriell ausgelesen und interpretiert, ob die Antwort des Schaltwerkes korrekt war.

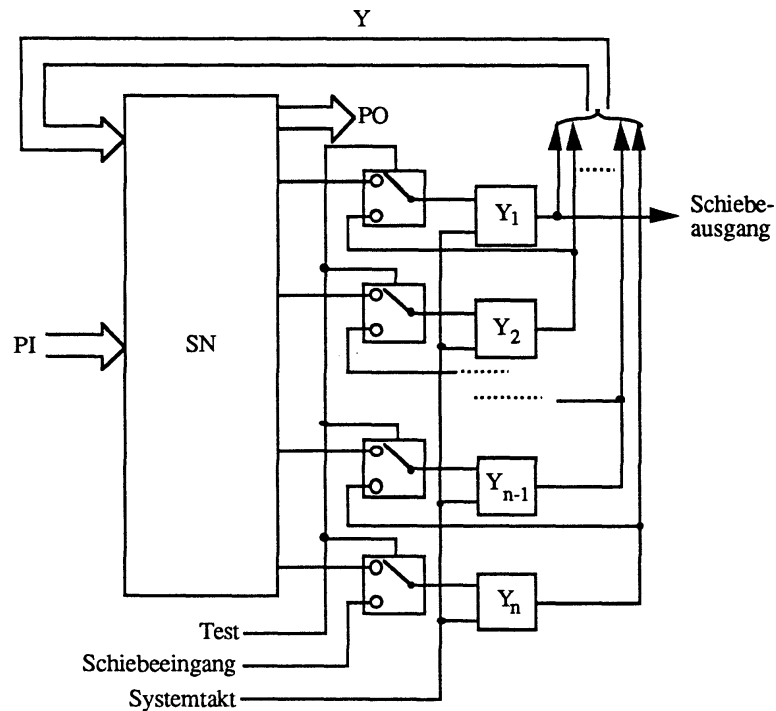


Abbildung 5-18: Prinzipschaltbild zur Scanpfadtechnik

Die Vorteile der Prüfpfadtechnik liegen auf der Hand:

- Einfache Teststrategie
- Testmustererzeugung einfach
- Testauswertung einfach
- Fehlerdiagnose nachträglich möglich

Die Nachteile der Prüfpfadtechnik sind nachfolgend dargestellt:

- zusätzliche Schaltungsteile
- steigende Testzeit
- kein Test in Echtzeit
- Entwurfsbeschränkungen

5.10.5 Boundary Scan (JTAG 1149.1)

Dieses Testverfahren ist standardisiert (IEEE 1149.1) und trägt der immer größer werdenden Systemintegration Rechnung. Mehrere Halbleiterhersteller (Joint Test Action Group) haben sich im Jahre 1985 erstmals Gedanken gemacht, wie sowohl ein Bauteiltest als auch ein Baugruppentest möglich ist, auch wenn die Bausteine schon auf einer Leiterplatte zusammengeschaltet sind. Das Verfahren beruht auf der Modifikation der Bausteinperipheriezellen (Boundary), die zu einem Schieberegister zusammengeschaltet werden können. Dieses Schieberegister (Boundary Scan Register) kann seine Daten auch parallel einlesen und ausgeben. Durch Multiplexer ist die Signalrichtung vorgebbar, sodass ein Signalmuster in das Bausteininnere („Interner Test“) oder aus dem Baustein hinaus („Externer Test“ = Baugruppentest) angelegt werden kann.

Die Bausteinperipheriezellen müssen modifiziert werden, damit sie diese Funktionalität bieten. Zusätzliche Ein- und Ausgänge zur Steuerung und eine zusätzliche interne Hardware muss vorhanden sein.

Ganz allgemein besteht die Boundary Scan Test Architektur aus folgenden Komponenten:

- Test Access Port (TAP)
- TAP Controller
- Instruction Register (IR)
- Test Data Registers (TDRs)

Die nachstehende Abbildung zeigt in einem Blockschaltbild die chipinterne Realisierung der Architektur.

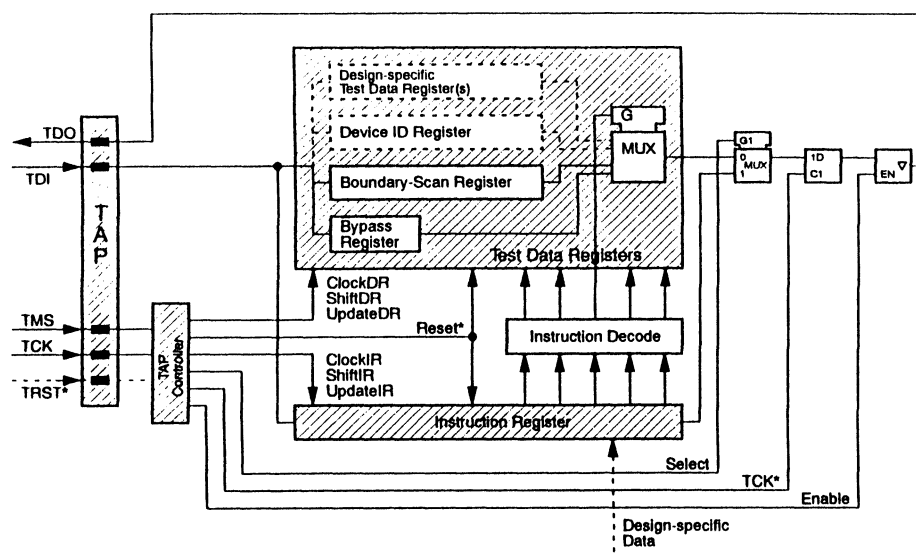


Abbildung 5-19: Blockschaltbild der chipinternen Boundary-Scan Architektur

Das Test Access Port (TAP) ist die Schnittstelle nach außen. Sie besteht aus vier zusätzlichen Bausteinpins (optional gibt es noch einen RESET-Eingang; TRST).

- TAP-Anschlüsse
 - Test Clock Input (TCK)
 - Test Mode Select Input (TMS)
 - Test Data Input (TDI)
 - Test Data Output (TDO)

Der TAP Controller dient zur Generierung von Takt- und Steuersignalen für die Test-Daten-Register (TDR) und das Instruction-Register (IR). Er stellt die Signalfade zum Ein- und Ausschreiben in bzw. aus dem Schieberegister ein und steuert die parallele Zwischenspeicherung der Testdaten im Boundary-Scan-Register. Die Ablaufsteuerung in diesem Controller ist in Form einer State-Machine realisiert, die in Abhängigkeit vom Pegel am TMS-Eingang bei steigender TCK-Flanke die Zustandsänderungen vornimmt.

Das State-Diagramm für den TAP-Controller (Abbildung 5-20) ist genormt. Die an den Übergängen definierten Pegel beziehen sich auf den TMS-Eingang bei einer steigenden TCK-Flanke.

Die beiden dominanten Pfade betreffen das Instruction Register (rechter Teil) und das Data-Register (linker Teil). Im jeweiligen SHIFT-Zustand wird der Bitstrom seriell beim Eingang TDI angelegt und mit der steigenden TCK-Flanke übernommen. In diesem Zustand werden die Registerinhalte seriell beim Ausgang TDO ausgegeben.

Die Befehle, die im Instruction-Register zwischengespeichert werden, sind zum Teil genormt (EXTEST, SAMPLE/PRELOAD, BYPASS) und zum anderen Teil herstellerspezifisch.

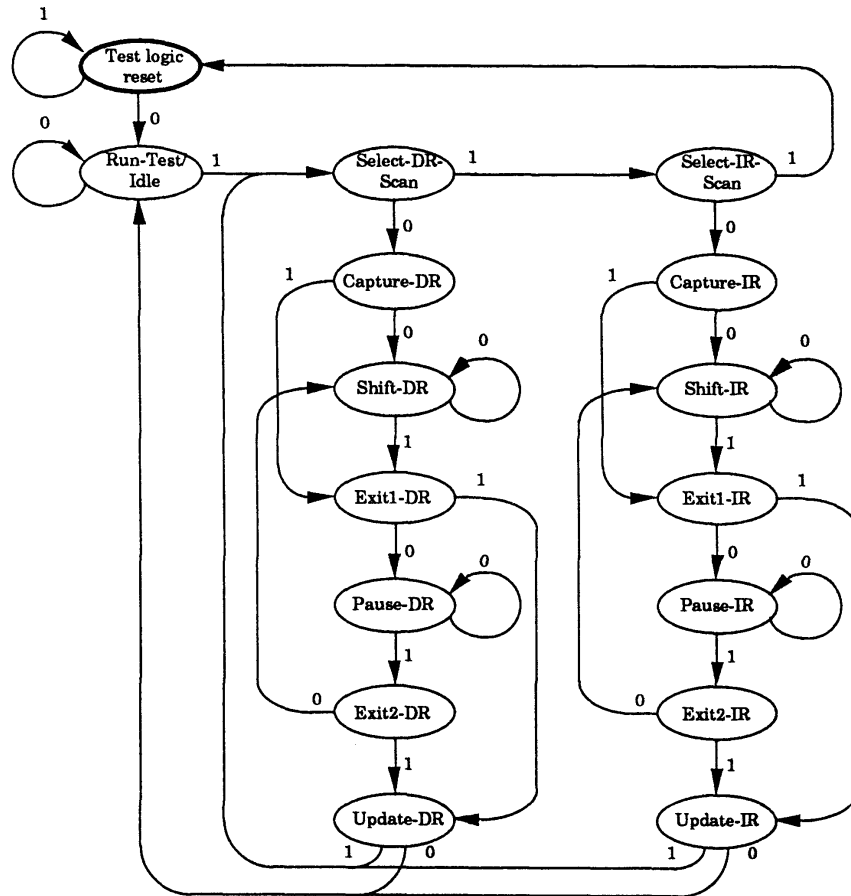


Abbildung 5-20: State-Diagramm zum TAP-Controller

Die schaltungstechnischen Modifikationen an den Peripheriezellen kann man aus der nachstehenden Abbildung entnehmen.

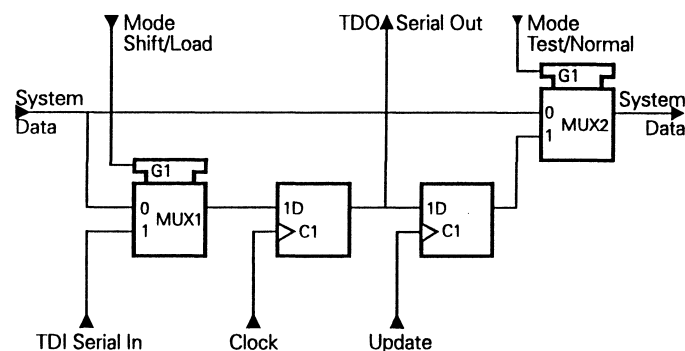


Abbildung 5-21: Blockschaltbild einer Boundary Scan Zelle

Mit der Hintereinanderschaltung der Boundary-Scan-Register von mehreren Bausteinen kann auch ein Baugruppentest durchgeführt werden. An einem Baustein wird mit der EXTEST-Funktion ein Signalmuster ausgegeben, das beim zweiten Baustein, mit dem er verbunden ist, über die SAMPLE-Funktion übernommen wird. Sind die richtigen Pegel angekommen, so ist klar, dass die Verbindung hardwaremäßig funktioniert. In Abbildung 5-22 ist das Beispiel für einen Baugruppentest dargestellt. Die Verbindungen (net1, net2 ...) zwischen Bausteinen können über diese Teststruktur überprüft werden. Die TMS-Leitung in diesem Bild ist als Bus zu verstehen; jeder Baustein wird mit einem eigenen TMS-Signal angesteuert. Der Takt kann parallel an allen Bausteinen anliegen und TDO des ersten Bausteins wird mit TDI des zweiten verbunden. Im gesamten Testsystem muss eine Ablaufsteuerung mit der Signalgenerierung vorhanden sein.

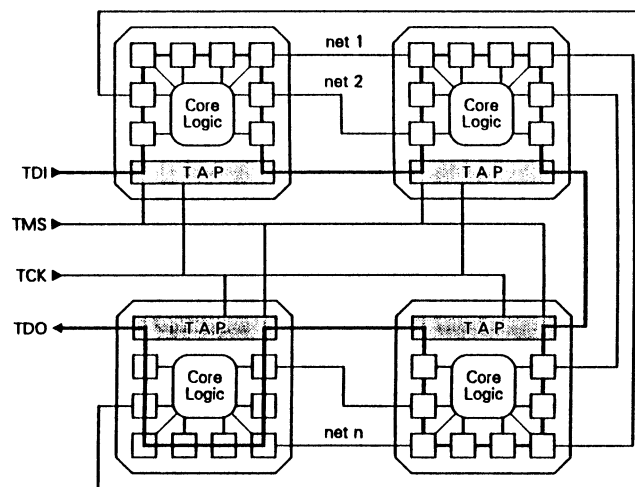


Abbildung 5-22: Baugruppentest

5.10.6 Testarten

Es gibt im Gesamtablauf des Test von integrierten Schaltungen einige Unterteilungen, die nachstehend angeführt werden.

5.10.6.1 Pre-Test

Dieser Test dient in erster Linie der Charakterisierung des Fertigungsprozesses durch Testchips bzw. Teststrukturen auf jedem Chip. Dabei werden insbesondere folgende Punkte durch optische Kontrolle und Messungen ermittelt:

- Dicke der Schichten
- Tiefe der Kontakte
- Konzentration von Dotierungen
- Verunreinigungen
- Breite der Leiterbahnen
- Schwellspannungen
- Schichtwiderstände

Diese Daten werden für jeden Fertigungsdurchlauf erhoben und stehen als sogenannte MAP-Daten zur Verfügung.

5.10.7 Prototypentest

Der Prototypentest wird einerseits mit einem eigenen Testaufbau zur Verifikation der korrekten Funktion der fertigen Schaltung durchgeführt. Auf der anderen Seite wird auch die Überprüfung des Testmusters vorgenommen (werden mit dem Muster die Fehler gefunden, die in der Funktionsüberprüfung aufgetreten sind). Die Charakterisierung der Bausteine erfolgt vor allem in Hinblick auf folgende Punkte:

- Temperaturverhalten
- Verhalten bei Über- und Unterspannung
- Strom- bzw. Leistungsaufnahme
- Fehlerdiagnose und -analyse zur Erkennung grenzwertiger Schaltungsteile (zeitliches Verhalten)

Bei Ausfällen und Fehlern hat man neben der messtechnischen Fehlereingrenzung noch folgende Analysemöglichkeiten:

- Optisches Mikroskop
- Spitzenmeßplatz
- Rasterelektronenmikroskop
- Strukturanalysen
 - Rutherford Spektroskopie
 - Röntgenstrahl
 - Laserstrahl
- Focused Ion Beam

5.10.7.1 Fertigungstest

Der Fertigungstest dient dem Nachweis der korrekten Funktion der Schaltung und dem Nachweis der Einhaltung der Spezifikationen (Leistungsaufnahme, Leckströme, Treiberstärken, Verzögerungszeiten etc.). Außerdem kann er auch zur Charakterisierung der Qualität und der Stabilität des Fertigungsprozesses verwendet werden.

5.10.7.1.1 Ablauf

Es werden sowohl auf Wafer-Ebene als auch auf Baustein-Ebenen (nach dem Einbau in ein Gehäuse) folgende Tests durchgeführt:

- Kurzschlußprüfung
- Basic Function Test (Entscheidung ob weitergetestet wird)
- Messung der statischen Parameter (Stromaufnahme, Belastbarkeit, Leckströme)
- Messung der dynamischen Parameter (charakteristische Zeiten)
- Test der logischen Funktion anhand des Testmusters

5.10.7.1.2 Burn In

Zur Eliminierung von Frühausfällen wird bei vielen Bausteinen ein sogenannter Burn-In Test als Erweiterung zum Fertigungstest durchgeführt. Dabei werden die Bausteine unter Spannung und mit einem Testmuster angesteuert eine bestimmte Zeit lang (meist einige Tage) in einer Umgebung mit hoher Temperatur betrieben und anschliessend nochmals getestet.

5.10.8 Kenngrößen der Fertigung

Zur Charakterisierung der Fertigungsqualität werden einigen Kenngrößen herangezogen, die nachfolgend erklärt werden:

Ausbeute (yield):

- Ausbeute = (Gute Teile)/(Gesamtanzahl der Teile)
 - Zu beachten ist, dass die Ausbeute exponentiell mit zunehmender Chipfläche sinkt.
- Es gibt verschiedene Modelle zur Bestimmung der Ausbeute. Eines davon ist das Produktmodell, bei dem die Gesamtausbeute aus der Teilausbeute für kritische Schaltungskenngrößen ermittelt wird. In der Tabelle 5-2 ist dies exemplarisch aufgelistet. Die Gesamtausbeute wird durch das Produkt der Teilausbeuten bestimmt.

	Schaltungsteil	Teilausbeute
40 cm	Leitungen	0.50
1000	Kollektor-Kontakte	0.87
4000	Basis-Kontakte	0.95
5000	Metall-Metall-Kontakte	0.93
3000	Emitter-Kontakte	0.65
35000 μm^2	Emitter-Basis-Verbindung	0.47
15000 μm^2	Schottky-Dioden Fläche	0.89
	Gesamtausbeute	0.10

Tabelle 5-2: Produktmodell zur Ausbeutebestimmung

Produktqualität :

- Darunter versteht man den Prozentsatz der ausgelieferten Chips, die korrekt funktionieren.
- Der sogenannte **Defekt-Level** gibt den Prozentsatz der ausgelieferten Chips an, bei denen ein vorhandener Fehler **nicht** erkannt wurde.
 - Abhängig von der Ausbeute
 - Abhängig von der erreichten Fehlererfassung im Testmuster (vgl. Tabelle 5-3)

Fehlererfassung: →	90.0 %	98.5 %	99.2 %	99.6 %
Ausbeute: 10.0 %	79.4 %	96.6 %	98.1 %	99.0 %
30.0 %	88.7 %	98.2 %	99.0 %	99.5 %
50.0 %	93.3 %	99.0 %	99.4 %	99.7 %

Tabelle 5-3: Produktqualität in Abhängigkeit von Ausbeute und Fehlererfassung

Fehlerabdeckung:

Die Fehlerabdeckung gibt an, wie gut d.h. bis zu welchem Prozentsatz ein Testmuster die möglichen Fehler in der Schaltung auch tatsächlich findet. Den Aufwand für die Erstellung des Testprogramms mit großer Fehlerabdeckung muss man in Relation zu den Stückzahlen sehen. Nur bei kleinen Stückzahlen müssen Kompromisse geschlossen werden. Das Beispiel in Tabelle

5-4 zeigt diesen Sachverhalt für einen ASIC, der eine Komplexität von ca. 4000 äquivalenten Gattern aufweist.

Fehlerabdeckung des Testprogramms	Entwicklungszeit für Testprogramm	gerechtfertigt für Stückzahl
70-80 %	1 Mannwoche	10-100
90%	+1 Mannwoche	100-1000
95 %	+2 Mannwochen	1 K- 10K
99 %	+4 Mannwochen	10K-100K

Tabelle 5-4: Fehlerabdeckung, Aufwand

6 Literatur

6.1 Verwendete

- [1] Parks H. G.; The Electrical Engineering Handbook, Second Edition; CRC Press, IEEE Press; 1997; ISBN 0-8493-8574-1; S. 541
- [2] Brewer J. E.; The Electrical Engineering Handbook, Second Edition; CRC Press, IEEE Press; 1997; ISBN 0-8493-8574-1; S. 649
- [3] Pribyl W.; Skriptum zur Vorlesung aus "Integrierte Schaltungen 1", Institut für Elektronik, TU-Graz
- [4] Weste N. E., Eshraghian K.; Principles of CMOS VLSI Design; Second Edition, Addison Wesley, 1993; ISBN 0-201-53376-6
- [5] Arora N.; MOSFET Models for VLSI Circuit Simulation; Springer Verlag Wien-New York; 1993; ISBN 3-211-82395-6; S. 32
- [6] Enz C., Krummenacher F., Vittoz E.; An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications; AICSP special issue on Low-Voltage and Low-Power Circuits, 1994
- [7] Gray P., Meyer R.; Analysis and Design of Analog Integrated Circuits, Third Edition, John Wily & Sons, Inc.; 1993; ISBN 0-471-57495-3; S. 34
- [8] 2.0-Micron, 1.2-Micron, 1.0-Micron and 0.8-Micron Standard Cell Databook; Austria Mikrosysteme International AG, 1995
- [9] Zellbibliothek Digital- und Peripheriezellen; MILIB 3 μ CMOS Digital/Analog Gate Arrays; MIKRON Gesellschaft für integrierte Mikroelektronik mbH; 1988
- [10] Tietze U., Schenk Ch.; Halbleiter-Schaltungstechnik; Springer Verlag; mehrere Auflagen.
- [11] Allen Ph. E., Holberg D. R.; CMOS Analog Circuit Design; Saunders College Publishing; 1987; ISBN 0-03-006587-9
- [12] Laker K. R., Sansen W. M.C.; Design of Analog Integrated Circuits and Systems; McGraw-Hill; 1994; ISBN 0-07-036060-X
- [13] Geiger R. L., Allen Ph. E., Strader N. R.; VLSI Design Techniques for Analog and Digital Circuits; McGraw-Hill; 1990; ISBN 0-07-023253-9
- [14] Widlar R.J.; New developments in IC voltage regulators; IEEE Journal of Solid-State Circuits, vol. SC-6; pp.2-7, February 1971
- [15] Brokaw P.; A simple three-terminal IC bandgap reference; IEEE Journal of Solid-State Circuits, vol. SC-9; pp.388-393, December 1974
- [16] Vittoz E., Fellrath J.; CMOS analog integrated circuits based on weak inversion operation; IEEE Journal of Solid-State Circuits, vol. SC-12; pp.224-231, June 1977
- [17] Vittoz E., Neyroud O.; A low-voltage CMOS bandgap reference; IEEE Journal of Solid-State Circuits, vol. SC-14; pp.573-577, June 1979

6.2 Weiterführende

- [18] Abramovici M., Breuer M.; Digital Systems Testing and Testable Design; Computer Science Press, 1990; ISBN 0-7167-8179-4
- [19] Chang H.; A Top-Down, Constraint-Driven Design Methodology for Analog Integrated Circuits; Kluwer Academic Publishers, 1997; ISBN 0-7923-9794-0
- [20] Huijsing J. [Hrsg.]; Analog Circuit Design; Kluwer Academic Publishers, 1993; ISBN 0-7923-9288-4
- [21] Plassche R. [Hrsg.]; Analog Circuit Design; Kluwer Academic Publishers, 1997; ISBN 0-7923-9968-4
- [22] Roberts G. W., Lu A.; Analog Signalgeneration for Built In Self Test of Mixed Signal Integrated Circuits; Kluwer Academic Publishers, 1995; ISBN 0-7923-9564-6
- [23] Nebel W.; Low Power Design in Deep Submicron; Kluwer Academic Publishers, 1997; ISBN 0-7923-8103-3
- [24] Antao B. A. A. [Hrsg.]; Modeling and Simulation of Mixed Analog-Digital Systems; Kluwer Academic Publishers, 1996; ISBN 0-7923-9738-X
- [25] Arora N.; MOSFET Models for VLSI Circuit Simulation; Springer Verlag, 1993; ISBN 0-387-82395-6
- [26] Tsividis Y.; Operation and Modeling of the MOS Transistor; McGraw-Hill, 1987; ISBN 0-07-065381-X
- [27] Michael Ch., Ismail M.; Statistical Modeling for Computer-Aided Design of MOS VLSI Circuits; Kluwer Academic Publishers, 1993; ISBN 0-7923-9299-X
- [28] Jha N. K., Kundu S.; Testing and Reliable Design of CMOS Circuits; Kluwer Academic Publishers, 1990; ISBN 0-7923-9056-3
- [29] Plassche R.; Integrated Analog-to-Digital and Digital-to-Analog Converters; Kluwer Academic Publishers, 1994; ISBN 0-7923-9436-4
- [30] Wolf W. H.; Modern VLSI Design: Systems on Silicon; Prentice Hall, 1998; ISBN 0-13-989690-2
- [31] Razavi B.; RF Microelectronics; Prentice Hall, 1998; ISBN 0-13-887571-5

☺ **IEEE-Publikationen** (IEEE, Institute of Electrical and Electronics Engineers, Inc.):

Journal of solid-state circuits

Transactions on circuits and systems

Transactions on semiconductor manufacturing

Transactions on computer-aided design of integrated circuits and systems

☺ **Tagungsbände** zu einschlägigen internationalen Konferenzen (ISSCC, International Solid-State Circuits Conference; ESCCIRC, European Solid-State Circuits Conference ...)

☺ **Newsgroups**, die über *news.tu-graz.ac.at* verfügbar sind:

alt.electronics.analog.vlsi

comp.lsi

comp.lsi.cad

comp.lsi.testing

sci.nanotech

7 Index

A

Aktives Gebiet 14
ATPG 130
Ausbeute 136

B

Backup-Wafer 123
Bandabstandsreferenzen 92
Basic Function Test 135
Behavioral Description 110
Beschreibung des Datenflusses 110
BiCMOS-Prozess 19
Bipolartransistoren 21
bird's beak 14
BJT 21
 Early-Spannung 46
 Ebers-Moll-Modell 45
 laterale 45
 vertikale 45
Bonddraht 65
Bottom Up Design 98

C

Corner Analyse 115
CPLD 104

D

Dataflow Description 110
Defekt-Level 136
Differenzverstärkung 90
Diffusionskapazität 24
Dummy-Schalter 78

E

Eingangsbiasstrom 91
Eingangsgleichtaktbereich 90
Eingangsoffsetspannung 90
Eingangsoffsetstrom 91
EKV-Modell 42
EPLD 105
Extraktion 123

F

Fehlerabdeckung 136
Fehlermodell 121
Feld-Oxid 14
Feld-Transistor 17
Fertigungsprozesse 13
 N-Wanne 13
 P-Wanne 13
 Zwei-Wannen 14
Fertigungsschritte 14
 Dotierung 16
 Ionenimplantation 14
 Kontaktlöcher 17

LOCOS 15
Oxidation 14
Passivierung 17
FPGA 104
Funktionale Simulation 115

G

GAL 105
Gallium-Arsenid 13
Gatekapazität 24
Gatteräquivalent 63
Gegenkopplung 85
Gleichtaktunterdrückung 90
Gleichtaktverstärkung 90
Guard-Ringe 122

I

Instances 119
Instruction Register 132
Inversionsschicht 30

J

JTAG 106

K

Kanallänge 33
Kanallängenmodulation 37
Kanalweite 33
Kaskodeschaltung 85

L

Ladungsinjektion 76
Latch-Up 20, 28
Layoutgeneratoren 121
LCA 104
LDD-Struktur 17
Logiksimulation 115

M

Makrozellen 105
Matching 22, 122
Mitkopplung 85
Mixed-Mode Simulation 115
Monte-Carlo-Analyse 117
MOS-Feldeffekttransistoren 21
MOST
 schwache Inversion 42
 Transistorkapazitäten 41

N

NMOST
 Ausgangskennlinie 35
 Ausgangsleitwert 39
 Eingangskennlinie 35
 Steilheit 39

O

Offsetspannung 76
Offsetstrom 76

P

Pad 65
PAL 105
pinch off 32
PLA 105
Produktqualität 136
Prozessparameter
 typical mean 69
 worst case one 116
 worst case power 69
 worst case speed 69
 worst case zero 116

R

Routingkapazität 26

S

Sättigungsbereich 32
Scan-Pfad-Design 130
Schaltfrequenz 76
Schichtwiderstand 22
Schmitt-Trigger 66
Schutzstruktur 65
Schwellspannung 30
Sensitivitätsanalyse 117
Signaturanalyse 129
Silicon Foundary 98
Silizium 13
SOI-Struktur 20
Spannungsverzögerungsfaktor 70
Sperrbereich 31

Sperrschichtkapazität 24
Störabstand 57
Strobe Interval 120
Structural Description 110
Strukturbeschreibung 110
Substratpotential 19
Substratsteuereffekt 36

T

TAP Controller 132
Temperaturfaktor 70
Test Access Port 132
Test Data Registers 132
Top Down Design 98

U

Unterdiffusion 16

V

Verarmungszone 30
Verdrahtungskanäle 101
Verhaltensbeschreibung 110
via 17
Via 27

W

Widerstandsbereich 31

Y

yield 136

Z

Zellreihe 101