

Cours CSC_5RO06_TA

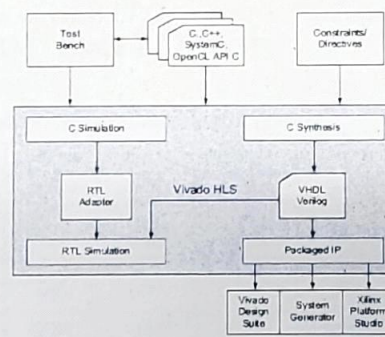
Accélérateurs matériels pour l'IA et la robotique

Examen 1H00 tous documents autorisés

14/10/2024

1. Question 1 – Accélérateur matériel - Modélisation HLS - (7 points)

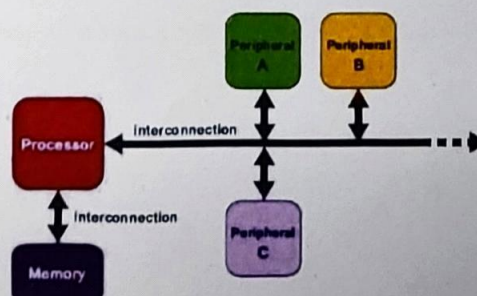
- 1.1 Quelles sont les caractéristiques des applications pour lesquelles les accélérateurs matériels sont-ils plus performants que les implémentations logicielles sur processeurs ?
- 1.2 définitions : donnez les définitions de la latence d'une conception (« *design latency* ») ? du débit d'une conception (« *design throughput* ») ?
- 1.3 la comparaison de performances entre différentes conceptions sur la base des métriques « *design latency* » et « *design throughput* » est-elle suffisante pour sélectionner la conception la plus performante ? justifiez.
- 1.4 Décrire le flot de conception HLS Xilinx disponible pour la conception de systèmes embarqués à base de circuit



Vivado HLS Design Flow

Quel est l'intérêt d'une conception HLS depuis le langage C ou C++ ? justifiez.

- 1.5 les accélérateurs sont implémentés en qualité de périphériques comme indiqués sur la figure suivante :

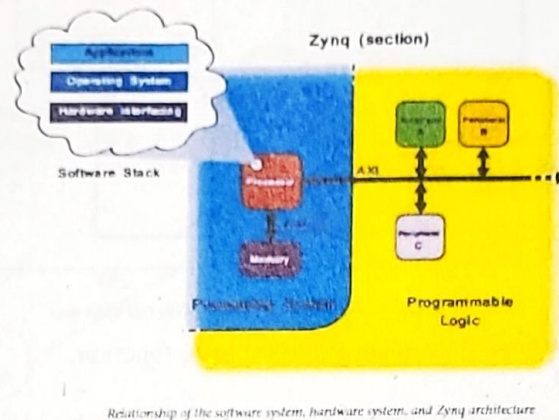


The hardware system architecture of an embedded SoC (simplified)

Quels sont les facteurs limitatifs aux performances et/ou aux nombres des accélérateurs matériels dans

cette configuration d'architecture ? justifiez.

- 1.6 dans le circuit FPGA Xilinx Zynq les accélérateurs matériels sont implémentés sur la partie programmable du circuit.



Les fréquences possibles du processeur ARM situé sur la partie PS sont de 667 MHz, 766 MHz et 866 MHz. Ces fréquences ne sont pas atteignables sur la partie PL pour les accélérateurs matériels. D'autre part l'interface PS-PL inclut des interfaces AMBA AXI pour la communication de données :

- deux 32-bit AXI master interfaces
- deux 32-bit AXI slave interfaces
- Quelles sont les recommandations de conception d'accélérateurs matériels faites-vous ? justifiez.

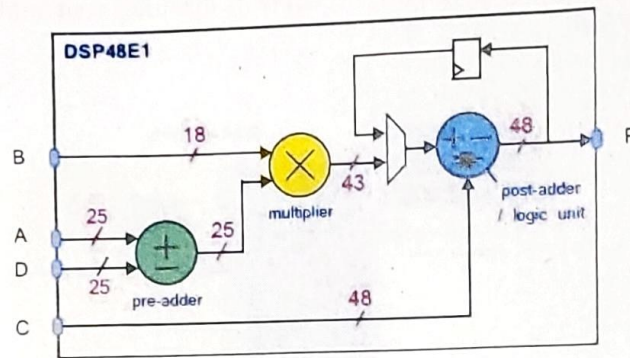
2. Question 2 – Circuit FPGA - (7 points)

- 2.1 donnez les avantages et inconvénients des circuits FPGA Justifiez (5 lignes max)
- 2.2 les ressources principales des circuits FPGA sont : 1. PLC (programmable logic cells) 2. LUT Look up table 3. Flip-flops 4. BRAM : Block RAM 5. DSP

Table 1: Zynq-7000 and Zynq-7000S All Programmable SoCs (Cont'd)

Device Name	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
Part Number	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Xilinx 7 Series Programmable Logic Equivalent	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA
Programmable Logic Cells	23K	55K	65K	26K	74K	85K	125K	275K	350K	444K
Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
Block RAM (# 36 Kb Blocks)	1.8 Mb (50)	2.5 Mb (72)	3.8 Mb (107)	2.1 Mb (60)	3.3 Mb (95)	4.9 Mb (140)	9.3 Mb (265)	17.6 Mb (500)	19.1 Mb (545)	26.5 Mb (755)
DSP Slices (16x25 MACCs)	66	120	170	80	160	220	400	900	900	2,020
Peak DSP Performance (Symmetric FIR)	73 GMACs	131 GMACs	187 GMACs	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs

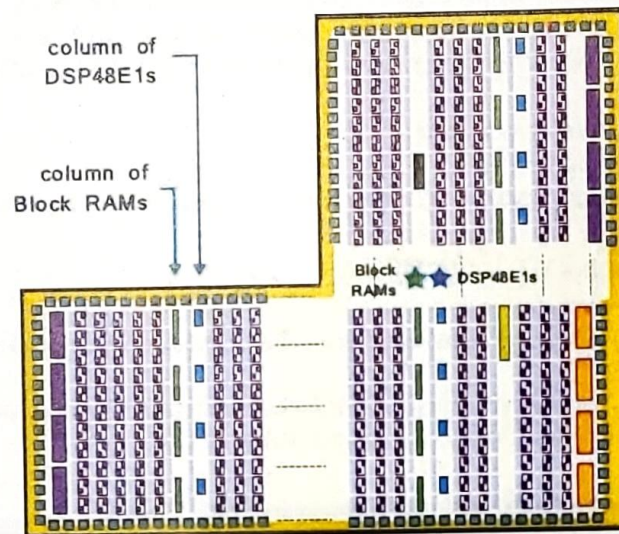
- 2.3 DSP la macro DSP implémentée sur circuit FPGA est décrite ci-dessous :



Arithmetic capabilities of the DSP48E1 slice

Proposez une fonction simple en C pouvant exploiter cette fonction.

2.4 l'architecture de la partie PL du circuit FPGA Xilinx Zynq place les ressources à des positions particulières sur le circuit.



The logic fabric and its constituent elements

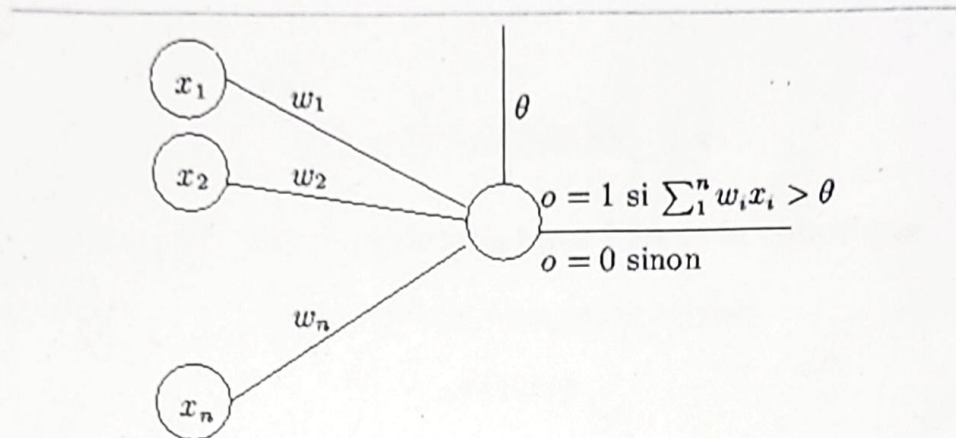
Quel est l'impact de ces positionnements sur la performance des systèmes synchrones ? justifiez.

3. Application IA – Circuit FPGA - (6 points)

L'intelligence artificielle utilise de nombreuses techniques d'apprentissage pour ses applications. Une technique très largement utilisée est celle des réseaux de neurones. Le perceptron est un élément unitaire de calcul dans les réseaux de neurones.

Définition Un perceptron linéaire à seuil prend en entrée n valeurs x_1, \dots, x_n et calcule une sortie o . Un perceptron est défini par la donnée de $n+1$ constantes : les coefficients synaptiques w_1, \dots, w_n et le seuil (ou le biais) θ . La sortie o est calculée par la formule :

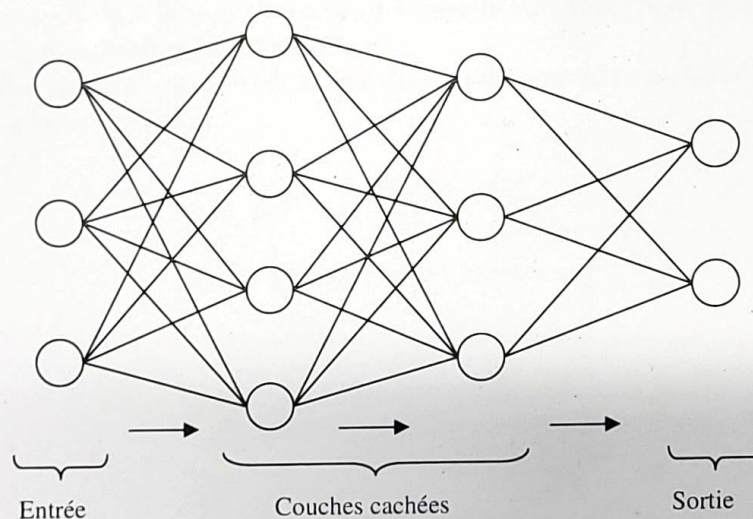
$$o = \begin{cases} 1 & \text{si } \sum_i w_i x_i > \theta \\ 0 & \text{sinon} \end{cases}$$



Le perceptron avec seuil

- 3.1 Ecrire un programme C/C++ qui décrit un perceptron. Ce code est-il synthétisable ? Quelles ressources du circuit FPGA Zynq présente un intérêt pour implémenter ce code ?

3.2



Quelles sont les ressources du circuit FPGA Xilinx Zynq qui présentent un intérêt prioritaire ? nous souhaitons optimiser la latence et le débit de ce circuit. Proposez des directives le permettant.

Nous souhaiterions implémenter un réseau de neurones ayant au total 2000 neurones. Quelle est votre proposition d'implémentation