***SUBIECTUL 1***

Implementarea modulelor în Verilog se face prin blocuri.

Structura:

* module <nume\_modul>(<lista de porturi>)
* <declaratii>
* <obiecte ale modului>
* Endmodule

Implementarea comportamentala se implementeaza direct fuctia asociata blocului, evitand trecerea prin fiecare poarta in parta.

Operatii:

* ~ NOT;
* & AND;
* | OR;
* + SUMA;
* \* INMULTIRE;
* - DIFERENTA;
* / IMPARTIRE

Assign se refera atribuire continua ceea ce inseamna ca la fiecare modificare a parametrilor de intrare se va modifica val la ieire in mod automat.

Asignarea se poate realiza:

* continuu - (always) nu necesita triggerare
* procedural - (begin ... end) - necesita triggerare

Implementarea procedurala este specifica cazurilor in care avem nevoie de calculul valorilor din fire in functie de un parametru de intrare.

Modulele implementate structural se axeaza pe aspectele fizice, mai exact utilizarea componentelor, precum:

* procesorul,
* placa de baza,
* sumatoarele,
* portile,
* registrii,
* tranzistorii,
* diodele

Modulele implementate comportamental sunt reprezentate de aplicatii software sisteme de operare in care se implementeaza secvente de instructiuni sub forma de functii si subrutine. Acestea au o implementare de nivel mai ridicat si se axeaza pe functionalitate.

Testbench-ul este folosit pentru a verifica functional codul in ideea studierii formelor de unda obtinute dupa simulare.