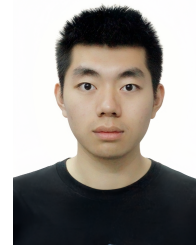


# 龚开宸

手机：18270359936 · 邮箱：gongkch2024@shanghaitech.edu.cn

性别：男 · 籍贯：江西



## 基本信息

本科 GPA: 3.72 / 4

本科专业排名: 12 / 211 (5.3%)

语言技能: CET-4: 571 CET-6: 568

本科就读院校: 南昌大学计算机科学与技术 (211 工程, 双一流建设高校)

研究生在读院校: 上海科技大学计算机科学与技术 (双一流建设高校)

2020-2024

2024-2027

## 项目经历

### XV6 操作系统内核改进

XV6 是一个类 unix 操作系统。在阅读源码和官方手册的基础上, 为 XV6 增加了新功能, 优化了 XV6 的性能。在项目中加深了对操作系统的理解, 锻炼了系统编程的能力。

功能实现:

- 为 XV6 增加了 backtrace, sysinfo 等系统调用。backtrace 可以根据栈帧打印函数调用链, 能够提升调试的效率。sysinfo 能在终端打印出系统目前所可用的内存大小和目前非阻塞状态的进程数量, 能有效的监控系统运行情况。
- 重新设计了 XV6 的内存分配器。为每一个进程单独分配空闲内存链表, 降低了 kalloc 实现中锁的竞争, 提高了内存分配的效率。
- 为 XV6 进行了写时复制 (copy on write)。在使用 fork 创建子进程时, 不分配新空间, 只拷贝引用。当子进程试图修改资源内容时, 再为其分配物理内存。

### 一生一芯第六期 B 线

基于 Chisel/Verilog 的流水线 RISC-V 处理器。

主要内容:

- 软件实现 RV32E 行为模拟器 NEMU (NJU-emulator), 为处理器添加各类 trace, 以及一个迷你调试器。
- 硬件使用 chisel/verilog 实现的顺序 5 级流水线架构的 RV32IM 处理器, 支持异常能够运行 RT-Thread 系统, 可以通过 AXI 总线连接到外设。
- 测试本项目采取差分测试的方式验证处理器的行为, 先通过开源模拟器 spike 校准 NEMU, 再通过 NEMU 校准处理器。

### 基于 RISC-V 的流水线仿真器

使用 C++ 实现了支持二级 Cache、虚拟内存、简单分支预测的乱序单发射五级流水线模拟器。

主要内容:

- Cache 配置可配置的 Non-inclusive Cache, 可通过配置文件指定 Cache Line 的大小以及 Cache 的写回策略等。
- 虚拟内存配置使用二级页表实现虚拟内存, 一级、二级页面数都是 10 位。
- 乱序算法分别使用 Scoreboard 算法和 tomasulo 算法实现处理器的乱序。
- 项目特色基于 vue-press 可视化调试器。

## 编程技能

熟悉 cpp / c、java、python、Android 开发以及 Linux 系统的使用。

## 荣誉奖项

2021-2022 学年一等奖学金、优秀共青团员、社会活动积极分子等。

## 社会活动

- 南昌大学新媒体研发部成员, 为部门同学提供 Linux 基础的课程培训。(2021-2023)
- 南昌大学百年校庆志愿者 (2021), 第八届互联网 + 创新创业大赛志愿者 (2021)。活动期间, 为老师, 同学提供技术支持。