

# ICS Homework 2

崔士强 PB22151743

2023 年 10 月 20 日

T1

左上: C

左下: C

右上: A

右下: A

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

表 1: 真值表

T2

如下图所示, NAND 可以组成非门, 从而组成与门, 进一步组成或门。由于与门, 非门, 或门逻辑完备, 因此 NAND 门也是逻辑完备的。

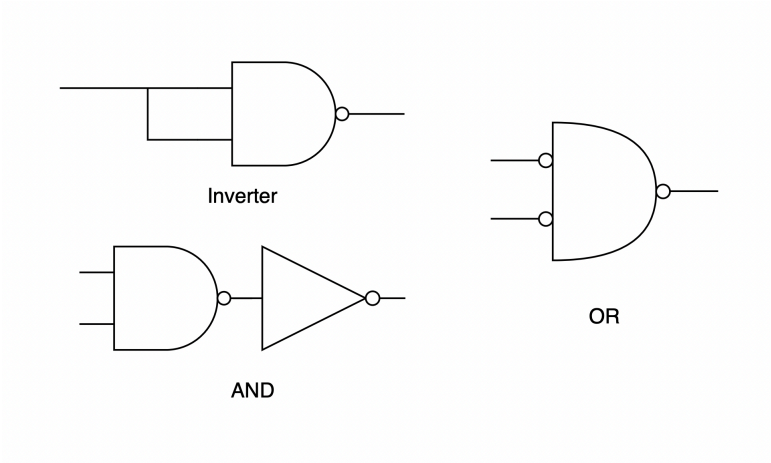


图 1: T2

T3

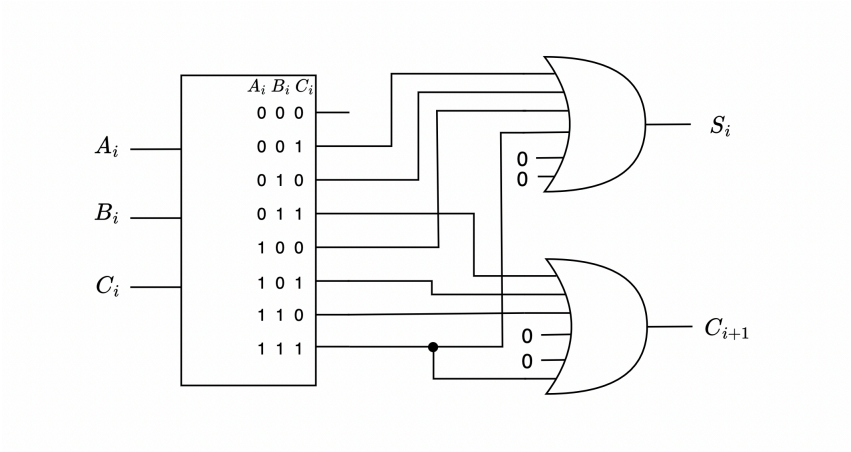


图 2: T3

T4

- 1. 3
- 2. 3
- 3. 9
- 4. 4
- 5. 如下表所示

A[1]	A[0]	B[1]	B[0]	Y[3]	Y[2]	Y[1]	Y[0]
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1
0	1	1	0	0	0	1	0
0	1	1	1	0	0	1	1
1	0	0	0	0	0	0	0
1	0	0	1	0	0	1	0
1	0	1	0	0	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	1	1	0
1	1	1	1	1	0	0	1

6.

$$Y[2] = A[1]\overline{A[0]}B[1]\overline{B[0]} + A[1]\overline{A[0]}B[1]B[0] + A[1]A[0]B[1]\overline{B[0]}$$

T5

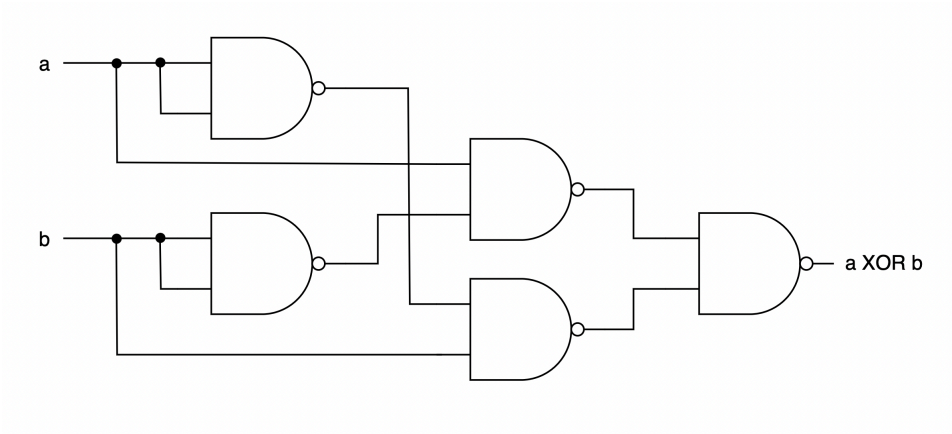


图 3: T5

T6

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

表 2: 真值表

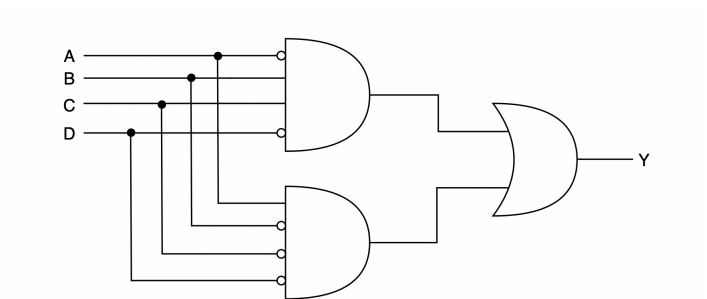


图 4: T6

T7

1. 如下图所示

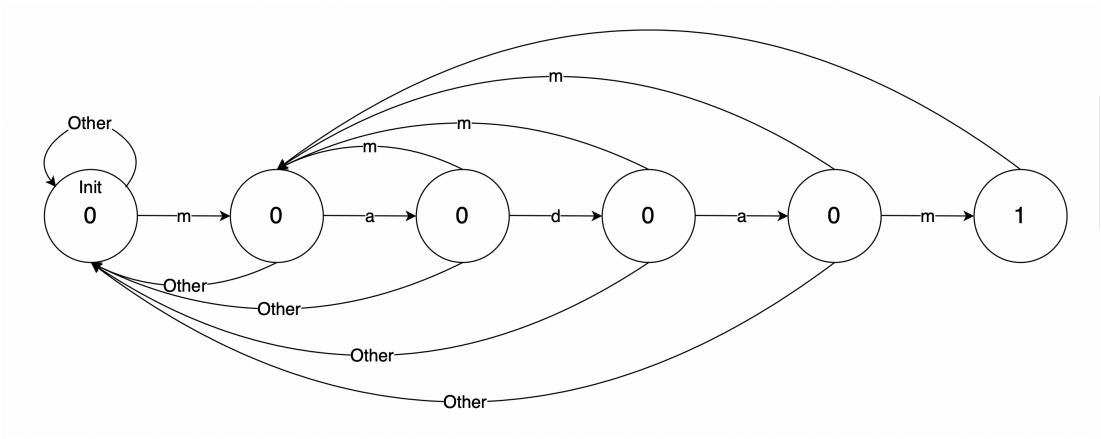


图 5: T7

2. 6

T8

- 1.  $2^a$
- 2.  $2^ab$

T9

- 1.  $A[1 : 0] = 0, WE = 1$
- 2. 在每一行增加 Gated D-latch, 并将  $D[2:0]$  扩展到  $D[k-1:0]$
- 3.

T10

- 1.
- 2.

$$2 \times 7 + 2 \times 2 + (2 + 6) + 8 \times 7 = 78$$