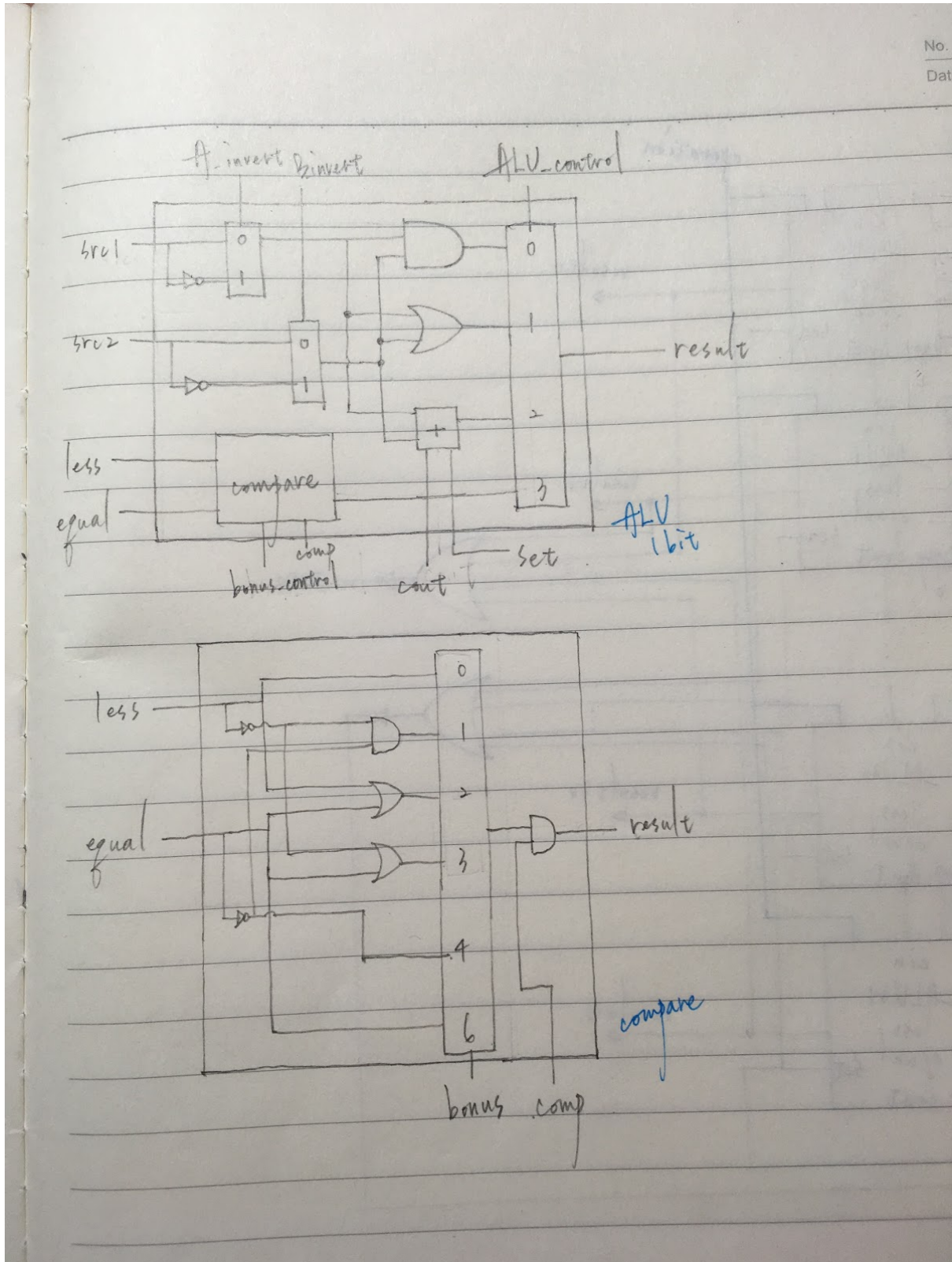


Computer Organization - Lab 1

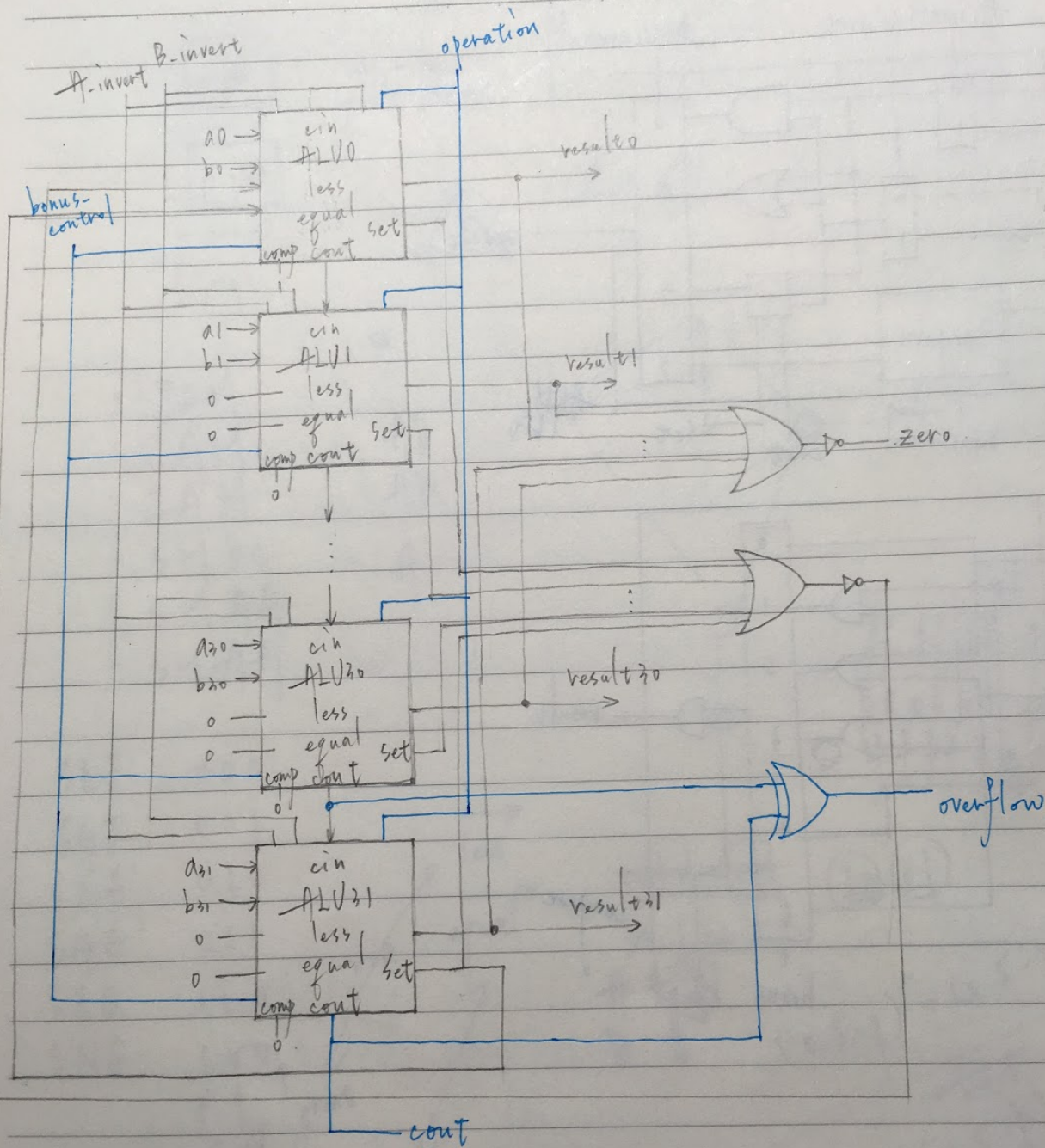
0616015 劉姿利

1. Architecture diagrams



No.

Date



2. Detailed description of the implementation

- 除了明顯要用module的地方，如alu_top、compare等，其他儘量都用assign等邏輯式子完成，讓code比較好懂
- 使用for迴圈宣告第2到第32個alu_top，而因為第1個的參數比較不一樣所以獨立出來

3. Command for compiling source codes

```
iverilog -o bonus.vvp testbench.v alu.v alu_top.v compare.v
```

4. Problems encountered and solutions

- Problem: 寫bonus的時候一直報錯，bonus_control == 3'b000的判斷式怎麼都進不去
- Solution: 結果是testbench.v內的`define BONUS註解沒開，開了就好了

5. Lesson learnt

- 再次好好的複習了大一數電時教的verilog語法，特別是搞清楚wire和reg宣告的部份