



GregTrack_LTE_v1.PrjPcb

GregTrack_LTE_v1.SchDoc

Revision : 1.0

Sheet 2 of 8

Design by : ANX/SAP

Hes·so VALAIS WALLIS

Date : 19.10.2021



I:\RaD\SI-ET\Projets\ECS\GregTrack\PCB\GregTrack_LTE\GregTrack_LTE_v1.SchDoc