

Mikroprozessorpraktikum WS 12/13

Carlos Martín Nieto, Simon Hohberg, Tu Tran

January 10, 2013

2 Clock System

2.1 Taktfrequenz

2.1.1 Bestimmen Sie messtechnisch (mit HM8021 1.6GHz Counter) die Frequenz der LFXT1CLK und XT2CLK Taktquelle.

- LFXT1CLK: 32,7691 kHz
- XT2CLK: 7,37331 MHz

2.1.2 Bestimmen Sie messtechnisch die minimale und maximale Taktfrequenz des MCLK-Taktes, die sich auf Basis der LFXT1CLK-, XT2CLK- und DCOCLK-Taktquellen bereitstellen lässt. Belegen Sie die Messergebnisse mit einer Berechnung auf Basis aller Komponenten aus den nebenstehenden Blockschaltbildern. Beachten Sie dabei den Einfluss der DIVMx Bits und des DCOR Bits.

- XT2CLK
 - max: 7.37331 MHz
 - min: 921,663 kHz (Divider = 8)
 - **Berechnung:** Über SELM0 = 0 und SELM1 = 1 wird die XT2CLK als Taktquelle für die MCLK verwendet. Der XT2 Oszillator der XT2CLK liefert einen Takt von bis zu 8 MHz. Dieser lässt sich nicht weiter erhöhen und ist daher die maximale Taktrate. Durch Verwendung des MCLK Dividers (DIVMx) lässt sich der Takt verringern. Der größte Divider ist 8, wodurch sich eine minimale Taktrate von etwa $8\text{ MHz} \cdot \frac{1}{8} = 1\text{ MHz}$ ergibt.
- LFXT1CLK
 - max: 32,7691 kHz
 - min: 4,09614 kHz (Divider = 8)
 - **Berechnung:** Über SELM0 = 1 und SELM1 = 1 wird die LFT1CLK als Taktquelle für die MCLK verwendet. Der LFXT1 Oszillator der LFXT1CLK liefert einen Takt von 32786 Hz. Dieser lässt sich nicht weiter erhöhen und ist daher die maximale Taktrate. Durch Verwendung des MCLK Dividers (DIVMx) lässt sich der Takt verringern. Der größte Divider ist 8, wodurch sich eine minimale Taktrate von $32786\text{ Hz} \cdot \frac{1}{8} = 4098\text{ Hz}$ ergibt.
- DCOCLK
 - max: 7,33 MHz (DCOR = 1)
 - min: 205,32 kHz (DCOR = 0, Divider = 8)
 - **Berechnung:** Über SELM0 = 1 oder 0 und SELM1 = 0 wird die DCOCLK als Taktquelle für die MCLK verwendet. Der digitale Oszillator DCO liefert mit dem externen Widerstand einen Takt von 7,33 MHz. Dieser lässt sich nicht weiter erhöhen und ist daher die maximale Taktrate. Durch Verwendung des MCLK Dividers (DIVMx) lässt sich der Takt verringern. Der größte Divider ist 8, wodurch sich eine minimale Taktrate von $32786\text{ Hz} \cdot \frac{1}{8} = 4098\text{ Hz}$ ergibt.

2.1.3 An P2.5 ist ein Oszillatorwiderstand ROSC von 39kOhm angeschlossen. Erläutern Sie, wie der externe Widerstand für den DCOCLK-Taktgenerator aktiviert wird.

Dieser wird über das Setzen von DCOR aktiviert, wie in dem Schaltplan zu sehen ist.

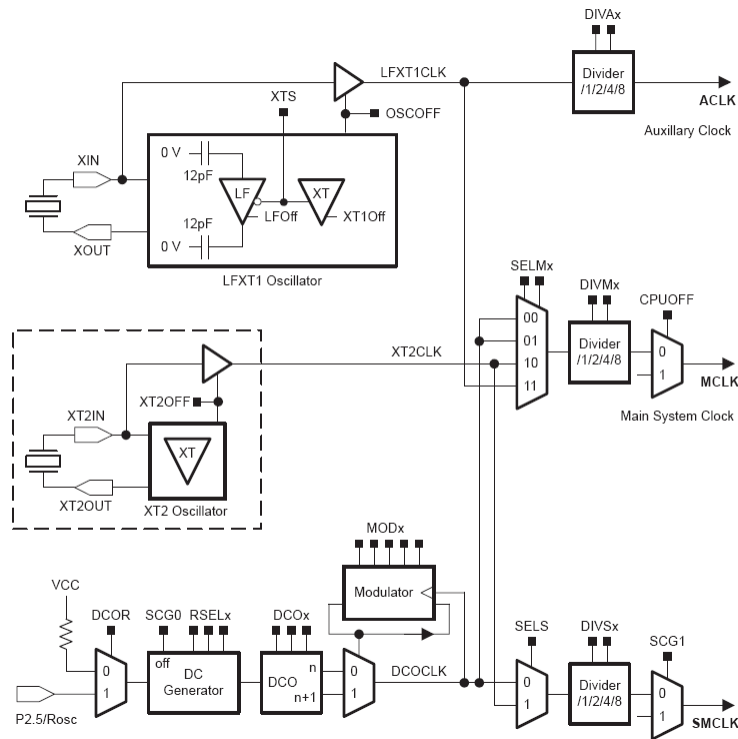


Figure 1: Beschaltung der Clocks

2.1.4 Welchen Einfluss hat der Widerstand auf den DCOCLK-Taktgenerator?

Der Widerstand erhöht den Takt, macht ihn jedoch auch ungenauer (im 10 kHz Bereich). Der Digitale Oszillator der den Takt für die DCOCLK erzeugt verwendet den Betriebsstrom. Der digital erzeugte Takt ist abhängig vom internen Widerstand des digitalen Oszillators. Über DCOR kann nun an Stelle von diesem internen Widerstand ($\sim 300k\Omega$) ein externer Widerstand (hier $39k\Omega$) verwendet werden, wodurch sich der erzeugte Takt erhöht.

2.2 Stromverbrauch

- 2.2.1 Der MCLK-Takt soll durch den DCOCLK-Taktgenerator bereitgestellt werden. Ermitteln Sie für diesen Fall die Abhängigkeit des Stromverbrauchs von der Taktfrequenz. Stellen Sie die Abhängigkeit für ca. 10 unterschiedliche Taktfrequenzen im Bereich zwischen 100kHz und 10MHz grafisch dar. Messen Sie die Taktfrequenzen wie in Aufgabe A 2.1.

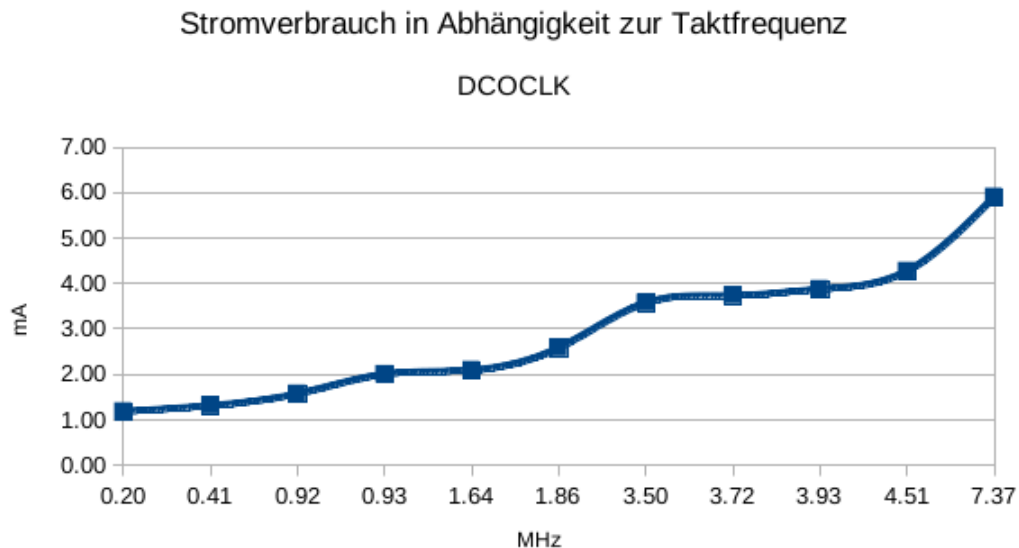


Figure 2: Stromverbrauch

2.3 Taktumschaltung

- 2.3.1 Entwickeln Sie ein Programm, das auf Tastendruck die MCLK-Taktfrequenz der CPU des Mikrocontrollers zwischen 4,096kHz und 7,3728 MHz umschaltet. Die XT2CLK-Taktquelle darf nicht eingesetzt werden. Nur LFXT1CLK- und DCOCLK-Takquelle dürfen eingesetzt werden. Kontrollieren Sie messtechnisch (wie in A 2.1) den Frequenzwechsel und bestimmen Sie den jeweiligen Stromverbrauch des MSB430H (wie in A 2.2). Dokumentieren Sie ihre Lösung und die Messergebnisse.

```
1 while(1){
2     int pressed = P1IN & (TASTE_LINKS | TASTE_RECHTS);
3     if (pressed) {
4         fast = !fast;
5         while (P1IN & (TASTE_LINKS | TASTE_RECHTS)) {}
6     }
7     if (fast) {
8         // waehle DCOCLK und setze divider auf 1
9         DCO();
10        BIT_CLR(BCSCTL2, DIVM0 | DIVM1);
11    } else {
12        // waehle LFXT1CLK und groesstmoeeglichen divider
13        BIT_SET(BCSCTL2, SELM0 | SELM1);
14        BIT_SET(BCSCTL2, DIVM0 | DIVM1);
15    }
16 } // Ende der Endlosschleife
```

- LFXT1CLK mit 4,09 kHz
 - Taktmessung: 4,0961 kHz
 - Stromverbrauch: 1,41 mA

- DCOCLK mit 7,3728 MHz
 - Taktmessung: 7,385 MHz
 - Stromverbrauch: 5,87 mA

2.3.2 Welche Schlußfolgerungen hinsichtlich des Energieverbrauches ziehen Sie? Berechnen Sie für beide gemessenen Stromverbrauchswerte die theoretisch mögliche Batterielaufzeit des MSB430H bei Nutzung einer Batterie mit einer Kapazität von 1100mAh.

Wir schließen daraus, dass der Stromverbrauch proportional zur Taktfrequenz ist. Eine hohe Taktrate hat einen hohen und eine niedrige Taktrate einen niedrigen Stromverbrauch zur Folge.

- Batterielaufzeit:
 - LFX1CLK mit 4,09 kHz: $\frac{1100\text{mAh}}{1,41\text{mA}} = 774,65\text{h} = \underline{32,277\text{d}}$
 - DCOCLK mit 7,3728 MHz: $\frac{1100\text{mAh}}{5,87\text{mA}} = 186,757\text{h} = \underline{7,7816\text{d}}$

2.4 Codezeile

2.4.1 Bestimmen Sie messtechnisch mit dem Counter HM8021 die Abarbeitungszeit der folgenden Codezeile für die zwei Taktquellen DCOCLK (7,3728 MHz) und der LFX1CLK (32 kHz).

```
1 P5OUT ^= 0x20; // toggelt die Portleitung P5.5
```

Wir messen die Frequenz an der Portleitung P5.5, die durch folgenden Code erzeugt wird:

```
1 P5OUT ^= ~0x20; // setzt die Portleitung P5.5 auf L
2 while (1) {
3     P5OUT ^= 0x20; // setzt P5.5 auf H
4     P5OUT ^= 0x20; // setzt P5.5 auf L
5 }
```

- Ausführungsfrequenz: $6,14059\text{ kHz} \rightarrow \frac{1}{6,14059} \cdot 10^{-6}\text{s} = 1,629\text{ms}$ für die zweimalige Ausführung der Codezeile und damit $0,8145\text{ms}$ für eine Codezeile (unter Vernachlässigung des “jumps” der while-Schleife).