

TRANSISTOR HIỆU ỨNG TRƯỜNG CÔNG TIẾP GIÁP (JFET)

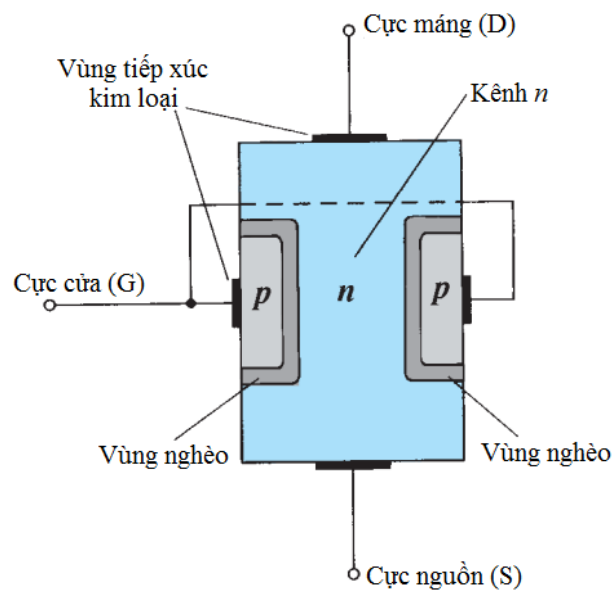
Nội dung

1. Cấu tạo
 2. Nguyên lý hoạt động
 3. Đặc tuyến
 4. Tổng kết
-

Transistor hiệu ứng trường công tiếp giáp, viết tắt là JFET (Junction Field-Effect Transistor), được chia thành 2 loại: kênh n và kênh p . Ta lấy JFET kênh n làm ví dụ để tìm hiểu về cấu tạo, nguyên lý hoạt động, phương trình và đặc tuyến của JFET.

1. Cấu tạo

Ta xem xét cấu trúc của JFET kênh n làm ví dụ. Cấu trúc cơ bản của JFET được minh họa ở H.1. Cấu trúc JFET bao gồm mẫu bán dẫn loại n với một đầu được nối ngoài thông qua cực máng D (Drain) và đầu còn lại - cực nguồn S (Source).

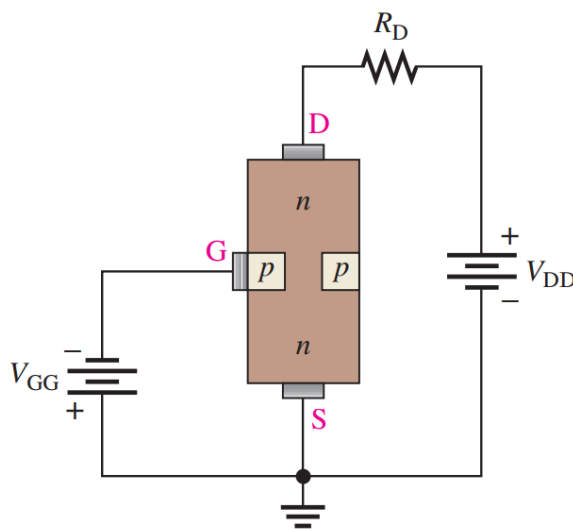


H. 1. Cấu tạo của JFET

Hai mặt sườn được cấy một lớp bán dẫn loại p và được nối với nhau và được gọi là *cực cửa* G (Gate). Phần mẫu bán dẫn n nằm giữa cực S và D tạo thành một đường dẫn gọi là *kênh*. Nếu bán dẫn loại n được sử dụng, ta có JFET kênh n ; nếu bán dẫn loại p – JFET kênh p . Do bán dẫn của cực G và kênh khác loại nên tạo thành tiếp giáp pn . Khi không có điện áp, sẽ hình thành nên 2 vùng nghèo tại các tiếp giáp này. Lưu ý rằng, vùng nghèo là vùng thiếu các hạt tải điện tự do, và do vậy không thể dẫn điện qua vùng này.

2. Nguyên lý hoạt động

H.2 mô tả mạch phân cực cho JFET có kênh dẫn n . Nguyên lý hoạt động chung của JFET được mô tả như sau. V_{DS} cung cấp điện áp giữa cực máng D và nguồn S , và tạo ra dòng từ cực máng xuống nguồn. V_{GS} thiết lập phân cực ngược giữa cực cửa và cực nguồn. JFET luôn hoạt động với điều kiện phân cực ngược đối với tiếp giáp pn của cực nguồn và cổng. Phân cực ngược với điện áp âm tạo ra vùng nghèo tại tiếp giáp pn . Vùng nghèo này sẽ mở rộng vào kênh dẫn n , và như vậy sẽ làm tăng trở kháng của kênh dẫn do độ rộng kênh dẫn giảm.



H. 2. Mạch phân cực cho JFET

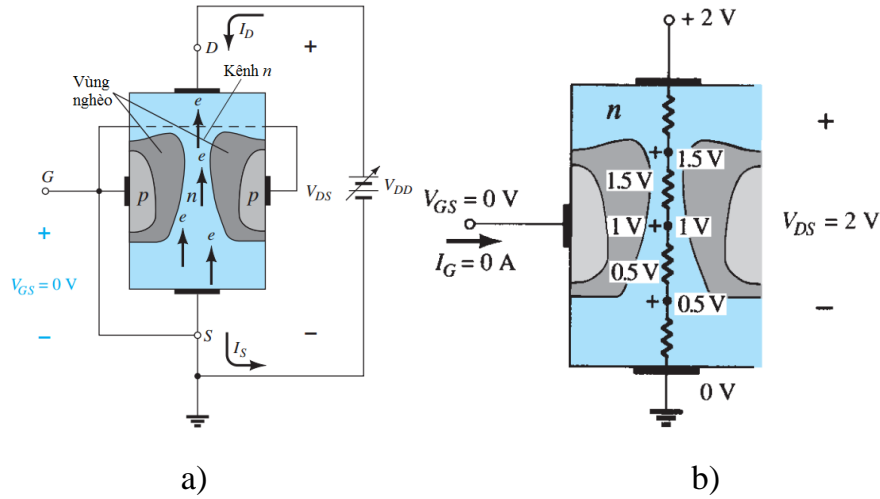
Độ rộng kênh dẫn, tương ứng với trở kháng của kênh dẫn, có thể điều chỉnh được bằng cách thay đổi điện áp ở cực cổng, và qua đó điều chỉnh cường độ dòng cực máng I_D . Càng gần cực máng, độ rộng của vùng nghèo càng tăng do điện áp ngược giữa cực cổng và cực máng lớn hơn điện áp giữa cực cổng và cực nguồn.

Hoạt động của JFET thay đổi tùy thuộc vào mối quan hệ giữa các điện áp đặt vào các cực. Ta lấy JFET kênh n để khảo sát. Ta xét 3 trường hợp: $v_{GS} = 0$; $v_{GS} < 0$; $v_{GS} > 0$.

Trường hợp 1: $v_{GS} = 0$ và $v_{DS} > 0$

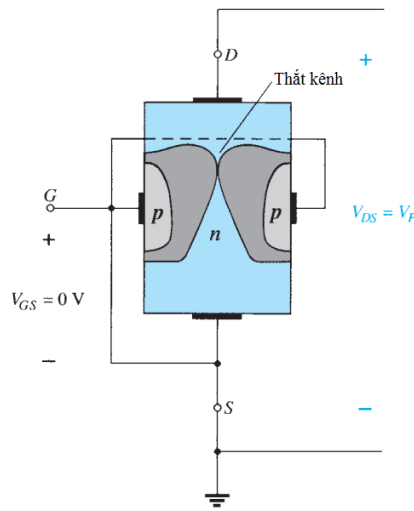
Theo H. 3, điện áp dương V_{DS} được đặt vào 2 đầu kênh dẫn, và cực cửa được nối trực tiếp với cực nguồn để thiết lập điện áp $V_{GS} = 0$ V.

Kết quả là cực cổng và nguồn có điện thế bằng nhau, và vùng nghèo nằm ở phần dưới của bán dẫn p có phân bố tương tự như trong điều kiện không phân cực (H.3a). Dưới tác dụng của điện áp V_{DS} , các điện tử sẽ bị kéo về phía cực máng, tạo nên dòng điện I_D . Dòng dịch chuyển của điện tích cũng cho thấy dòng ở cực máng và cực nguồn bằng nhau ($I_D = I_S$). Nhận thấy rằng, dòng dịch chuyển của điện tích chỉ bị giới hạn bởi trở kháng của kênh n giữa cực máng và cực nguồn. Thêm vào đó, trở kháng của kênh được điều khiển bởi độ rộng vật lý của kênh thông qua sự thay đổi độ rộng của vùng nghèo quanh tiếp giáp pn giữa cực cửa G và kênh.



a)

b)



c)

H. 3. a) JFET với $v_{GS} = 0$ và $v_{DS} > 0$; b) điện áp giữa một điểm trên kênh so với cực nguồn tăng về phía cực máng; c) hiện tượng thắt kênh

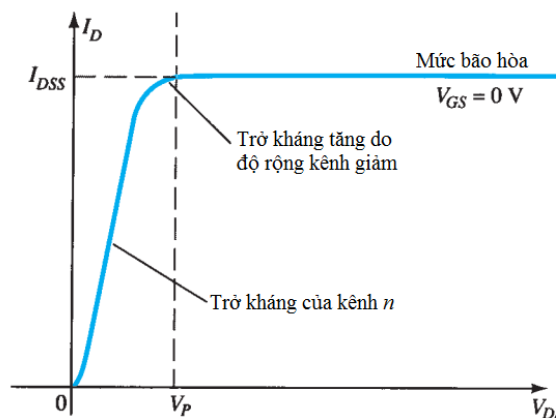
Do vậy, JFET có thể được xem như một điện trở được điều khiển bằng điện áp với trở kháng của kênh được xác định bởi công thức:

$$R_{CH} = \frac{\rho}{t} \frac{L}{W},$$

với ρ – điện trở suất của kênh; L – độ dài của kênh; W – độ rộng của kênh nằm giữa 2 vùng nghèo của tiếp giáp pn ; t – độ dày của kênh.

Một yếu tố quan trọng cần được lưu ý đó là: vùng nghèo mở rộng dần về phía cực máng làm kênh bị hẹp lại ở vùng này (H.3b). Hiện tượng này là do phân bố điện thế dọc theo kênh khác nhau, tăng theo hướng từ cực nguồn đến cực máng (tương tự như đối với MOSFET), vì vậy điện áp giữa kênh và cực cửa tăng dần về cực máng, khiến cho phân cực ngược (tương ứng với điện áp giữa một điểm trên kênh và cực cửa) của tiếp giáp pn mạnh hơn về phía gần cực máng, dẫn đến độ rộng vùng nghèo tăng và độ rộng kênh giảm.

Khi điện áp v_{DS} tăng từ 0 V cho đến một vài V, dòng i_D sẽ tăng theo định luật Ohm như minh họa ở đồ thị H.4. Độ tuyến tính của đồ thị trong đoạn điện áp v_{DS} thấp cho thấy trở kháng của kênh gần như không đổi. Vùng này được gọi là *vùng tuyến tính*. Tuy nhiên, khi v_{DS} tiếp tục tăng và tiến đến giá trị V_P , chênh lệch điện áp giữa kênh và cực cửa ở vùng gần cực máng càng tăng, dẫn đến độ rộng vùng nghèo tăng và kênh bị co hẹp đáng kể ở vùng này. Sự thu hẹp kênh dẫn sẽ làm trở kháng kênh tăng và đường đồ thị tuyến tính bắt đầu bị bẻ cong (H.4). Điện áp v_{DS} tiếp tục tăng, sẽ đạt đến một giá trị tương ứng với thời điểm vùng nghèo của 2 tiếp giáp pn bắt đầu chạm nhau, khiến cho kênh bị thắt lại (H.3c). Điện áp v_{DS} tương ứng với trường hợp này được gọi là *điện áp thắt kênh* V_P (pinch-off voltage). Tuy nhiên, dòng I_D không hạ về 0 A mà giữ nguyên ở giá trị I_{DSS} . Hiện tượng này được giải thích là do vẫn tồn tại kênh dẫn nhỏ với mật độ dòng điện tích cao.



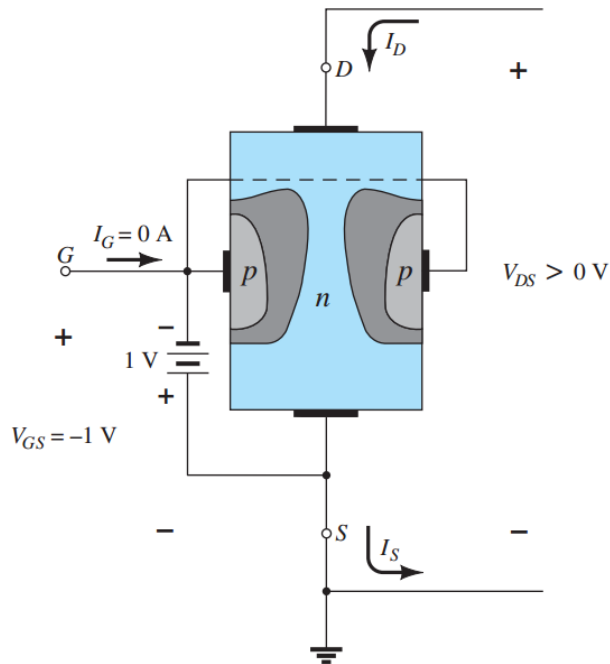
H. 4. Sự phụ thuộc của i_D vào v_{DS} khi $v_{GS} = 0$ V

Khi v_{DS} tiếp tục tăng trên mức V_p , điểm thắt kênh kéo dài về phía cực nguồn và tạo thành dải thắt kênh, tuy nhiên, dòng I_D vẫn gần như giữ nguyên ở giá trị I_{DSS} . Giá trị I_{DSS} được gọi là *dòng bão hòa từ cực máng đến cực nguồn khi ngắn mạch cực cửa và cực nguồn* ($v_{GS} = 0$). Do vậy, khi $v_{DS} > V_p$, JFET có tính chất như nguồn dòng. Vùng này được gọi là *vùng bão hòa*.

Khi v_{DS} tăng quá giá trị $V_{DS\text{ thủng}}$, tiếp giáp pn sẽ bị đánh thủng, dẫn đến dòng I_D tăng đột biến.

Trường hợp 2: $v_{GS} < 0$ và $v_{DS} > 0$

Điện áp v_{GS} giữa cực cửa và cực nguồn đóng vai trò điều khiển trong JFET. Đối với JFET kênh n , điện áp điều khiển V_{GS} có giá trị âm. Trong H.5. điện áp âm $V_{GS} = -1\text{ V}$ được đặt vào cực cửa và cực nguồn đối với mức điện áp v_{DS} thấp.



H. 5. JFET với $v_{GS} < 0$ và $v_{DS} > 0$

Mục đích của việc phân cực âm cho cực cửa là để đạt được mức bão hòa ở giá trị điện áp v_{DS} thấp hơn so với trường hợp $v_{GS} = 0\text{ V}$ (H.4). Điều này được giải thích là do điện áp âm v_{GS} phân cực ngược tiếp giáp pn giữa cực G và kênh, khiến cho độ rộng vùng nghèo tăng, làm giảm độ rộng của kênh. Kết quả là mức bão hòa của I_D sẽ giảm khi V_{GS} nhận giá trị càng âm. Khi V_{GS} giảm tới giá trị $V_{GS(off)}$ (được gọi là *điện áp khóa*), mức dòng bão hòa sẽ gần như bằng 0 mA , và JFET được xem như ở trạng thái khóa.

Do vậy, JFET phải được hoạt động trong khoảng từ $v_{GS} = 0$ đến $V_{GS(off)}$, tương ứng với dòng i_D thay đổi từ giá trị cực đại I_{DSS} đến giá trị cực tiểu ($\approx 0 A$). Lưu ý rằng, điện áp thắt kênh V_P và điện áp ngắt $V_{GS(off)}$ bằng nhau về độ lớn nhưng trái dấu.

Trường hợp 3: $v_{GS} > 0$ và $v_{DS} > 0$

Nếu $v_{GS} > 0$, tiếp giáp pn giữa cực cửa và kênh sẽ phân cực thuận, dẫn đến dòng I_G sẽ tăng đột biến và khả năng điều khiển kênh sẽ không còn.

Vì vậy, JFET chỉ làm việc ở chế độ phân cực ngược giữa cực cửa và cực nguồn. Chế độ này được gọi là *chế độ nghèo* (Depletion mode hay gọi tắt là D-mode). Chế độ nghèo ứng với loại JFET kênh n là $v_{GS} < 0$, còn đối với JFET kênh p sẽ là $v_{GS} > 0$.

3. Các đặc tuyến của JFET

Do trở kháng vào của JFET tương ứng với điện trở của tiếp giáp pn phân cực ngược nên có giá trị rất lớn (lớn hơn $10^8 \Omega$), khiến cho dòng I_G gần như bằng 0. Vì vậy, ta không khảo sát đặc tuyến vào của JFET. Ta xét hai đặc tuyến quan trọng của JFET:

- đặc tuyến ra $i_D = f(v_{DS})|_{v_{GS}=const}$ – mối quan hệ giữa i_D và v_{DS} khi v_{GS} không đổi;
- đặc tuyến truyền đạt $i_D = f(v_{GS})|_{v_{DS}=const}$ – mối quan hệ giữa i_D và v_{GS} khi v_{DS} không đổi;.

Đặc tuyến truyền đạt thể hiện mối quan hệ giữa dòng i_D và điện áp v_{GS} được xác định bởi *phương trình Shockley*:

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P} \right)^2.$$

Thành phần bậc 2 trong phương trình trên thể hiện mối quan hệ phi tuyến giữa i_D và v_{GS} . Khi độ lớn của v_{GS} giảm, đặc tuyến truyền đạt sẽ tăng theo tốc độ hàm mũ. H.6 mô tả đặc tuyến truyền đạt và đặc tuyến ra. Ta thấy rằng, đặc tuyến truyền đạt có dạng parabol với các tọa độ điểm (v_{GS}, i_D) đặc trưng như sau: $(V_{GS(off)}, 0)$, $(0.5 \cdot V_{GS(off)}, \frac{I_{DSS}}{4})$, $(0, I_{DSS})$.

Biểu thức toán học mô tả đặc tuyến ra tại hai vùng tuyến tính và bão hòa được biểu diễn như sau:

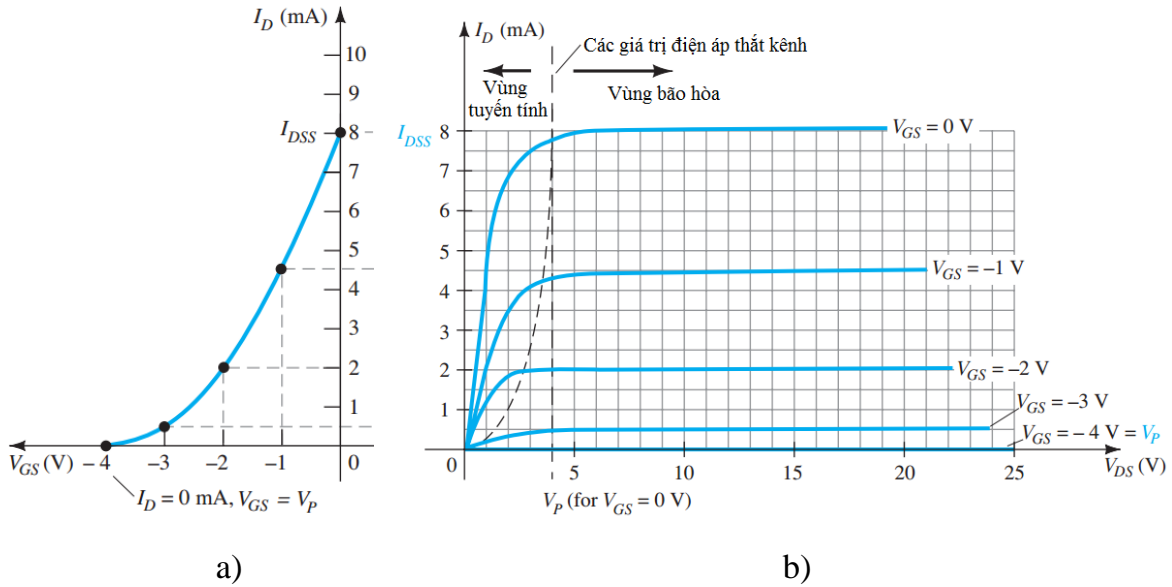
- tại vùng tuyến tính, đặc tuyến gần như thẳng và được mô tả bằng phương trình:

$$i_D = \frac{2I_{DSS}}{V_P^2} \left(v_{GS} - V_P - \frac{v_{DS}}{2} \right) v_{DS}.$$

- tại vùng bão hòa, đặc tuyến được mô tả bằng phương trình:

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P} \right)^2,$$

Đặc tuyến ra cho thấy rằng, nếu v_{GS} giảm, dòng ra i_D sẽ giảm theo và điểm tắt kênh sẽ đến sớm hơn. Đường cong nét đứt ở đồ thị đặc tuyến ra là tập hợp các điểm tắt kênh ứng với các giá trị khác nhau của v_{GS} . Đường cong này phân các đặc tuyến ra thành 2 vùng: vùng tuyến tính ở phía trái đường cong và vùng bão hòa ở phía phải đường cong.



H. 6. a) Đặc tuyến truyền đạt và b) đặc tuyến ra

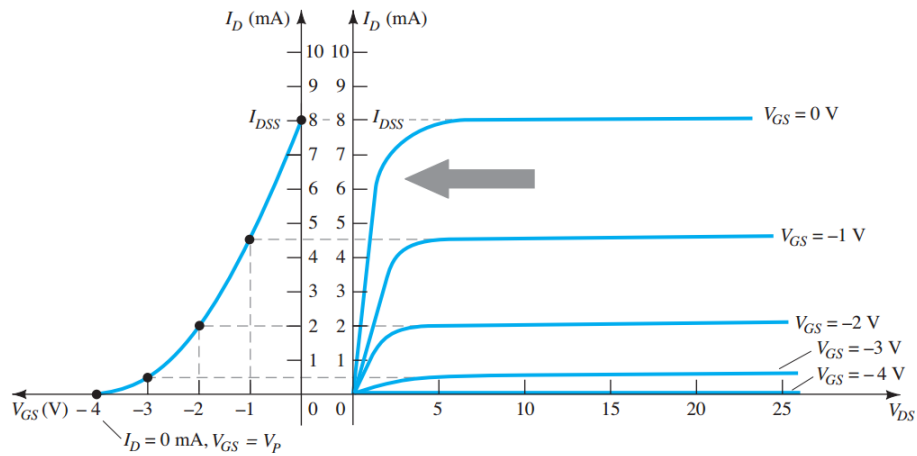
Tại vùng tuyến tính, JFET được xem như một biến trở được điều khiển bởi điện áp v_{GS} . H.6b cho thấy rằng, độ dốc của mỗi đường của họ đặc tuyến ra, tương ứng với trở kháng của JFET giữa cực máng và cực nguồn, là hàm của điện áp v_{GS} . Khi v_{GS} nhận giá trị càng âm, thì độ dốc của đặc tuyến càng giảm, tương ứng với trở kháng tăng. Phương trình sau biểu diễn giá trị trở kháng của JFET theo điện áp v_{GS} :

$$r_d = \frac{r_0}{\left(1 - \frac{v_{GS}}{V_P} \right)^2},$$

với r_0 – trở kháng của JFET khi $v_{GS} = 0$ V, và r_d – trở kháng của JFET tại giá trị v_{GS} cụ thể.

Tính chất JFET như một biến trở được điều khiển bằng điện áp trong vùng tuyến tính của đặc tuyến ra được ứng dụng rộng rãi trong các mạch điện tử để tự động điều khiển hệ số khuếch đại hay ổn định biên độ của mạch dao động.

Có 2 phương pháp để vẽ họ đặc tuyến truyền đạt: dựa trên phương trình Shockley, và dựa vào họ đặc tuyến ra (H.7).



H. 7. Đặc tuyến truyền đạt được vẽ từ họ đặc tuyến ra

Tại vùng tuyến tính, JFET được xem như một biến trở được điều khiển bởi điện áp v_{GS} . H. cho thấy rằng, độ dốc của mỗi đường của họ đặc tuyến ra, tương ứng với trở kháng của JFET giữa cực máng và cực nguồn, là hàm của điện áp v_{GS} . Khi v_{GS} nhận giá trị càng âm, thì độ dốc của đặc tuyến càng giảm, tương ứng với trở kháng tăng.

4. Tổng kết

n-CHANNEL JFET

For all regions,

$$i_G = 0 \quad \text{for} \quad v_{GS} \leq 0$$

Cutoff region:

$$i_D = 0 \quad \text{for} \quad v_{GS} \leq V_P \quad (V_P < 0)$$

Triode region:

$$i_D = \frac{2I_{DSS}}{V_P^2} \left(v_{GS} - V_P - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{for} \quad v_{GS} \geq V_P \quad \text{and} \quad v_{GS} - V_P \geq v_{DS} \geq 0$$

Pinch-off region:

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P} \right)^2 (1 + \lambda v_{DS}) \quad \text{for} \quad v_{DS} \geq v_{GS} - V_P \geq 0$$

p-CHANNEL JFET

For all regions,

$$i_G = 0 \quad \text{for} \quad v_{GS} \geq 0$$

Cutoff region:

$$i_D = 0 \quad \text{for} \quad v_{GS} \geq V_P \quad (V_P > 0)$$

Triode region:

$$i_D = \frac{2I_{DSS}}{V_P^2} \left(v_{GS} - V_P - \frac{v_{DS}}{2} \right) v_{DS} \quad \text{for} \quad v_{GS} \leq V_P \quad \text{and} \quad |v_{GS} - V_P| \geq |v_{DS}| \geq 0$$

Pinch-off region:

$$i_D = I_{DSS} \left(1 - \frac{v_{GS}}{V_P} \right)^2 (1 + \lambda |v_{DS}|) \quad \text{for} \quad |v_{DS}| \geq |v_{GS} - V_P| \geq 0$$
