

MOSFET KÊNH ĐẶT SẴN (D-MOSFET)

Nội dung

I. MOSFET kênh đặt sẵn kênh n

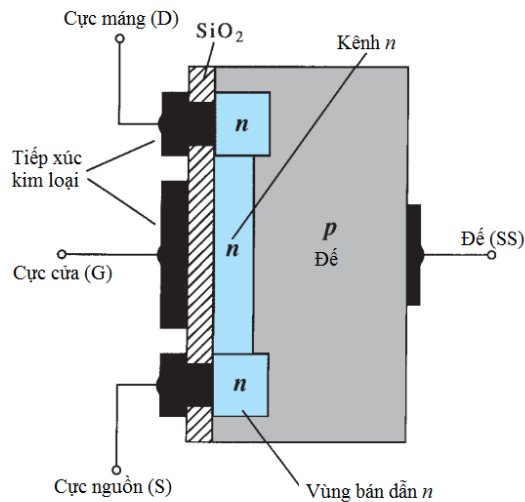
II. MOSFET kênh đặt sẵn kênh p

MOSFET kênh đặt sẵn hay còn gọi là MOSFET kiểu nghèo (Depletion MOSFET), viết tắt là D-MOSFET, được chia làm 2 loại: kênh n và kênh p .

I. D-MOSFET kênh n

1. Cấu tạo

D-MOSFET kênh n có cấu tạo như hình H.1.



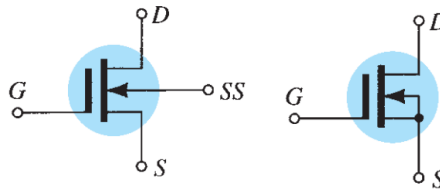
H. 1. Cấu tạo D-MOSFET kênh n

Ta xem xét cấu trúc cơ bản của D-MOSFET kênh n . Phần chính của linh kiện này là một khối bán dẫn loại p đóng vai trò là đế của toàn bộ cấu trúc. Trong một số trường hợp, đế được nối bên trong với cực nguồn. Tuy nhiên, phần lớn các linh kiện loại này có thêm chân thứ tư được lấy từ đế và được gọi là cực đế, ký hiệu là B (Bode) hay SS (Substrate).

Cực nguồn và cực máng được nối ngoài thông qua tiếp xúc kim loại và vùng bán dẫn loại n . Hai cực này được nối với nhau bằng một kênh n như minh họa ở H.1. Khác với E-MOSFET, kênh trong D-MOSFET được chế tạo sẵn khi sản xuất nên kênh tồn tại mà không phụ thuộc vào điện áp đặt vào cực cửa.

Cực cửa cũng được nối ngoài thông qua tiếp xúc kim loại nhưng bị cách ly khỏi kênh n bởi một lớp SiO_2 rất mỏng. Biết rằng, SiO_2 là chất điện môi nên khi đặt điện trường ngoài vào, thì sẽ hình thành nên điện trường ngược chiều bên trong lớp điện môi. Như vậy, lớp điện môi SiO_2 có tác dụng cách ly về điện giữa cực cửa và kênh của MOSFET. Ngoài ra, lớp điện môi trong cấu trúc của MOSFET khiến cho trở kháng vào của linh kiện này rất cao. Trở kháng vào cao khiến cho dòng cực cửa gần như bằng 0 A.

2. Ký hiệu mạch



H. 2. Ký hiệu mạch của D-MOSFET kênh n

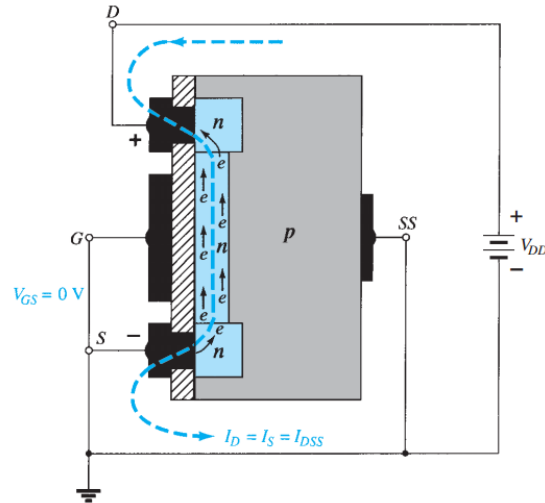
3. Nguyên lý hoạt động của D-MOSFET

D-MOSFET có thể hoạt động được ở cả hai chiều điện áp v_{GS} là $v_{GS} < 0$ tương ứng với chế độ nghèo và $v_{GS} > 0$ tương ứng với chế độ giàu (hay tăng cường). Ta sẽ tiến hành khảo sát D-MOSFET kênh n với 3 trường hợp của v_{GS} : $v_{GS} = 0$, $v_{GS} < 0$, và $v_{GS} > 0$.

Trường hợp $v_{GS} = 0$:

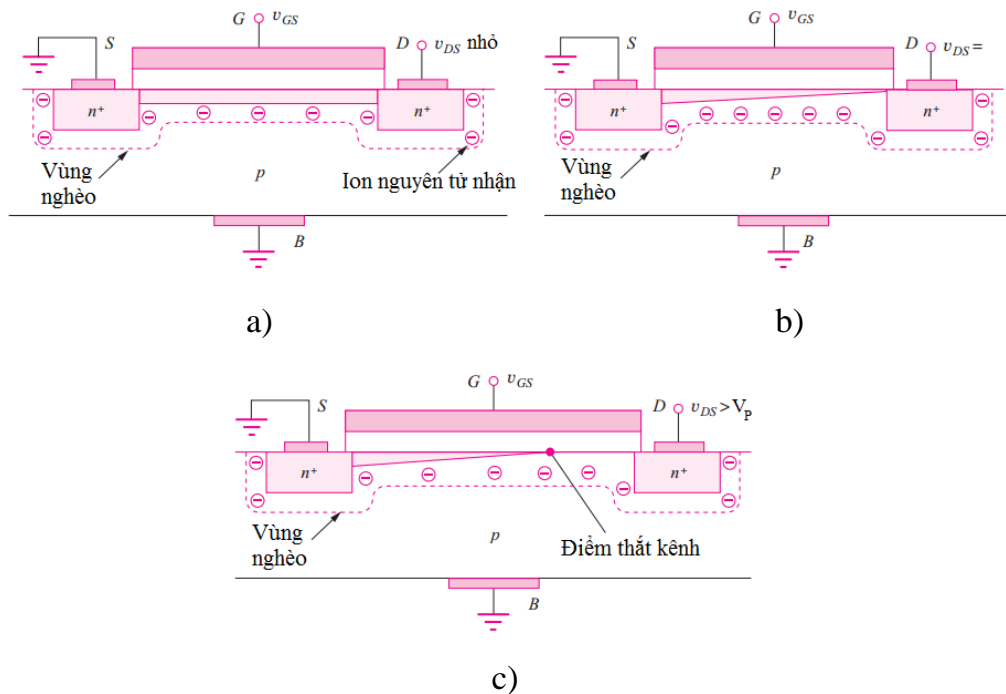
H.3 cho thấy điện áp v_{GS} giữa cực cửa và cực nguồn được thiết lập bằng 0 V, và điện áp v_{DS} được đặt vào cực máng và cực nguồn.

Điện thế dương tại cực máng sẽ hút các điện tử tự do trong kênh n , sinh ra dòng i_D chạy từ cực máng xuống cực nguồn. Tương tự như đối với E-MOSFET, kênh sẽ hẹp dần về phía cực máng do điện áp giữa cực cửa và kênh giảm dần về phía cực máng. Tuy nhiên, giá trị v_{DS} nhỏ không gây ảnh hưởng lớn đến kênh dẫn nên dòng i_D biến đổi gần như tuyến tính với điện áp v_{DS} . Vì vậy, vùng làm việc này được gọi là *vùng tuyến tính*.



H. 3. MOSFET kênh n với $v_{GS} = 0$

Khi v_{DS} tăng đến giá trị điện áp thắt kênh V_P thì kênh bị thắt tại cực máng, và dòng i_D bắt đầu đạt giá trị bão hòa I_{DSS} (H.4).

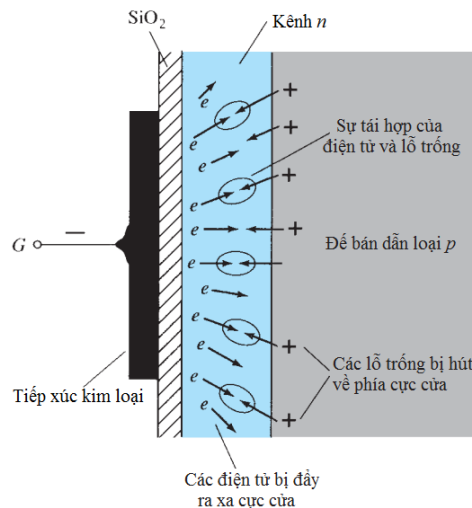


H. 4. Hoạt động của D-MOSFET khi tăng v_{DS} : a) khi v_{DS} nhỏ (vùng tuyến tính); b) D-MOSFET khi $v_{DS} = V_P$; c) khi $v_{DS} > V_P$

Nếu v_{DS} tiếp tục tăng, điểm thắt kênh sẽ dịch chuyển về phía cực nguồn và hình thành nên *dải thắt kênh*. Tuy nhiên, dòng qua kênh không giảm về 0 mà giữ nguyên giá trị bão hòa I_{DSS} . Điều này được giải thích là do chênh lệch điện thế giữa điểm thắt kênh và cực nguồn là không đổi, trong khi, luôn tồn tại điện trường giữa cực máng và điểm thắt kênh nên các điện tử sau khi dịch chuyển theo kênh đến điểm thắt kênh sẽ bị hút về cực máng (H.2).

Trường hợp $v_{GS} < 0$:

Cấu trúc MOS của cực cửa đóng vai trò như một tụ điện mà một má tụ là cực cửa bằng kim loại, má tụ còn lại là kênh n , và chất điện môi là SiO_2 . Khi v_{GS} nhận giá trị điện áp âm, điện thế âm tại cực cửa sẽ đẩy các điện tử sang vùng đế, đồng thời hút các lỗ trống từ vùng đế. Tùy thuộc vào độ lớn của phân cực ngược v_{GS} , quá trình tái hợp giữa điện tử và lỗ trống sẽ diễn ra, khiến cho số lượng điện tử tự do trong kênh n giảm đi, làm cho khả năng dẫn điện của kênh giảm, tức trở kháng kênh tăng và dòng máng i_D sẽ giảm (H.5).



H. 5. Sự sụt giảm số lượng hạt tải điện tự do trong kênh do điện thế âm tại cực cửa

Điện áp đặt trên cực cửa càng âm, mức độ tái hợp càng lớn. Do vậy, độ lớn của dòng máng sẽ giảm khi tăng điện áp âm trên cực cửa. Nếu tiếp tục tăng điện áp âm v_{GS} thì dòng i_D giảm đến giá trị gần như bằng 0 A, ta gọi đó là *điện áp khóa kênh* $V_{GS(off)}$. Chế độ $v_{GS} < 0$ được gọi là *chế độ nghèo*.

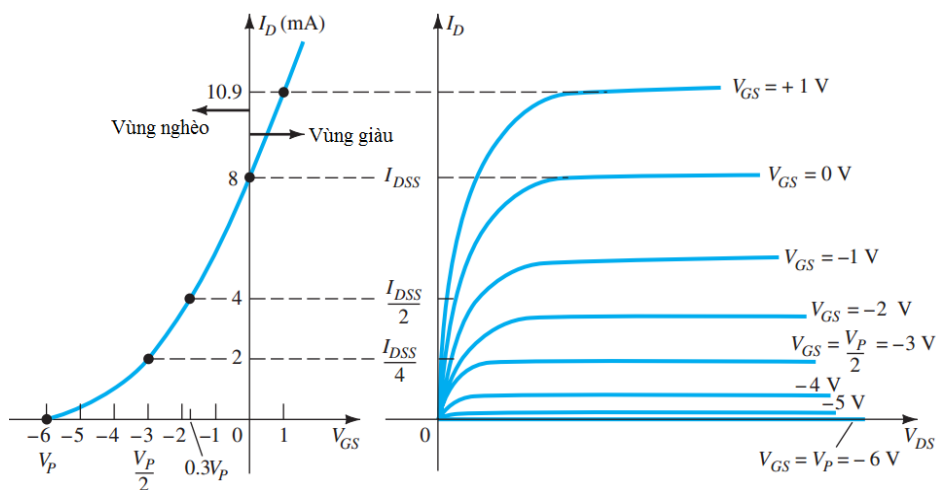
Trường hợp $v_{GS} > 0$:

Khi v_{GS} nhận giá trị điện áp dương, điện thế dương tại cực cửa sẽ hút thêm các điện tử từ vùng đế thông qua dòng ngược qua tiếp giáp pn và sự va chạm giữa các hạt được gia tốc làm nảy sinh hạt tải điện mới. Như vậy, việc đặt điện áp v_{GS} dương đã làm “giàu” số lượng hạt tải điện tự do trong kênh so với trường hợp $v_{GS} = 0$ V. Vì lý do này mà vùng đặc

tuyến có điện áp cực cửa dương được gọi là *vùng giàu* (Enhancement region), và vùng đặc tuyến có điện áp cực cửa âm được gọi là *vùng nghèo* (Depletion region). Chế độ $v_{GS} > 0$ được gọi là *chế độ giàu*.

3. Đặc tuyến của D-MOSFET

Sự phụ thuộc của dòng i_D vào v_{GS} và v_{DS} tương ứng được mô tả bởi đặc tuyến truyền đạt $i_D = f(v_{GS})|_{v_{DS}=const}$ và đặc tuyến ra $i_D = f(v_{DS})|_{v_{GS}=const}$. H.6 mô tả hai họ đặc tuyến trên.



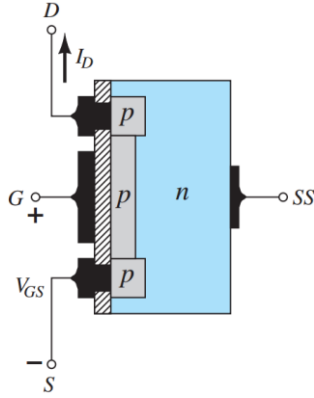
H. 6. Đặc tuyến truyền đạt và đặc tuyến ra của D-MOSFET kênh n

Khi v_{DS} tăng dần từ giá trị 0 V, kênh giống như một điện trở thuần (tương tự như JFET) và dòng máng i_D tăng. Khi v_{DS} tăng đến giá trị V_P thì xảy ra hiện tượng thắt kênh tương tự như đối với JFET. Nếu v_{DS} tiếp tục tăng thì dòng i_D vẫn giữ ở mức dòng bão hòa.

Khi điện áp v_{GS} nhận giá trị dương thì dòng máng sẽ tăng nhanh. Khoảng cách giữa 2 đặc tuyến với $v_{GS} = 0$ V và $v_{GS} = 1$ V cho thấy sự gia tăng lớn của dòng khi v_{GS} chỉ tăng thêm 1 V. Đối với D-MOSFET kênh n , vùng tương ứng với $v_{GS} > 0$ của được gọi là vùng giàu, còn vùng có $v_{GS} < 0$ – vùng nghèo.

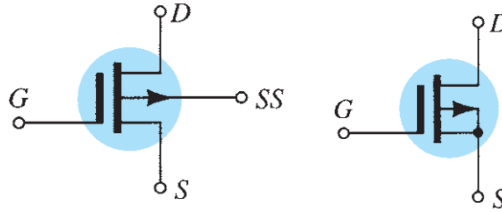
II. D-MOSFET kênh p

Cấu tạo của D-MOSFET kênh p ngược lại so với D-MOSFET kênh n (H.5), trong đó để bán dẫn thuộc loại n , còn kênh thuộc loại p . Các cực không thay đổi nhưng chiều dương điện áp và dòng đều bị đảo ngược lại so với D-MOSFET kênh n .



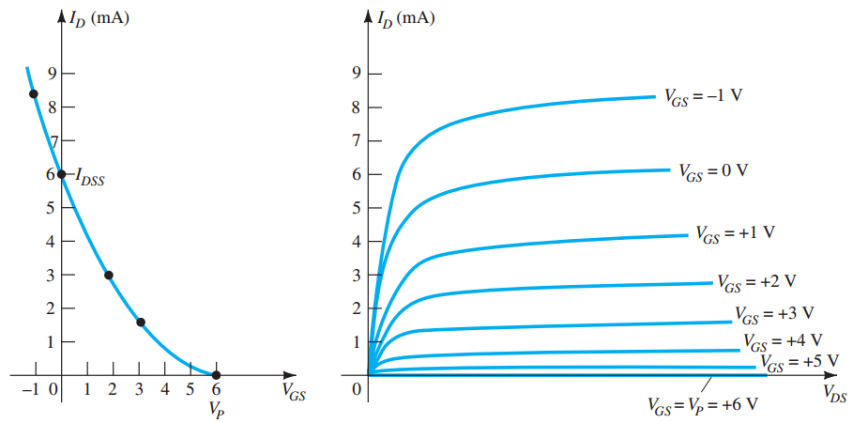
H. 7. Cấu tạo D-MOSFET kênh p

Ký hiệu mạch của D-MOSFET kênh p



H.8. Ký hiệu mạch của D-MOSFET kênh p

Đặc tuyến ra của D-MOSFET kênh p cũng có dạng tương tự nhưng với $v_{DS} < 0$ (chiều dòng máng từ cực nguồn sang cực máng). D-MOSFET kênh p hoạt động trong vùng nghèo khi điện áp cực cửa $v_{GS} > 0$, và trong vùng giàu khi $v_{GS} < 0$. Kênh bị khóa khi $v_{GS} = V_P > 0$.



H.9. Đặc tuyến truyền đạt và đặc tuyến ra của D-MOSFET kênh p