

CHƯƠNG 4 TRANSISTOR HIỆU ỨNG TRƯỜNG

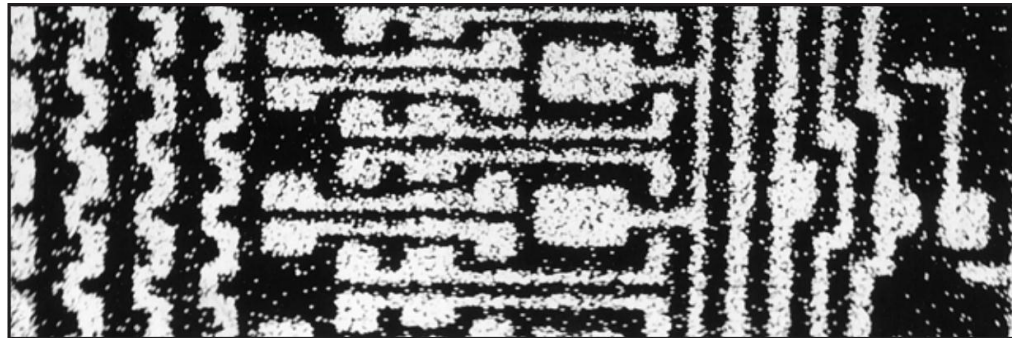
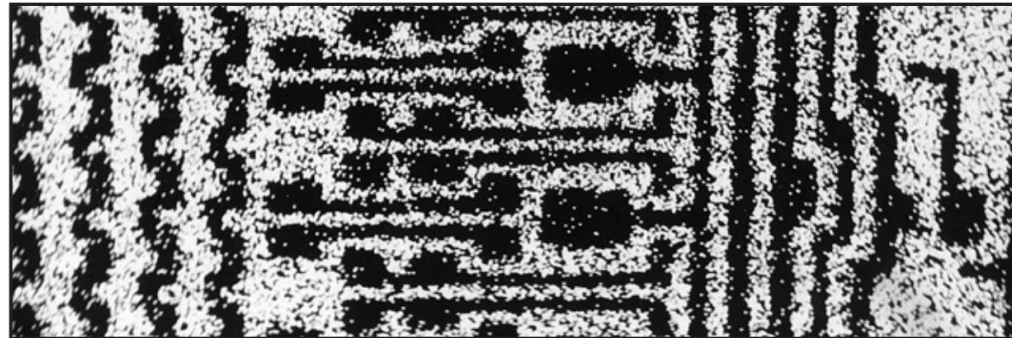
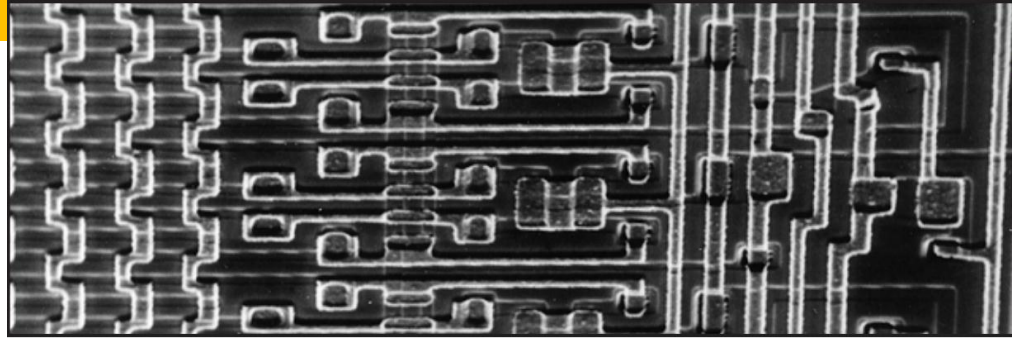
NỘI DUNG

4.18 Hệ số hỗ dẫn g_m

4.19 Điện dung của MOSFET

4.20 Mô hình mạch tương đương

4.21 Giảm tỉ lệ kích thước của MOSFET



4.18 HỆ SỐ HỒ DẪN g_m

Hệ số hỗ dẫn

- **Hệ số hỗ dẫn g_m** mô tả mối quan hệ giữa sự thay đổi của dòng máng i_D và sự thay đổi của điện áp v_{GS} giữa cực cửa và cực nguồn.

- đối với vùng tuyến tính:

$$g_m = \left. \frac{di_D}{dv_{GS}} \right|_{Q-pt} = K_n V_{DS} = \frac{I_D}{V_{GS} - V_{TN} - \frac{V_{DS}}{2}}$$

- đối với vùng bão hòa:

$$g_m = \left. \frac{di_D}{dv_{GS}} \right|_{Q-pt} = K'_n \frac{W}{L} (V_{GS} - V_{TN}) = \frac{2I_D}{V_{GS} - V_{TN}}$$

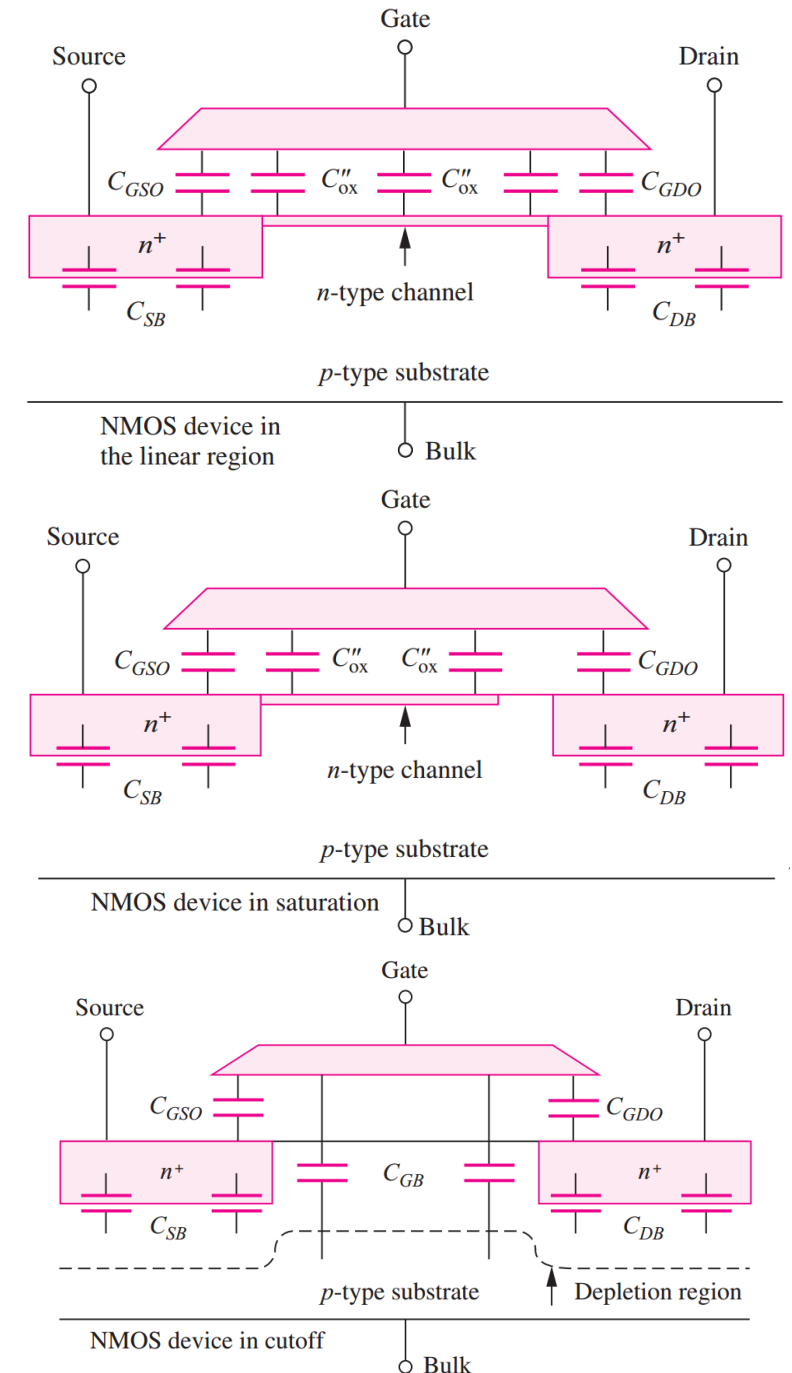
Hệ số hỗ dẫn

- Hệ số hỗ dẫn g_m thể hiện sự biến đổi điện áp ngõ vào v_{GS} thành dòng ở ngõ ra i_D .
- Hệ số hỗ dẫn g_m thể hiện “sức mạnh” của MOSFET: g_m càng cao tương ứng với sự thay đổi càng lớn của dòng máng i_D đối với sự thay đổi của v_{GS} cho trước.
- Hệ số hỗ dẫn g_m được sử dụng thường xuyên trong tính toán và thiết kế mạch tương tự.
- Đối với các mạch khuếch đại, hệ số hỗ dẫn g_m cần có giá trị lớn để đạt được hệ số khuếch đại lớn.

4.19 ĐIỆN DUNG CỦA MOSFET

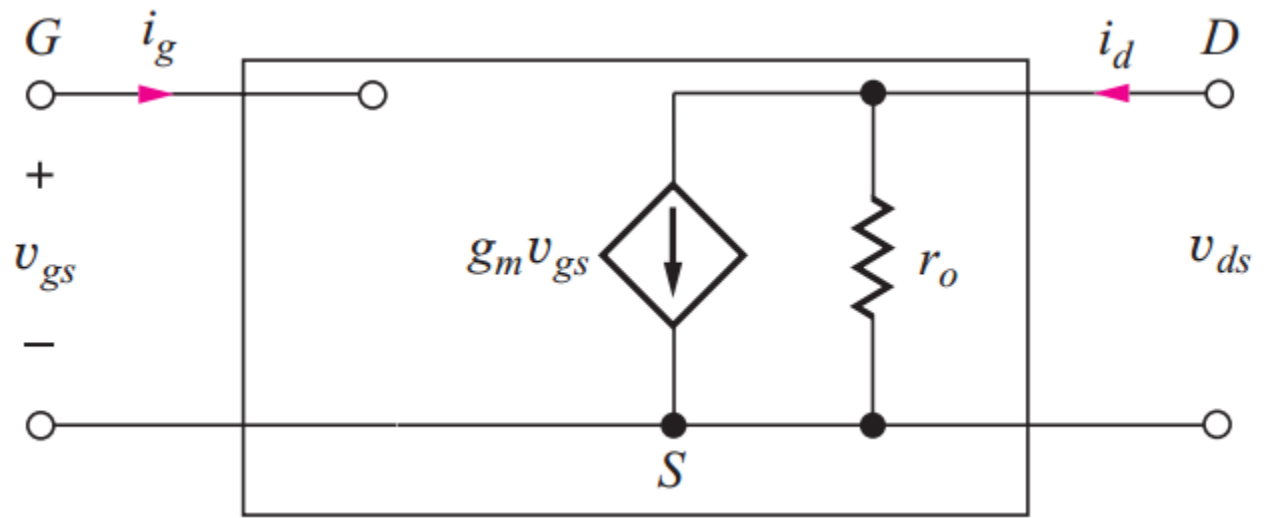
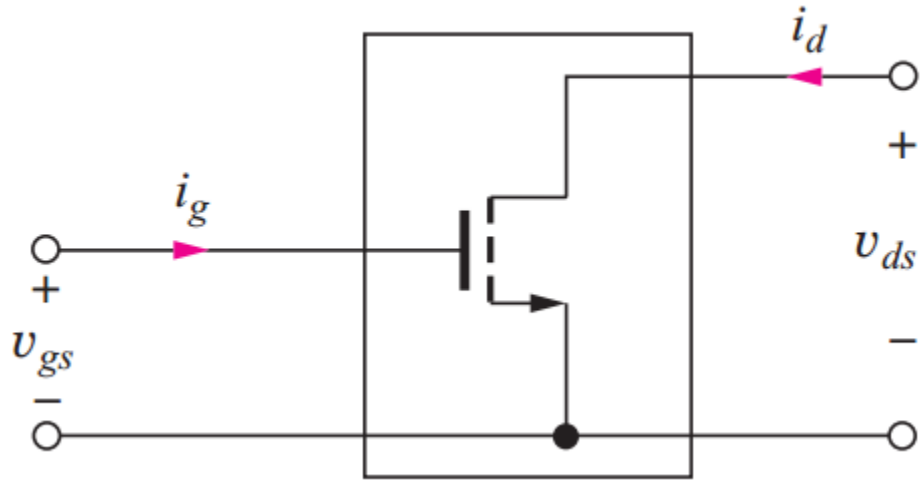
Điện dung của MOSFET

- Trong bất cứ linh kiện điện tử nào đều tồn tại điện dung bên trong làm hạn chế hoạt động của linh kiện ở tần số cao.
- Trong các mạch logic, điện dung của linh kiện hạn chế tốc độ chuyển mạch; trong các mạch khuếch đại, điện dung giới hạn tần số hoạt động.
- Điện dung của MOSFET được tạo bởi:
 - cấu trúc tụ MOS
 - vùng nghèo của các tiếp giáp pn giữa cực nguồn, cực máng và cực đế.
- Điện dung của MOSFET thay đổi tùy theo vùng hoạt động.



4.20 MÔ HÌNH MẠCH TƯƠNG ĐƯƠNG

Mô hình tín hiệu nhỏ



4.21 GIẢM TỈ LỆ KÍCH THƯỚC CỦA MOSFET

Giảm kích thước của MOSFET

- Định luật Moore: “Số lượng transistor trên mỗi đơn vị inch vuông tăng gấp đôi sau mỗi 2 năm”.
- ⇒ Giảm kích thước của MOSFET (MOSFET scaling).
- Lợi ích của việc giảm kích thước của transistor:
 - số lượng transistor trên một đơn vị diện tích tăng
 - tốc độ tăng
 - giá thành sản xuất trên một wafer cố định → giảm giá thành

Giảm kích thước của MOSFET

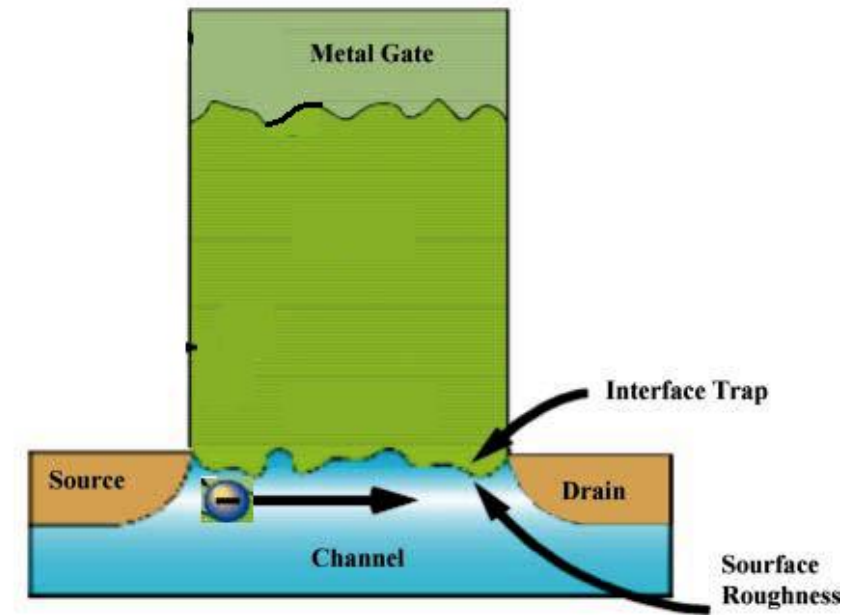
- MOSFET Scaling: giảm kích thước các kích thước của MOSFET bao gồm độ dài L , độ rộng W của cực cửa và độ dày lớp oxit T_{ox} theo cùng một tỉ lệ (α).

$$L^* = \frac{L}{\alpha}, \quad W^* = \frac{W}{\alpha}, \quad T_{ox}^* = \frac{T_{ox}}{\alpha}$$

- Khi kích thước của MOSFET giảm, nếu giữ điện áp giữa các cực không đổi thì các điện trường trong MOSFET (ví dụ như điện trường trong tụ MOS) sẽ tăng vì $E = V/d$.
- Điều này sẽ dẫn đến các hiệu ứng bão hòa vận tốc, giảm độ linh động, tăng dòng rò và giảm điện áp đánh thủng.

Giảm kích thước của MOSFET

- Giải thích hiện tượng độ linh động của các hạt tải điện trong kênh của MOSFET giảm khi điện trường tăng.
- **Hiệu ứng điện trường đứng** (vertical field effect):
 - điện trường đứng gây ra bởi điện áp đặt trên cực cửa ảnh hưởng đến vận tốc của hạt tải điện trong kênh.
 - khi điện trường đứng tăng lên, các hạt tải điện sẽ bị kéo về sát với bề mặt của tiếp xúc giữa lớp oxit và đế bán dẫn.
 - Bề mặt tiếp xúc gồ ghề gây cản trở sự dịch chuyển của các hạt tải điện, dẫn đến độ linh động giảm.



Giảm kích thước của MOSFET

- Để việc giảm kích thước không gây ảnh hưởng đến hoạt động của MOSFET, cần phải giữ cho điện trường không đổi. Nghĩa là, điện áp cần được giảm theo cùng một tỉ lệ với các thông số kích thước:

$$v_{GS}^* = \frac{v_{GS}^*}{\alpha}, \quad v_{DS}^* = \frac{v_{DS}}{\alpha}, \quad V_{TN}^* = \frac{V_{TN}}{\alpha}$$

Giảm kích thước của MOSFET

- Dòng máng:

$$K_n^* = \mu_n \frac{\varepsilon_{\text{ox}}}{T_{\text{ox}}/\alpha} \frac{W/\alpha}{L/\alpha} = \alpha \mu_n \frac{\varepsilon_{\text{ox}}}{T_{\text{ox}}} \frac{W}{L} = \alpha K_n$$

$$i_D^* = \mu_n \frac{\varepsilon_{\text{ox}}}{T_{\text{ox}}/\alpha} \frac{W/\alpha}{L/\alpha} \left(\frac{v_{GS}}{\alpha} - \frac{V_{TN}}{\alpha} - \frac{v_{DS}}{2\alpha} \right) \frac{v_{DS}}{\alpha} = \frac{i_D}{\alpha}$$

⇒ Khi giảm kích thước MOSFET xuống α lần, hệ số hỗ dẫn K_n tăng lên α lần, trong khi dòng qua cực máng giảm α lần.

Giảm kích thước của MOSFET

- Điện dung cực cửa và độ trễ của đáp ứng:

$$C_{GC}^* = (C_{ox}'')^* W^* L^* = \frac{\epsilon_{ox}}{T_{ox}/\alpha} \frac{W/\alpha}{L/\alpha} = \frac{C_{GC}}{\alpha}$$

$$\tau^* = C_{GC}^* \frac{\Delta V^*}{i_D^*} = \frac{C_{GC}}{\alpha} \frac{\Delta V/\alpha}{i_D/\alpha} = \frac{\tau}{\alpha}$$

⇒ Khi giảm kích thước của MOSFET xuống α lần, điện dung C_{GC} giữa cực cửa và kênh giảm xuống α lần, dẫn đến độ trễ τ giảm xuống α lần.

Giảm kích thước của MOSFET

- Mật độ công suất:

$$P^* = V_{DD}^* i_D^* = \left(\frac{V_{DD}}{\alpha} \right) \left(\frac{i_D}{\alpha} \right) = \frac{P}{\alpha^2}$$

$$\frac{P^*}{A^*} = \frac{P^*}{W^* L^*} = \frac{P/\alpha^2}{(W/\alpha)(L/\alpha)} = \frac{P}{WL} = \frac{P}{A}$$

⇒ Khi giảm kích thước của MOSFET xuống α lần, mật độ công suất – công suất trên một đơn vị diện tích không đổi. Điều này tương ứng với, nếu ta tăng số lượng transistor trên một diện tích cho trước thì công suất tiêu thụ của vi mạch không đổi.