|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ**

**Отчет**

**по лабораторной работе № 1**

**Название**: Проектирование систем на кристалле на основе ПЛИС

**Дисциплина:** Основы проектирования устройств ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-52Б |  |  | К.М. Искакова |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

**Цель работы:** изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

В данной лабораторной работе необходимо реализовать в САПР Quartus II систему на кристалле, структура которой представлена на рисунке 1.

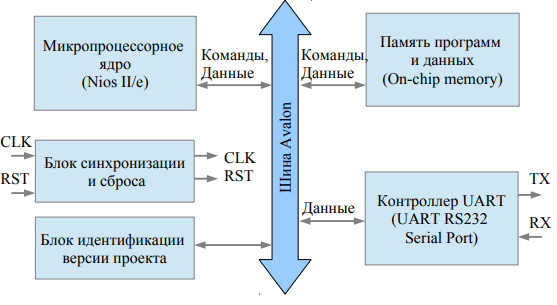


Рисунок 1 – Функциональная схема разрабатываемой системы

**Практическая часть**

Создан проект в САПР Quartus II и новый модуль системы на кристалле QSYS (рисунок 2).

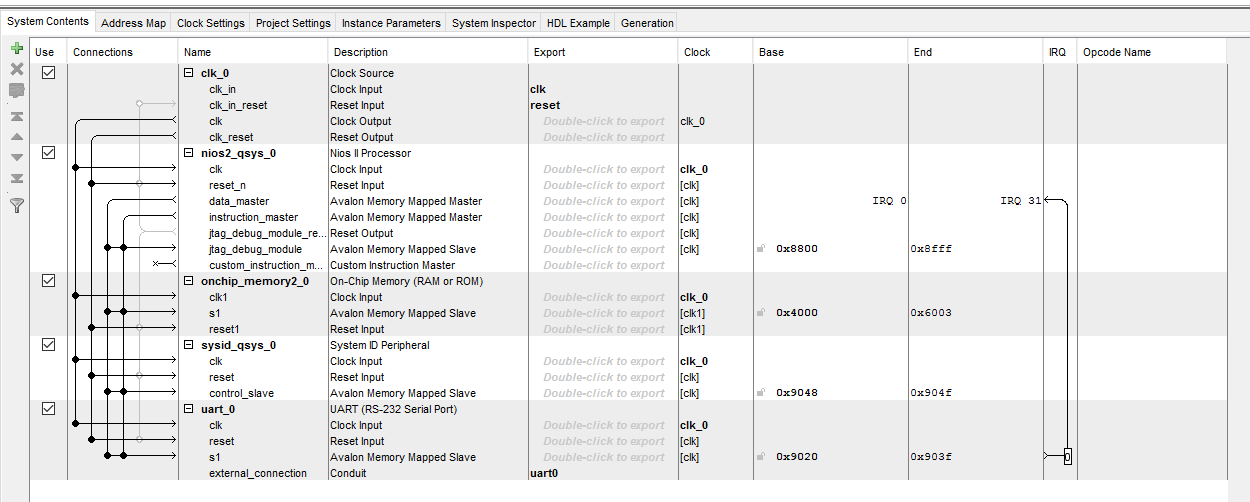


Рисунок 2 – Готовый модуль в системе Altera Qsys

На рисунках 3 – 7 представлены настройки отдельных модулей.

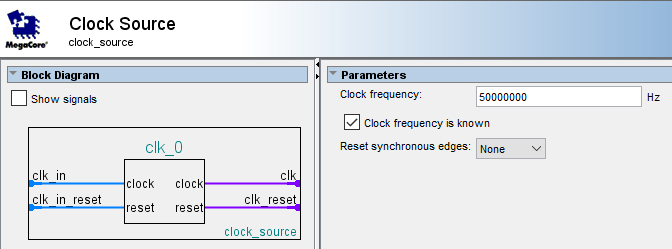


Рисунок 3 – Настройки блока синхронизации и сброса

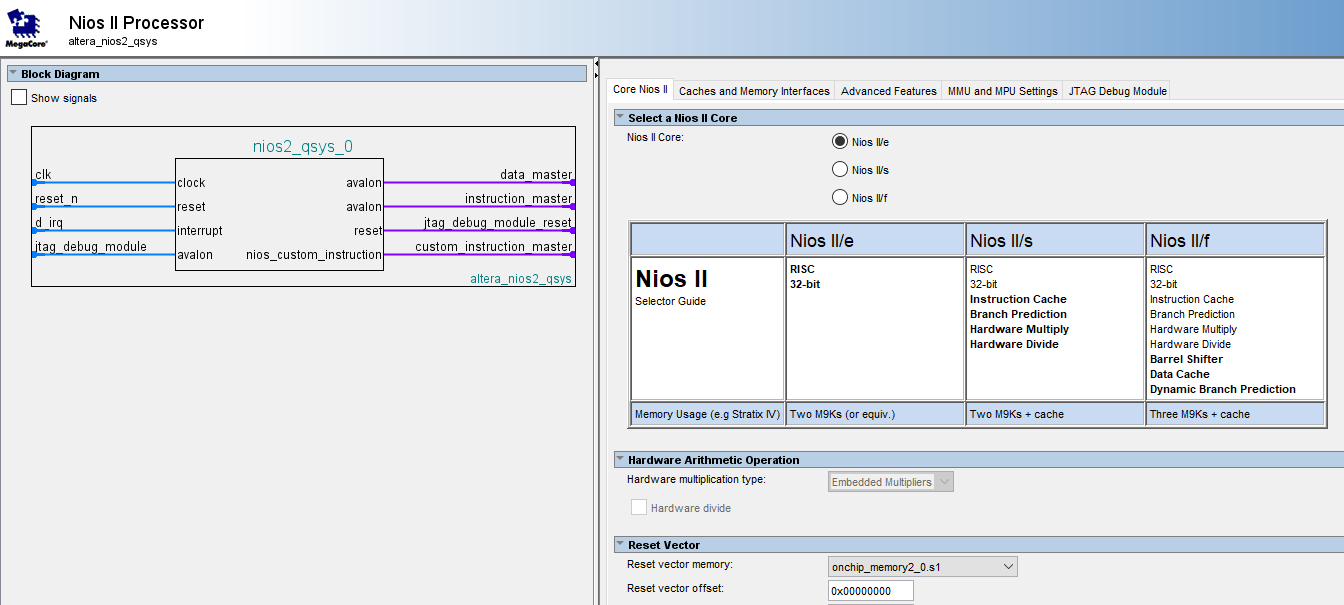


Рисунок 4 – Настройки Nios Processor

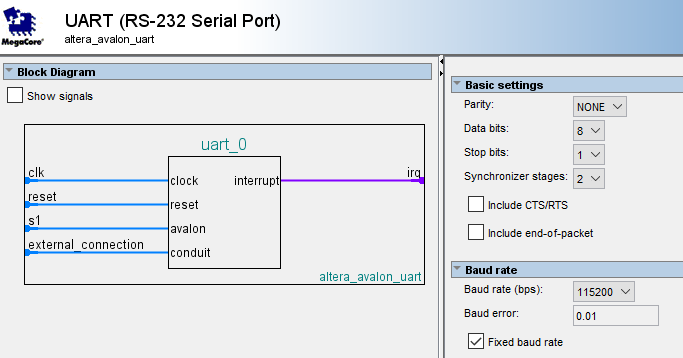


Рисунок 5 – Настройки контроллера UART

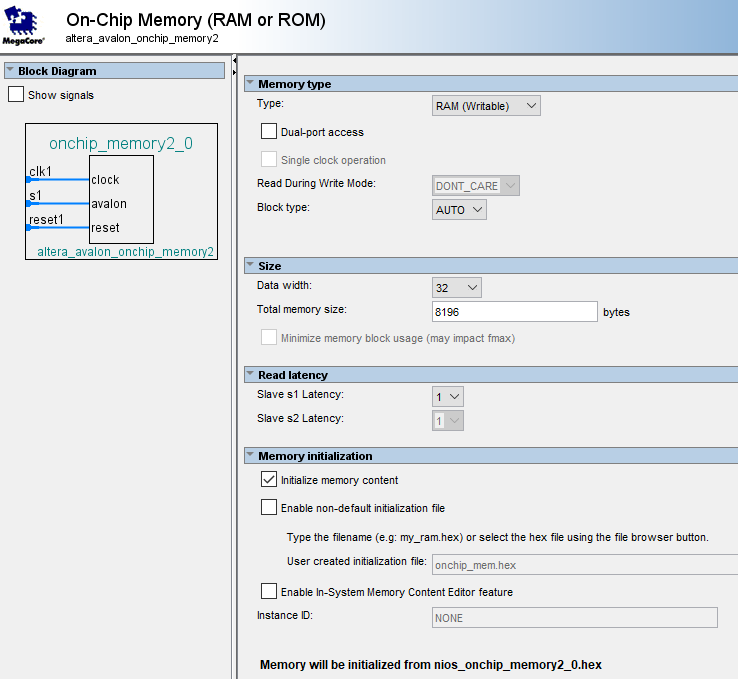


Рисунок 6 – Настройки On-Chip Memory

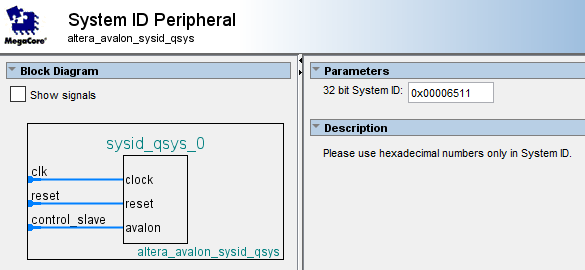


Рисунок 7 – Настройки блока идентификации

На рисунке 8 показана таблица распределения адресов модулей в системе на кристалле.

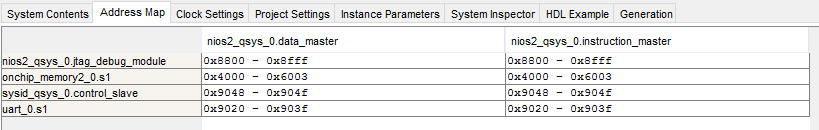
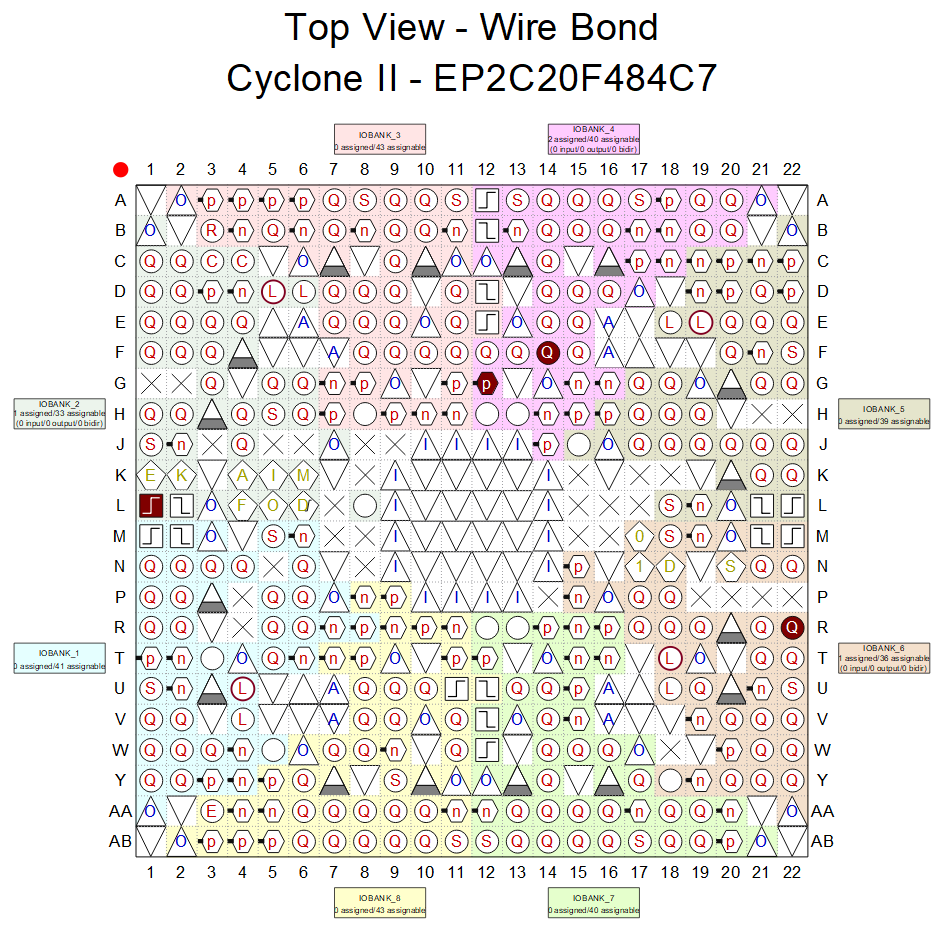


Рисунок 8 – Таблица распределения адресов

На рисунке 9 показано назначение портам проекта контактов микросхемы.



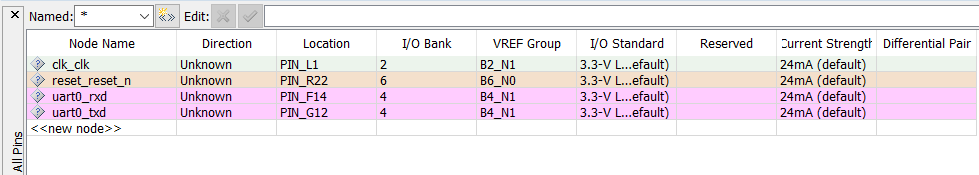


Рисунок 9 – Pin Planner

Код программной части проекта приведён в листинге 1.

Листинг 1 - Код программного проекта Nios II Software Build Tools for Eclipse

#include "sys/alt\_stdio.h"

#include"system.h"

#include"altera\_avalon\_sysid\_qsys.h"

#include"altera\_avalon\_sysid\_qsys\_regs.h"

int main()

{

int system\_id = IORD\_ALTERA\_AVALON\_SYSID\_QSYS\_ID(SYSID\_QSYS\_0\_BASE);

char group[5];

char ch;

int i;

for (i=3; i>=0; i--){

group[i]=system\_id % 10+'0';

system\_id /=10;

}

group[4] = '\0';

alt\_putstr(group);

alt\_putstr("Hello from System on Chip\n");

/\* Event loop never exits. \*/

while (1){

ch=alt\_getchar();

alt\_putchar(ch);

}

return 0;

}

**Вывод:** в ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, принципы построения систем на кристалле (СНК) на основе ПЛИС. Получены навыки проектирования СНК в САПР Altera Quartus II. Выполнено проектирование и верификация системы с использованием отладочного комплекта Altera DE1Board.