INF1600 – TP2

Architecture des micro-ordinateurs

gr. 4 (B2)

Huyen Trang Dinh 1846776

Helene Jiang 1854909

**Polytechnique Montréal**

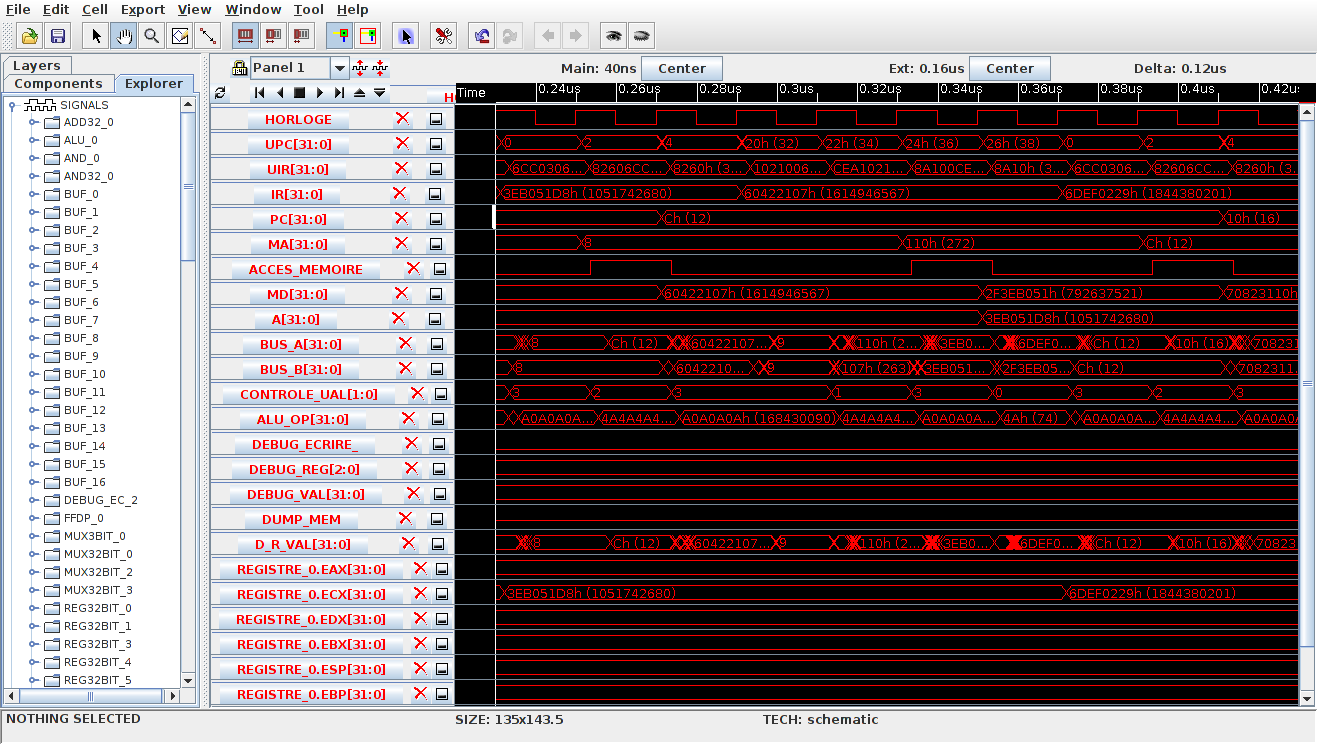
**25 février 2018**

1.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **RTN concret** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | **Hexa** |
| MA ← PC; | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0x3060 |
| MD ← M[MA] :  PC← PC +4; | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0x6CC0 |
| IR ≤ MD; | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0x8260 |

2.

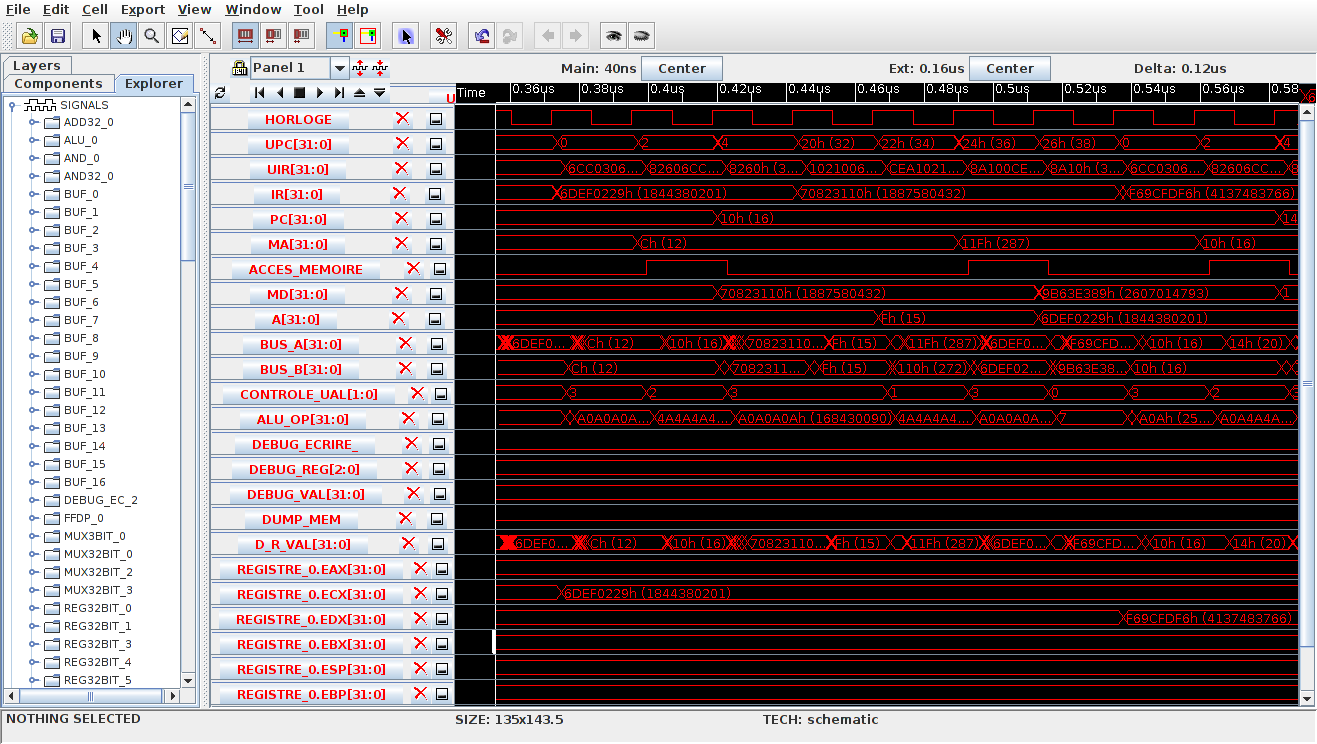
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **RTN concret** | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | **Hexa** |
| A ← R[IR<16..12>]; | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0x6E |
| MA ← A + IR[11..0]; | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0x1021 |
| MD ← M[MA] : A ← R[IR<21..17>]; | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0xCEA |
| R[IR<26..22>] ← A oper MD; | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0x8A10 |

3.

L’instruction à l’adresse 8 est R[1] <= R[1] add M[R[2] + 0x107].

1. R[1] (ECX) = 0x3EB051D8;
2. R[2] (EDX) = 0x9
3. R[2] + 0x107 = 0x110
4. M[R[2] + 0x107] = 0x2F3EB051
5. R[1] add M[R[2] + 0x107] = 0x6DEF0229

4.



La valeur de l’opcode pour l’opération NAND est 0x07.

En testant cette valeur de l’opcode pour l’instruction de l’adresse 0xC (R[2] <= R[1] NAND M[R[3] + 0x110]), nous obtenons la valeur 0xF69CFDF6.

5.

a) L’instruction 0x5555555 veut dire que le 8e octet est 0. Le 8e octet dans les instructions représente l’opcode. Dans ce cas, l’opcode 0 signifie « nop ». Les 7 autres octets sont inutilisés, ce qui veut dire que 0x1234567 pourrait représenter la même instruction.

b) L’architecture à deux bus nous permet d’exécuter plusieurs micro-instructions dans la même instruction (même cycle d’horloge). Cela rend l’exécution de microcode plus rapide. Cet avantage est dû au fait que nous pouvons placer des données sur 2 bus plutôt qu’une. Ainsi, cela réduit le nombre d’instructions puisqu’il y a moins de *storing* temporaire à faire.

c) Oui, elle est aussi flexible, et plus encore, parce que le processeur de ce TP comporte 2 bus, comparativement à 1 bus dans le TP1. Ceci signifie que les possibilités d’effectuer plusieurs instructions en même temps augmentent. Aussi, nous pouvons stocker des données dans chacune des bus, ce qui nous simplifie la tâche. Avec un seul bus dans le TP1, il a fallu mettre le deuxième opérande dans un registre temporaire T.